

<https://doi.org/10.7236/IIIBC.2017.17.6.161>

IIIBC 2017-6-21

## 소형 밀리미터파 레이더를 위한 고성능 신호처리기 개발

### A Development of the High-Performance Signal Processor for the Compact Millimeter Wave Radar

최진규\*, 류한춘\*\*, 박승욱\*\*, 김지현\*\*, 권준범\*\*

Jin-Kyu Choi\*, Han-Chun Ryu\*\*, Seung-Wook Park\*\*, Ji-Hyun Kim\*\*, Jun-Beom Kwon\*\*

**요약** 최근 소형 레이더는 다양한 운용환경에서 대응하기 위하여 소형화와 저전력화를 추진한다. 또한 한번의 타격으로 표적의 시스템을 무능화시키기 위해 높은 거리해상도를 갖는 소형 밀리미터파 레이더 개발을 요구한다. 본 논문에서는 소형 밀리미터파 레이더에서 사용할 수 있는 신호처리기를 설계하고 구현하였다. 소형 밀리미터파 레이더를 위한 신호처리기는 소형화와 저전력화를 위해 디지털 IF(Intermediate Frequency) 수신기와 실시간 FFT 연산이 가능한 DFT(Discrete Fourier Transform) 모듈을 설계하였다. 또한 소형 밀리미터파 레이더의 수신 경로에서 발생할 수 있는 신호의 왜곡을 보정하기 위한 수단으로 FPGA(Field Programmable Gate Array)와 DAC(Digital Analog Converter)를 활용하여 시스템에서 사용하는 RF(Radio Frequency) 신호를 생성할 수 있도록 하였다. 마지막으로 성능시험을 통해 구현한 신호처리기를 검증하였다.

**Abstract** Recently, small radar has been reduced in size and power consumption to cope with various operating environments. It also requires the development of a small millimeter wave radar with high range resolution to disable the system of target with a single strike. In this paper, we design and implement a signal processor that can be used in small millimeter wave radar. The signal processor for the small millimeter wave radar is designed with a digital IF(Intermediate Frequency) receiver and DFT(Discrete Fourier Transform) module capable of real time FFT operation for miniaturization and low power consumption. Also it was to leverage the FPGA(Field Programmable Gate Array) and DAC(Digital Analog Converter) as a means for correcting the distortion of signals that can occur in the receive path of the small millimeter wave radar to create a RF signal that is used by the system. Finally, we verified the signal processor presented through performance test.

**Key Words** : millimeter Wave, seeker, signal processor, digital IF receiver

## 1. 서론

최근 소형 레이더는 다양한 운용 환경에서 사용할 수 있도록 소형화와 저전력화를 요구할 뿐만 아니라 한번의 타격으로 표적의 시스템을 무능화 시킬 수 있는 정밀 표

적 추적 시스템을 요구한다. 표적의 시스템을 무능화시키기 위해서는 표적을 무능화 시킬 수 있는 특정 부분을 찾아 타격해야 한다. 표적의 특정 부분을 타격하기 위해서 높은 거리 해상도를 갖는 밀리미터파 대역을 사용하는 소형 레이더 개발에 많은 노력을 기울이고 있다. 높은

\*정회원, LIG 넥스원(주)

접수일자: 2017년 10월 18일, 수정완료: 2017년 11월 18일

게재확정일자: 2017년 12월 8일

Received: 18 October, 2017 / Revised: 18 November, 2017 /

Accepted: 8 December, 2017

\*Corresponding Author: jinkyuch@lignex1.com

Dept. Seeker & EO/IR R&D Lab, LIG Nex1 Co., Ltd. Korea.

거리 해상도를 갖는 소형 밀리미터파 레이더는 표적의 반사파 특성(RCS, radar cross section)을 분석하여 표적의 시스템을 무능화시킬 수 있는 특정 부분을 판별하고, 추적할 수 있도록 디지털 신호처리 알고리즘이 적용된다.

본 논문에서는 밀리미터파 대역을 사용하는 소형 레이더가 적합한 성능을 가질 수 있게 신호처리기 설계 및 구현에 대해 정리한다. 본 논문에서 언급한 소형 밀리미터파 레이더의 신호처리기는 4채널의 OGHz 입력을 받아 처리할 수 있는 디지털 IF 수신기를 적용하였다. 적용한 디지털 IF 수신기는 소형 레이더 시스템의 중간주파수신기의 역할을 대신하여 소형 레이더의 소형화에 이득을 줄 수 있다. 또한 높은 거리 해상도의 신호 분석을 위해 전처리 과정에 필요한 00000포인트의 실시간 FFT 처리를 위해 고속 연산이 가능한 FPGA를 이용하여 DFT 모듈을 구현함으로써 후처리 프로세서의 타이밍 마진을 확보하였다. 그리고 소형 레이더의 수신경로에서 발생할 수 있는 신호의 왜곡을 보정하기 위해 사용할 수 있도록 FPGA와 DAC를 활용하여 IF 신호 생성 기능을 구현하였다. 마지막으로 신호처리기 성능시험으로 구현한 신호처리기를 검증하였다.

## II. 신호처리기 설계

### 1. 신호처리기 기능

소형 밀리미터파 레이더를 위한 신호처리기는 데이터 획득부, 운용제어부, 전원공급부로 구성된다. 데이터획득부는 송수신부에서 입력되는 OGHz의 고주파 RF 신호를 수신하여 표적신호를 처리하는 역할을 수행한다. 운용제어부는 처리된 데이터를 이용하여 표적을 지속적으로 추적할 수 있도록 소형 레이더 하부의 구성품들을 제어하는 역할을 수행한다. 전원공급부는 데이터획득부와 운용제어부 운용에 필요한 전원을 생성하여 공급해준다. 데이터획득부에서 수신한 신호의 데이터 처리에 효율성과 DSP 과도한 부하를 줄이기 위해 FPGA를 활용하여 신호처리 모듈(DDC 및 FFT)을 구현하였다. 운용제어부는 표적을 지속적으로 추적하기 위한 알고리즘을 수행하는 DSP와 소형화를 위해 다수의 내부/외부 통신 controller를 포함하고 있는 FPGA로 구성된다. 또한 FPGA와 DAC를 활용하여 IF 신호를 생성하는 역할도 수행한다. 전원공급부는 +5VDC 전원을 받아 효율이 좋은 DC-DC

컨버터를 사용하여 신호처리기 구동에 필요한 전원을 생성한다. 그림 1은 신호처리기의 기능을 나타낸 것이다.

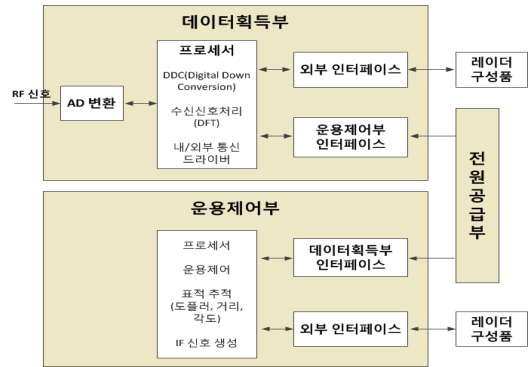


그림 1. 신호처리기 기능도  
Fig. 1. Functional diagram of signal processor

### 2. 신호처리기 하드웨어 설계

#### 가. 신호처리기 하드웨어 구성

신호처리기 하드웨어는 데이터획득보드와 운용제어보드로 구성되어 있다. 데이터획득보드는 디지털 IF 수신기 구현을 위해 고속 ADC(Analog Digital Converter)와 고성능 FPGA 및 획득한 신호처리를 위한 2개의 DSP로 구성되어 있다. 데이터획득보드의 블록도는 그림 2와 같다.

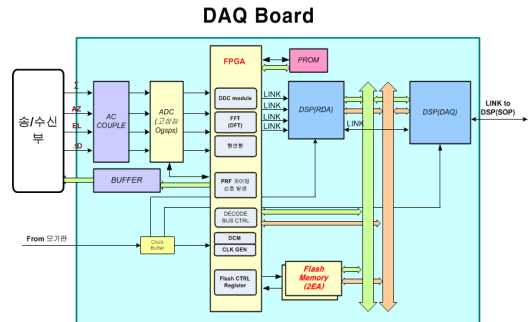


그림 2. 데이터획득 보드 블록도  
Fig. 2. Block diagram of DAQ Board

운용제어보드는 통신 controller 및 IF 신호 생성모듈 구현을 위한 FPGA와 표적 추적 및 소형 레이더 하부 구성품 제어를 위해 2개의 DSP로 구성되어 있다. 운용제어보드의 블록도는 그림 3과 같다.

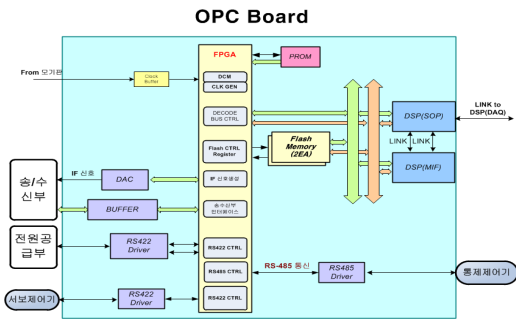


그림 3. 운용제어보드 블록도  
 Fig. 3. Block diagram of OPC Board

#### 나. 디지털 IF 수신기 설계

본 논문의 신호처리는 고속 ADC를 활용하여 디지털 IF 수신기를 설계하여 구현하였다. 소형 밀리미터파 레이더에 디지털 IF 수신기의 적용은 소형 레이더의 소형화에 기여하고, 중간주파수신기에서 발생할 수 있는 잡음을 줄일 수 있는 장점을 가지고 있다. 디지털 IF 수신기의 구조는 그림 4와 같이 고속 ADC를 활용한 1차 주파수 하향 변환과 FPGA 내부의 DDC 모듈에서 2차 주파수 하향 변환으로 구현하였다. 중간주파수신기의 기능을 대신할 디지털 IF 수신기는 OGHz의 RF 신호입력을 OGsps을 성능을 갖는 고속 ADC와 FPGA를 활용하여 구현하였다. 그림 4는 디지털 IF 수신기를 포함하는 신호처리의 구조이다.

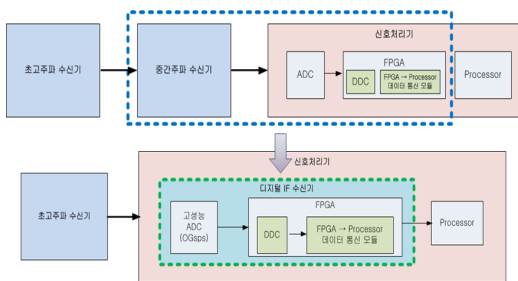


그림 4. 디지털 IF 수신기 구조  
 Fig. 4. Structure diagram of Digital IF receiver

본 논문에서 제안하는 구조의 디지털 IF 수신기는 ADC 및 FPGA 내부의 DDC 모듈을 활용하여 2번의 주파수 하향변환을 수행하여 디지털 신호처리를 위한 기저대역 신호로 주파수 하향변환을 수행하고 데이터를 분주하는 구조로 그림 5와 같다.

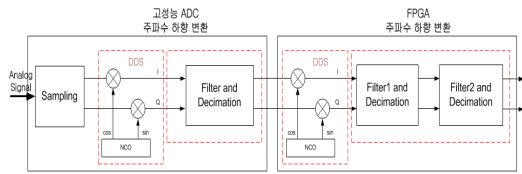
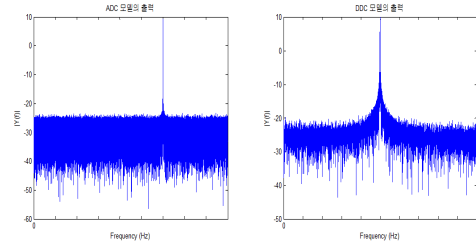


그림 5. 디지털 IF 수신기 블록도  
 Fig. 5. Block diagram of Digital IF receiver

본 논문에서 구현한 디지털 IF 수신기는 고성능 ADC와 DDC를 그림 5와 같이 모델링하고, 시뮬레이션을 통한 검증을 거쳐 디지털 IF 수신기를 구현하였다. 설계한 디지털 IF 수신기는 OGHz의 신호를 ADC의 내부 DDC를 활용하여 1차 주파수 하향변환, FPGA에 설계된 DDC 모듈에서 2차 주파수하향변환 처리하여 최종 신호처리 가능한 주파수에 도달하도록 설계하였다. 그림 6의 (a)는 고성능 ADC를 모델링한 시뮬레이션 결과이다. 그림 6의 (b)는 DDC를 모델링한 시뮬레이션 결과이다. 시뮬레이션 결과 계산치와 동일함을 확인하였다.



(a) ADC 모델링 결과 (b) DDC 시뮬레이션 결과

그림 6. 디지털 IF 수신기 시뮬레이션 결과  
 Fig. 6. Simulation result of Digital IF receiver

#### 다. DFT 모듈 설계

소형 밀리미터파 레이더의 신호처리는 기존 소형 레이더에 비해 많은 양의 데이터 처리를 요구한다. 최종 데이터율이 000kbps에서 0Mbps으로 증가함과 동시에 FFT 샘플수도 0000개에서 00000개로 증가하여 후처리 프로세서에서 다채널의 데이터를 저장하여 FFT 처리 하는데 많은 시간이 소요되며, 실시간 처리가 불가능해진다. 이를 해결하기 위하여 데이터를 저장하기 위한 메모리의 용량 증가 및 다수의 프로세서의 개수 증가가 필요하다. 하지만 본 논문에서 설계한 소형 밀리미터파 레이더를 위한 신호처리는 FPGA를 활용한 DFT 적용으로 시간영역의 데이터를 주파수영역으로 실시간 변환

하여 DSP에 전달한다. 본 논문에서 구현한 DFT 모듈은 시스템에서 필요한 주파수 영역에 대해서만 실시간으로 주파수영역으로 변환하는 구조를 가진다. 주파수 영역의 설정은 프로세서에서 표적의 위치를 예측하여 FPGA에 전달된다. 이를 설명한 그림은 7과 같다.

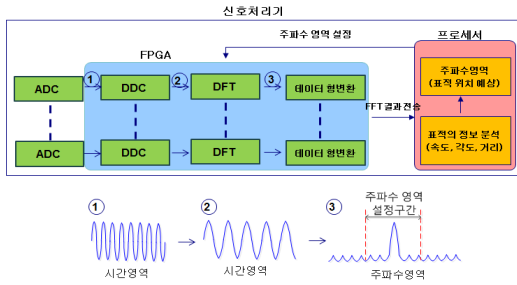


그림 7. DFT 구조도  
Fig. 7. Structure diagram of DFT

본 논문에서 구현한 DFT 모듈은 아래 수식과 같이 Cooley-Tukey 알고리즘을 활용하여 구현하였다.<sup>[1]</sup>

$$X_k = \sum_{m=0}^{N/2-1} x_{2m} e^{-\frac{2\pi}{N}(2m)k} + \sum_{m=0}^{N/2-1} x_{2m+1} e^{-\frac{2\pi}{N}(2m+1)k} \quad (1)$$

$$X_k = \sum_{m=0}^{N/2-1} x_{2m} e^{-\frac{2\pi}{N/2}2mk} + e^{-\frac{2\pi}{N}k} \sum_{m=0}^{N/2-1} x_{2m+1} e^{-\frac{2\pi}{N/2}mk} \quad (2)$$

$$X_k = E_k + e^{-\frac{2\pi}{N}k} O_k \quad (3)$$

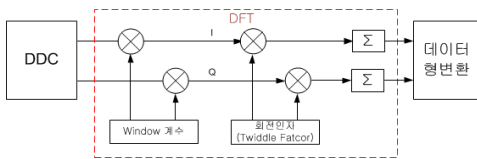


그림 8. DFT 블록도  
Fig. 8. Block diagram of DFT

그림 8은 Cooley-Tukey 알고리즘을 구현하기 위한 DFT 모듈 블록도를 나타낸 것이다. 그림 8의 블록도는 특정 주파수 1개를 DFT 취하기 위한 블록도이고 원하는 주파수 및 대역을 DFT 취하기 위해서는 회전인자의 주파수 설정과 DDC의 출력을 window 처리한 raw 데이터를 병렬 처리하면 된다.

그림 9는 DFT 모듈을 구현한 결과를 나타낸 것으로

Xilinx에서 제공하는 툴을 활용하여 FPGA에서 DFT 모듈을 처리한 데이터를 확인한 결과 계산치와 동일함을 확인하였다.



그림 9. DFT 처리 결과  
Fig. 9. Result of DFT processing

### 라. IF 신호생성기

소형 밀리미터파 레이더에서는 거리 해상도를 향상시키기 위해 OOOMHz에서 OGHz를 스위핑 하는 신호를 사용한다. 넓은 대역을 스위핑하는 신호가 소형 레이더의 수신경로를 통과할 때 수신경로에서 발생하는 왜곡을 보정하기 위해서는 시스템에서 사용하는 스위핑 신호를 실시간 제어 할 수 있어야 한다. 기존의 방식인 DDS칩을 활용하여 송신신호를 생성할 경우 실시간 제어에 한계를 가지고 있어 수신신호의 왜곡을 보정하는데 어려움이 있다. 이러한 문제점을 해결하기 위해 신호처리기의 FPGA와 DAC를 활용하여 시스템에서 사용하는 스위핑 신호를 생성한다. FPGA에서 DAC를 사용하여 실시간 제어로 스위핑 신호 생성을 할 경우 소형 레이더 수신신호의 왜곡을 보정하는데 활용할 수 있다. 본 논문에서는 소형 레이더의 수신신호 왜곡을 보정하기 위해 FPGA와 DAC를 활용하여 IF 신호를 생성하였다. 그림 10은 FPGA와 DAC를 활용한 IF 신호를 생성하기 위한 블록도이다.

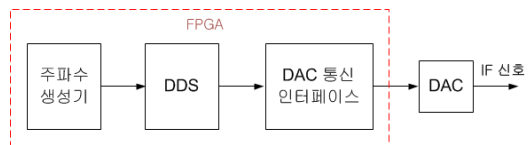


그림 10. IF 신호 생성기 블록도  
Fig. 10. Block diagram of IF signal generator

그림 10의 IF 신호 생성 블록도에서 주파수생성기는 프로세서에서 계산한 수신왜곡 보정을 고려하여 수정된

신호의 주파수 및 파워를 고려한 값을 받아 생성한다. DDS는 FPGA 내부의 IP를 활용하여 주파수생성기에서 받은 신호의 정보를 기반으로 신호를 생성한다. 생성된 신호는 고속 통신 인터페이스를 통해 DAC에 전달되어 DAC에서 analog IF 신호를 생성한다.

### III. 신호처리기 성능시험

본 논문에서는 신호처리기 성능 검증을 위하여 수신 동적영역 시험, 도플러 주파수 측정 시험, DFT 주파수 영역 설정 시험, IF 신호 생성 시험 결과를 정리하였다. 수신동적영역 시험과 도플러 주파수 측정 시험으로 신호 처리기에 적용한 디지털 IF 수신기, DFT의 성능을 검증하였다. 또한 IF 신호 생성시험으로 IF 신호생성기의 성능을 검증하였다.

#### 1. 수신동적영역 시험



그림 11. 선형성 오차 측정 결과  
 Fig. 11. Test result of linearity error

수신 동적 영역 시험은 4개의 입력 채널에 고정주파수를 가진 정현파 신호의 크기를 변경하며 입력하고, 신호 처리 과정을 거쳐 출력되는 신호의 크기를 측정한다. 입력 신호 전력의 변화에 따른 출력 신호 전력의 변화를 선형성 오차로 정의 하며, 선형성 오차가  $\pm 1\text{dB}$ 이하로 유지되고, 채널간 오차도  $\pm 1\text{dB}$ 이하로 유지하는 구간을 동적영역으로 정의 하였다. 그림 11은 수신동적영역 시험 결과를 나타낸 것으로 수신동적영역이  $0\text{dB}$ 가 됨을 확인하였다.

#### 2. 도플러 주파수 측정 시험

도플러 측정 시험은 4개의 수신채널에 특정 주파수를 인가하고 정의된 중심 주파수를 변경하면서 신호처리 결과를 측정하였다. 입력된 표적신호의 주파수 변화량을 기준으로 측정된 신호의 주파수를 비교하였을 때  $\pm 0.0\text{Hz}$  이내의 오차를 요구 규격으로 갖는다. 표 1은 신호 처리기의 도플러 주파수를 측정하여 오차를 절대값으로 표현한 것으로 요구규격을 만족함을 확인 할 수 있다.

표 1. 도플러 주파수 측정 시험 결과  
 Table 1. Test result of doppler frequency

$F_d$ (KHz)	CH1 (Hz)	CH2 (Hz)	CH3 (Hz)	CH4 (Hz)
-10.0	54	54	54	54
-8.0	11	11	11	11
-6.0	77	77	77	77
-4.0	22	22	22	22
-2.0	42	42	42	42
0	56	56	56	56
2.0	11	11	11	11
4.0	76	76	76	76
6.0	22	22	22	22
8.0	44	44	44	44
10.0	55	55	55	55

#### 3. DFT 주파수 영역 설정 시험

DFT 주파수 영역 설정 시험은 특정 주파수의 신호를 수신 4채널의 인가하고, DFT 설정 영역을 변경하면서 신호가 계산된 주파수 cell에 있는지 확인하는 시험이다. 이때 주파수 cell의 오차는 0이다. 표 2는 DFT 주파수 영역 변경시험 결과를 나타낸 것으로 정상적으로 DFT가 이루어짐을 확인 하였다.

표 2. DFT 주파수 영역 설정 시험 결과  
 Table 2. Test result of DFT frequency set point

설정영역 cell	CH1 (cell)	CH2 (cell)	CH3 (cell)	CH4 (cell)
0	558	558	558	558
100	458	458	458	458
200	358	358	358	358
300	258	258	258	258
400	158	158	158	158
500	58	58	58	58

#### 4. IF 신호 생성 시험 결과

IF 신호의 측정은 스펙트럼분석기를 통해 시스템에서 사용하는 중심주파수를 기준으로  $\pm 0.001$  MHz 신호가 정상적으로 생성되는지를 확인하였다. 이때 확인하는 항목은 스위프 주파수와 신호의 평탄도를 확인하다. 그림 12는 IF 신호 생성 결과를 측정된 것으로 정상적으로 생성되었음을 확인하였다.

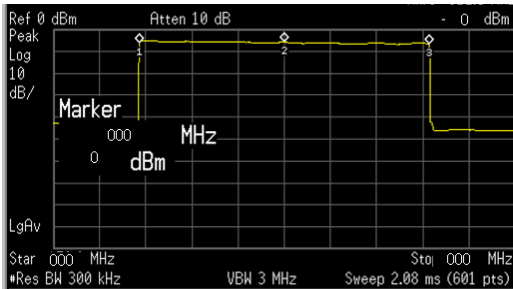


그림 12. IF 신호 생성 결과  
Fig. 12. Test result of IF signal generation

#### IV. 결론

본 논문에서는 소형 밀리미터파 레이더를 위한 신호 처리기를 구현하였다. 신호처리기는 소형화를 위해 디지털 IF 수신기와 실시간 주파수영역 변환을 위한 DFT를 적용하여 구현하였다. 또한 수신경로에서 발생할 수 있는 신호의 왜곡을 보정하기 위해 시스템에서 사용할 수 있는 IF 신호를 생성 하였다. 구현한 디지털 IF 수신기, DFT 모듈은 수신동적영역 시험, 도플러 추적 시험, DFT 주파수 영역 설정 시험을 통해 검증 하였다. 또한 IF 신호 생성기는 스펙트럼분석기를 통해 생성된 신호가 정상적으로 생성됨을 확인하였다.

본 논문에서 구현한 소형 밀리미터파 레이더용 신호 처리기는 신호처리기 단위에서 성능시험을 통해 사용가능성을 확인하였다. 추후 소형 밀리미터파 레이더에 적용을 통한 레이더 성능 시험으로 생성한 IF 신호를 활용한 수신경로 왜곡 보정에 대한 연구가 필요하다.

#### References

[1] RODGER E. ZIEMER, WILLAM H. TRANTER,

D. RONALD FANNIN, "Signals and Systems", Macmillan Publishing Co. Inc., New York, 1983.

[2] Jongbok Lee, "Performance Study of Multicore Digital signal Processor Architecture", The Journal of The Institute of Internet, Broadcasting and Communication(JIIBC), Vol. 13, No. 4, pp. 171-177, August 2013.

[3] Merrill I. Skolnik "Introduction to Radar System", 2nd. McGrawHill, 1980.

[4] Simon Haykin, "Communication System", Second Edition, Wiley, 1983.

[5] Ki-Tak Moon, Moo-Hyun Hong, Joung Seok Lee, Kyung-Seok Kim, "Digital Down Converter System improving the computational complexity", The Journal of The Institute of Internet, Broadcasting and Communication(JIIBC), Vol. 10, No. 3, pp. 11-17, June 2010.

[6] Moo-Hyun Hong, Ki-Tak Moon, Ju-Seok Kim, Kyung-Seok Kim, "Linkage between Digital Down Converter System and Spectrum Sensing Method", The Journal of The Institute of Internet, Broadcasting and Communication(JIIBC), Vol. 10, No. 3, pp. 43-50, June 2010.

#### 저자 소개

##### 최진규(정회원)



- 2004년 8월 : 원광대학교 전기전자공학(공학사)
- 2006년 8월 : 충남대학교 전자공학과(공학석사)
- 2006년 8월 ~ 2008년 10월 : 한국해양연구원
- 2008년 10월 ~ 현재 : LIG넥스원(주) 선임연구원

<주요관심분야 : 디지털 신호처리, 임베디드 시스템, 레이더 신호처리>

**박 승 옥(정회원)**



- 2007년 2월 : 고려대학교 전기전자전공공학부(공학사)
  - 2007년 1월~현재 : LIG넥스원(주) 선임연구원
- <주요관심분야 : 임베디드 시스템, 디지털 신호처리>

**류 한 춘(정회원)**



- 2007년 2월 : 경희대학교 전자공학과(공학사)
  - 2007년 3월~현재 : LIG넥스원(주) 선임연구원
- <주요관심분야 : 임베디드 소프트웨어, 디지털 신호처리>

**김 지 현(정회원)**



- 2007년 2월 : 부산대학교 전자전기통신공학과(공학사)
  - 2007년 2 : 부산대학교 전자공학과(공학석사)
  - 2007년 2월~현재 : LIG넥스원(주) 선임연구원
- <주요관심분야 : 임베디드 소프트웨어, 디지털 신호처리>

**권 준 범(정회원)**



- 1997년 2월 : 연세대학교 전기전자공학과(공학사)
  - 1999년 2월 : 포항공과대학교 전자전기공학과(공학석사)
  - 1999년 2월~현재 : LIG 넥스원(주) 수석연구원
- <주요관심분야 : 마이크로파 신호처리, 마이크로파 탐색기>