

NSCR_PPS 소자에서 채널차단 이온주입 변화에 따른 최적의 정전기보호소자 설계

서용진*, 양준원** 정회원

Optimal Design of ESD Protection Device with different Channel Blocking Ion Implantation in the NSCR_PPS Device

Yong-Jin Seo*, Jun-Won Yang** Regular Members

요 약

PPS 소자가 삽입된 N형 실리콘 제어 정류기(NSCR_PPS) 소자에서 채널차단영역의 이온주입 변화가 정전기 보호 성능에 미치는 영향을 연구하였다. 종래의 NSCR 표준소자는 on 저항, 스냅백 홀딩 전압 및 열적 브레이크다운 전압이 너무 낮아 마이크로칩의 정전기보호소자로 적용이 어려웠다. 그러나 본 연구에서 제안하는 채널 차단 영역의 이온주입 조건을 변화시켜 각각 변형설계된 소자에서는 채널 차단 이온주입이 정전기 보호성능의 향상에 영향을 주는 중요한 파라미터였으며, CPS_PDr+HNF 구조의 변형소자는 정전기보호소자의 설계창을 만족시키는 향상된 정전기보호성능을 나타내어 고전압 동작용 마이크로 칩의 정전기보호 소자로 적용 가능함을 확인하였다.

Key Words : ESD(Electrostatic Discharge), NSCR(N-type Silicon Controlled Rectifier), PPS(P-type MOSFET Pass Structure), Channel Blocking, CPS(Counter Pocket Source)

ABSTRACT

The ESD(electrostatic discharge) protection performance of PPS(PMOS pass structure) embedded N-type silicon controlled rectifier(NSCR_PPS) device with different implant of channel blocking region was discussed for high voltage I/O applications. A conventional NSCR standard device shows low on-resistance, low snapback holding voltage and low thermal breakdown voltage, which may cause latch-up problem during normal operation. However, our proposed NSCR_PPS devices with modified channel blocking structure demonstrate the improved ESD protection performance as a function of channel implant variation. Therefore, the channel blocking implant was a important parameter. Since the modified device with CPS_PDr+HNF structure satisfied the design window, we confirmed the applicable possibility as a ESD protection device for high voltage operating microchips.

I. 서 론

위성시스템에 사용되는 마이크로 칩을 제조할 때 외부 정전기로부터 칩 내부회로를 보호할 수 있는 정전기 보호 소자를 개발하는 것이 매우 중요하다. 그 이유는 우주환경에서 쏟아지는 고에너지 입자들은 위성체 내부에 정전기를 형성하게 되는데, 이 정전기 전압이 일정수준 이상 높아지게 되면 한 번에 큰 에너지를 방출하여 위성체의 전자 시스템에 심각한 손상을 줄 수 있기 때문이다[1-7]. 지금까지 보고된

바 있는 다양한 정전기 보호 소자들 가운데 SCR(Silicon Controlled Rectifier) 소자는 고전류에 대한 면역 특성이 우수하다는 장점을 가지고 있었으나[8-11], 고전압에서 동작할 경우 높은 트리거링 전압 때문에 래치업(latch-up)에 취약하다는 단점이 있었다[12-14]. 이처럼 SCR 소자가 래치업에 취약한 이유는 고전류 영역에서 on 저항이 너무 작아 스냅백 홀딩 전압이 낮기 때문이므로 on 저항을 증가시킬 수 있는 방법이 모색되어야 한다. 이전 연구에서 SCR 소자가 갖는 래치업 문제를 해결하기 위해 SCR 소자의 구조 변형을 통해

*세한대학교 소방행정학과/나노정보소재연구소 (syj@sehan.ac.kr)

**세한대학교 항공교통물류학과 (jwyang@sehan.ac.kr), 교신저자 : 양준원

※ 본 연구는 2016년도 세한대학교 교내 연구비 지원에 의하여 수행되었음.

접수일자 : 2016년 11월 22일, 수정완료일자 : 2016년 12월 5일, 최종 게재확정일자 : 2016년 12월 6일

정전기 보호 성능을 개선하려는 시도가 있었다. N⁺ 소오스 영역을 둘러싸는 구조를 만들기 위해 P형의 CPS(Counter Pocket Source) 이온주입을 적용하거나[2][4][15], N⁺ 드레인 오른쪽에 P⁺ 확산층을 이온주입하여 PPS(PMOS Pass Structure) 소자가 삽입된 구조로 만들고, P-웰(well)의 구조를 부분적으로 형성시킨 부분웰(Partial Well)을 갖도록 변형 설계한 소자[6-7], NSCR_PPS 소자에서 게이트와 N⁺ 확산층 간격을 적절히 변화시킬 경우[16] 기존의 NSCR 표준소자보다 현저하게 큰 on 저항과 높은 스냅백 홀딩 전압을 나타내어 래치업을 피할 수 있는 우수한 구조임을 제안한 바 있다.

본 연구에서는 NSCR_PPS 소자에서 채널차단영역(Channel Blocking Region)의 이온주입 조건을 변화시켜 변형 설계된 소자에서 채널 차단 이온주입이 정전기 보호 성능의 향상에 미치는 영향을 고찰하기 위해 공정 및 소자 시물레이션을 통해 정전기 보호 특성을 분석하였고, I-V 특성, 전류밀도 및 전류경로, 전계, 국소(local) 온도와 같은 등고선 분석을 통해 본 연구에서 제안하는 소자가 고전압 동작용 I/O 응용을 위해 적용가능한지를 연구하였다.

II. 소자구조

그림 1은 NSCR_PPS 표준소자의 구조를 개략적으로 나타낸 것으로, N⁺ 소오스와 드레인을 각각 2개의 영역으로 나눈 후, P⁺ 이온주입을 통해 P형 MOSFET 소자가 삽입된 PPS 구조이며, P형의 CPS 이온주입을 행하지 않은 FPW(Full P-Well) 구조를 채택하고 있다.

그림 2는 본 연구에서 제안하는 채널차단영역의 이온주입 변화에 따른 NSCR_PPS 변형소자의 개략도를 나타낸 것이다. N⁺ 소오스 영역과 N⁺ 드리프트 영역 사이에 P형의 불순

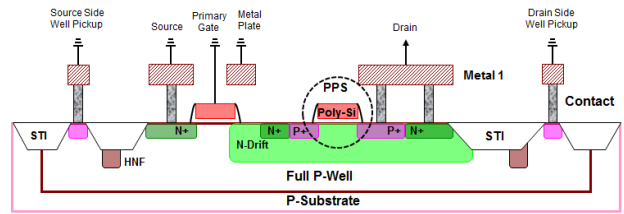


그림 1. NSCR_PPS 표준소자의 개략도

물을 10^{13}cm^{-3} 이상으로 이온주입하여 채널차단영역을 형성하면 이 채널차단영역이 소자의 on 상태에서 전류의 흐름을 방해하기 때문에 on 상태 저항(Ron)이 증가하는 효과를 얻을 수 있을 것으로 예상되어 변형 설계한 것이다. P형의 CPS 이온주입은 N⁺ 소오스를 둘러싸기 위해 수행되는 것으로, P⁺ Drift 이온주입(BF2, 100KeV, $2.7 \times 10^{13} \text{cm}^{-3}$)과 HNF(High N Stop Field Implant) 이온주입(B, 180KeV, $8.5 \times 10^{13} \text{cm}^{-3}$)을 동시에 적용하였다.

표 1은 그림 2(a)~(d)에 보인 변형 설계된 각 소자들의 구조 및 이온주입 조건을 요약한 것이다. NSCR_PPS 소자에 대해 4개의 구조 및 이온주입 조건으로 채널차단영역을 형성한 후, I-V 특성 및 등고선 분석 시물레이션을 통해 이온주입변화에 따른 채널차단효과를 모니터링하였다. 본 연구에서 사용된 시물레이션 방법은 이전 연구와 유사하다[1-7].

III. 시물레이션 결과 및 고찰

표 2는 본 연구에서 고찰한 채널차단영역의 이온주입 변화에 따른 시물레이션 분석을 통해 추출한 I-V 특성 데이터를 보인 것으로, NSCR_PPS 표준소자의 TLP(Transmission Line Pulsar) 데이터와 비교하였다. 채널차단영역에 이온주입을 적용할 경우 애발란치 브레이크다운이 일어나기 전의

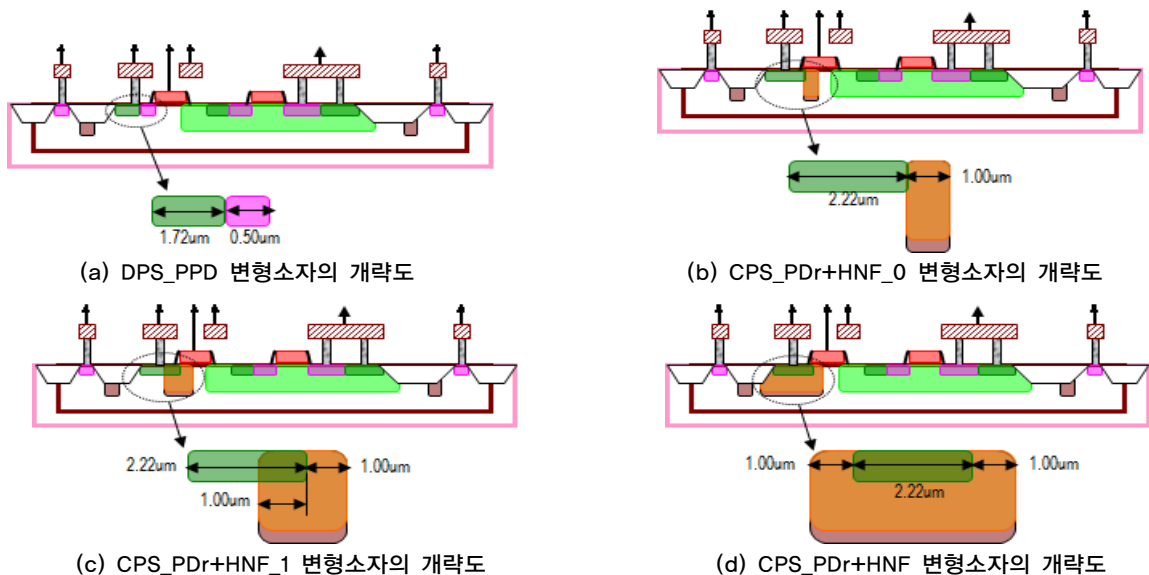
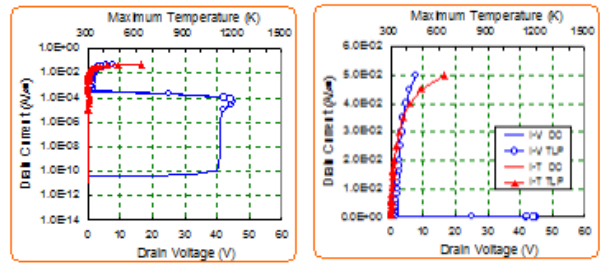


그림 2. 본 연구에서 제안하는 채널차단영역의 이온주입 변화에 따른 NSCR_PPS 변형소자의 개략도

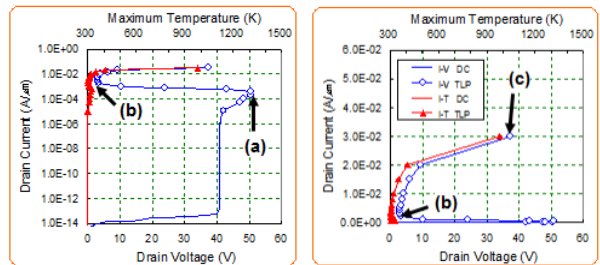
표 1. 본 연구에서 제안하는 NSCR_PPS 소자의 채널차단영역의 구조 및 이온주입 조건

구조	소자구조 및 이온주입 조건
(a) DPS_PPD	<ul style="list-style-type: none"> 1차 게이트 왼쪽의 N⁺ 소오스 영역을 둘로 나누어 오른쪽 부분을 P⁺ 이온주입하여 이중 극성 소오스(Double Polarity Source; DPS)를 갖는 구조[그림 2(a)]
(b) CPS_PDr+HNF_0	<ul style="list-style-type: none"> N⁺ 소오스의 오른쪽에 채널 차단 영역을 형성하기 위해 P⁺ Drift 이온주입(PDr)과 HNF 이온주입을 이중으로 수행한 구조[그림 2(b)] 채널 차단 이온주입 영역과 N⁺ 소오스 사이의 overlap은 0μm임 P-Drift 이온주입: BF2, 100KeV, 2.7\times10¹³cm⁻³ HNF 이온주입: B, 180KeV, 8.5\times10¹³cm⁻³
(c) CPS_PDr+HNF_1	<ul style="list-style-type: none"> N⁺ 소오스의 오른쪽에 채널 차단 영역을 형성하기 위해 P⁺ Drift 이온주입(PDr)과 HNF 이온주입을 이중으로 수행한 구조[그림 2(c)] 채널 차단 이온주입 영역과 N⁺ 소오스 사이의 overlap은 1.00μm임
(d) CPS_PDr+HNF	<ul style="list-style-type: none"> N⁺ 소오스의 오른쪽에 채널 차단 영역을 형성하기 위해 P⁺ Drift 이온주입(PDr)과 HNF 이온주입을 이중으로 수행한 구조[그림 2(d)] 채널 차단 이온주입 영역은 N⁺ 소오스 전체를 완전히 둘러싼 구조

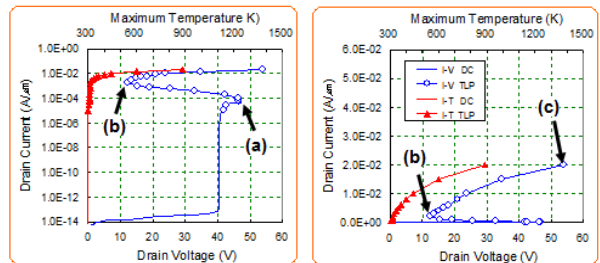
누설전류(Ioff)가 표준소자에 비해 대략 4승 정도 감소하는 경향을 나타내었다. 그림 2(a)와 표 2(a)에 보인 것처럼, N⁺ 소오스 영역의 일부에 P⁺ 확산 이온주입을 적용하는 DPS_PPD 소자의 경우에는 채널차단 이온주입을 적용함에 따라 트리거링 전압(Vtr)이 크게 증가하는 역효과가 나타난 반면에, 그림 2(d) 및 표 2(d)에 보인 CPS_PDr+HNF 소자의 경우에는 N⁺ 소오스 영역의 둘레에 P⁺ 드리프트 이온주입과 HNF (High N Stop Field Implant)를 이중으로 주입하였을 때, 애발란치 브레이크다운 전압(Vav), 트리거링 전압(Vtr) 등의 값이 NSCR_PPS 표준소자와 거의 동일한 결과를 나타내었다. 특히, 채널차단 이온주입을 적용할 경우 on 저항값은 현저한 증가를 보였다. 그로 인해 스냅백 홀딩 전압(Vh), 열적 브레이크다운 전압(Vtb) 등의 값이 증가하는 효과가 있었지만 열적 브레이크다운 전류(Itb)가 크게 감소하는 역효과가 나타남을 확인하였다. Ron 및 Vh의 증가 효과는 N⁺ 소



(A) PPS 표준소자



(B) DPS-PPD 변형소자



(C) CPS-PDr+HNF 변형소자

그림 3. (A) NSCR_PPS 표준소자, (B) DPS_PPD 변형소자, (C) CPS-PDr+HNF 변형소자의 I-V 특성 비교. [여기서, 그림 속의 (a) 트리거링 포인트, (b) 스냅백 홀딩 포인트, (c) 열적 브레이크다운이 일어나기 전에 해당함]

오스 영역을 CPS 이온주입으로 완전히 둘러싼 CPS_PDr+HNF 변형소자가 DPS_PPD 소자에 비해 더 우수한 특성을 나타내었다. 그러나 CPS 이온주입 자체만으로는 스냅백 홀딩 전압(Vh)을 동작전압(Vop) 보다 크게 만들 수는 없는 것으로 판단된다.

표 2. 시뮬레이션 분석을 통해 추출한 I-V 특성과 TLP 데이터 비교

	Standard (TLP Data)	Standard (Simulation)	(a) DPS_PPD	(b) CPS_PDr+HNF_0	(c) CPS_PDr+HNF_1	(d) CPS_PDr+HNF
Ioff	1.5E-09	1.2E-10	5.2E-14	5.4E-14	5.0E-14	7.5E-14
Vav	36.0	41.0	40.8	40.5	40.5	40.5
Vtr	36.0	45.0	50.7	46.1	46.1	46.5
Itr	0	5.0E-02	4.0E-01	5.0E-02	5.0E-02	5.0E-02
Vh	4.0	1.4	3.1	1.6	3.5	12.4
Ih	0.1	4.0E-01	4.0E+00	6.0E-04	1.0E-04	2.0E+00
Vtb	13.0	7.9	37.3	13.1	56.6	53.8
Itb	40.0	50.0	30.0	40.0	40.0	20.0
Ron	169	131	1315	288	1328	2300

<약어설명> Ioff : off-상태 누설전류@30V[A/μm], Vav : 애발란치 브레이크다운 전압[V], Vtr : 트리거링 전압[V], Itr : 트리거링 전류[mA/μm], Vh : 스냅백 홀딩 전압[V], Ih : 스냅백 홀딩 전류[mA/μm], Vtb : 열적 브레이크다운 전압[V], Itb : 열적 브레이크다운 전류[mA/μm], Ron : 평균 on 저항[Ω·μm]

그림 3은 본 연구에서 제안하는 4개의 채널차단 이온주입 변형소자 중에서 가장 우수한 특성을 보인 DPS_PPD 변형소자와 CPS_PDr+HNF 변형소자의 I-V 곡선을 on 상태(우측)와 off 상태(좌측)로 나누어 보인 것이다. 채널이온주입 소자의 on 저항, 스냅백 홀딩 전압 및 열적 브레이크다운 전압에 영향을 미치는 중요한 변수인 것으로 확인되었다. 특히 N^- 소오스 영역을 CPS 이온주입으로 완전히 둘러싼 CPS_PDr+HNF 변형소자의 경우 가장 안정적인 정전기 보호 성능을 나타내었다. 따라서 FPW 구조를 채택한 후, CPS 이온주입을 행하고, 채널이온주입변화를 적절히 조절하면 정전기보호를 위한 필요충분조건인 높은 on 저항, $V_h > V_{op}$ 및 $V_{th} > V_{tr}$ 과 같은 디자인 윈도우[2]를 만족시킬 수 있을 것으로 생각된다.

그림 4는 DPS_PPD 변형소자의 등고선 분석을 나타낸 것이다. 그림 4(a)는 트리거링 포인트에 해당한다. N^- 소오스 앞단에 추가된 P^+ 확산 영역의 영향으로 인해 BJT(Bipolar Junction Transistor) 트리거링이 이루어지기까지 상대적으로 더 많은 전류가 필요하므로 U자 형태로 우회하는 전류 흐름을 관찰할 수 있다. 고전계 영역은 전체적으로 PPS 표준소자[4][15]와 거의 유사한 형태를 나타내었지만, U자 형태의 전류가 통과하는 영역의 전계값은 다른 영역에 비해 약간 작아지는 양상을 나타내었다. 상대적으로 더 많은 전류와 U자 형태로 우회하는 전류경로로 인해 트리거링 전압(V_{tr})이 증가하는 것으로 추정된다. 최대 국소온도 영역은 고전계와 주(main) 전류경로가 겹치는 영역, 즉 1차(primary) 게이트 우측 하단의 표면 영역과 수직 방향의 N^- Drift/Full P-Well 경계면의 2곳에서 발생하였다.

그림 4(b)는 스냅백 홀딩 포인트에 해당한다. 채널차단 이온주입의 영향으로 소자의 표면 방향으로 흐르는 전류의 비중은 감소하였고 수직 방향의 U자 형태로 흐르는 전류의 비

중은 높아짐을 관찰할 수 있다. 전계는 트리거링 발생 때보다 더 작아지면서 고전계영역이 N^- 드레인 주위로 축소되는 양상을 나타내었다. 한편 1차 게이트 하부의 채널 영역을 중심으로 새로운 고전계 영역이 발생하지만, U자 형태의 주 전류경로와 고전계 영역이 겹치는 영역은 그리 넓지 않게 분포되었다. 따라서 전류흐름에 따른 전압강하가 PPS_Std 표준소자에 비해 약간 증가하였지만, 그 차이는 미미하였다. 최대 국소온도 영역은 U자 형태의 주 전류경로 도중에서 소오스 근처에 치우쳐서 발생하였다.

그림 4(c)는 열적브레이크다운이 일어나기 전에 해당한다. 수직 방향의 U자 형태로 흐르는 전류가 전류흐름의 대부분을 차지하고 있음을 볼 수 있다. 전계의 경우 1차 게이트 하부의 채널 영역을 중심으로 N^- 소오스 영역/Full P-Well 사이의 경계면 전체에 걸쳐 고전계 영역이 새로 생성되었는데, 이 고전계 영역과 U자 형태의 전류흐름의 영향으로 DPS_PPD 소자의 R_{on} 값과 V_{th} 값이 증가하는 것으로 추정된다. 최대 국소온도 영역은 고전류 영역과 새로 생성된 고전계 영역이 겹치는 영역, 즉 N^- 소오스의 하부 영역에서 발생하였다.

그림 5는 CPS-PDr+HNF 변형소자의 등고선 분석을 나타낸 것이다. 그림 5(a)는 트리거링 포인트에 해당한다. 트리거링 포인트 근처에서 CPS_PDr+HNF 변형소자의 전류흐름은 PPS 표준소자[4][15]와 거의 유사한 양상을 나타내었다. 고전계 영역은 PPS 표준소자와 마찬가지로 N^- Drift/Full P-Well 경계면에 집중되어 있지만 그 값은 약간 작게 나타났다.

그림 5(b)는 스냅백 홀딩 포인트에 해당한다. 채널 차단영역의 영향으로 소자의 표면 방향으로 흐르는 전류의 비중은 감소하고 수직 방향의 U자 형태로 흐르는 전류의 비중이 크게 높아졌음을 관찰할 수 있다. 고전계 영역은 N^- 드레인 영역 근처로 축소되지 않고 N^- 확산/Full P-Well 경계면 상에 그대

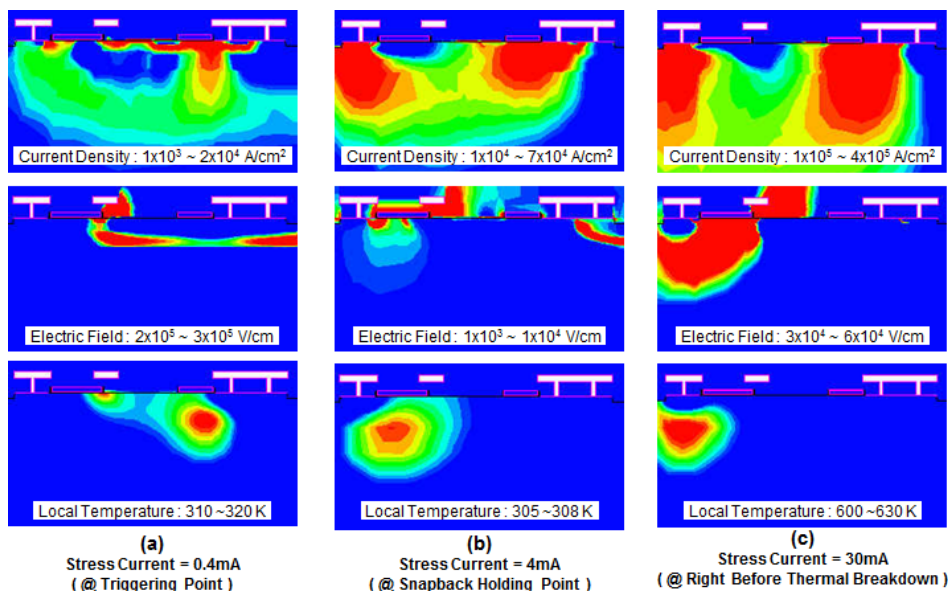


그림 4. DPS_PPD 변형소자의 등고선 분석. (a) 트리거링 포인트, (b) 스냅백 홀딩 포인트 및 (c) 열적 브레이크다운이 일어나기 바로 전. 등고선 그림에 표현된 숫자는 전류밀도, 전계 및 국소온도 값에 해당하는 범위를 나타낸다.

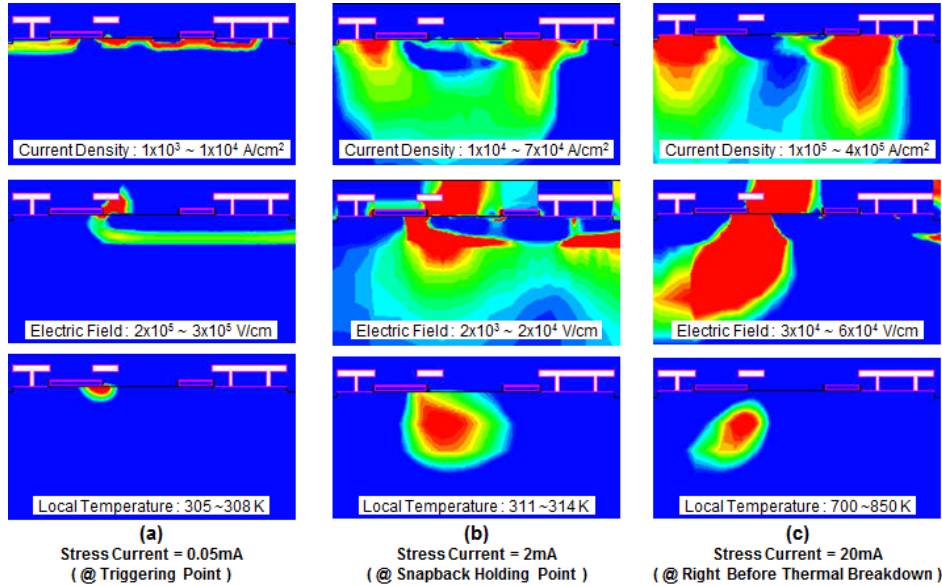


그림 5. CPS-PDr+HNF 변형소자의 등고선 분석. (a) 트리거링 포인트, (b) 스냅백 홀딩 포인트 및 (c) 열적 브레이크다운이 일어나기 바로 전. 각 그림에 표현된 숫자는 전류밀도, 전계 및 국소온도 값에 해당하는 범위를 나타낸다.

로 남아 있음을 관찰할 수 있다. 따라서 주 전류경로와 고전계 영역이 겹치는 영역이 상당히 광범위하게 발생하게 되며, 이는 PPS 표준소자(또는 DPS_PPD 변형소자)에 비해 상대적으로 높은 스냅백홀딩 전압으로 나타났다. 최대 국소온도 영역은 여전히 1차 게이트 우측 하단에서 발생하였는데 U자 형태의 전류흐름의 영향으로 인해 소자 깊이 방향으로 좀 더 깊어지는 양상을 나타내었다.

그림 5(c)는 열적브레이크다운이 일어나기 전에 해당한다. 수직 방향의 U자 형태로 흐르는 전류가 전류흐름의 대부분을 차지하고 있다. 고전계 영역의 경우 1차 게이트 우측 하부에서 시작하여 N⁺ 소오스 확산 영역을 크게 둘러싸는 형태로 존재하였으며, 그 값은 PPS 표준소자보다 더 크게 나타났다. 이 고전계 영역과 U자 형태의 전류 흐름의 영향으로 두 전극 사이의 전압강하가 증가하였고 겹치는 영역이 PPS 표준소자(또는 DPS_PPD 변형소자)에 비해 매우 넓게 발생하였는데, 이 고전계 영역과 U자 형태의 전류 흐름의 영향으로 CPS_PDr+HNF 변형소자의 Ron 값과 Vtb 값이 증가하는 것으로 추정된다. 최대 국소온도 영역은 고전류 영역과 새로 생성된 고전계 영역이 겹치는 영역에서 발생하였다.

서론에서 설명한 것처럼 고전압용 정전기 보호소자로 사용되는 NSCR_PPS 표준소자가 가지고 있는 문제점을 개선하기 위해 이전 연구인 CPS 이온주입[2][4], 부분웰(PPW)의 적용[6][7][15], 게이트와 N⁺ 소오스와의 간격인 GPNS의 적절한 조절[16] 등 시뮬레이션을 통해 공정을 최적화시킨다면 on 저항을 증가시키므로서 그동안 문제시 되어왔던 래치업 문제를 극복할 수 있을 것으로 생각된다.

Ⅲ. 결 론

NSCR_PPS 표준소자는 on 저항, 스냅백 홀딩 전압과 열

적 브레이크다운 전압이 너무 낮아 정전기 보호 소자로 적용이 어려웠으나, 본 연구에서 제안한 것처럼 채널의 이온주입 변화를 통해 on 저항을 증가시킬 수 있었다. 이는 N⁺ 소오스 영역과 N⁻ 드리프트 영역 사이에 P형의 불순물을 이온주입하여 채널차단영역을 형성하면 이 채널차단영역이 소자의 on 상태에서 전류의 흐름을 방해하기 때문에 on 저항이 증가한 결과이다. 시뮬레이션 결과, CPS 이온주입 영역과 N⁺ 소오스 영역 사이의 오버랩이 길어질수록 Ron, Vh, Vtb 등의 값이 증가하는 경향을 나타내었다. Ron 및 Vh의 증가 효과는 N⁺ 소오스 영역을 CPS 이온주입으로 완전히 둘러싼 CPS_PDr+HNF 변형소자가 DPS_PPD 소자에 비해 더 우수한 특성을 나타내었는데, 이는 등고선 데이터 분석 결과에 나타난 것처럼 채널차단의 영향으로 표면으로 흐르는 전류는 감소하였고, U자 형태로 수직방향으로 흐르는 전류는 증가하였기 때문으로 생각된다. 따라서 본 연구에서 제안하는 채널이온주입 변화를 통해 NSCR_PPS 변형소자는 위성체나 위성통신기에 사용되는 고전압용 마이크로 칩의 I/O 응용을 위한 정전기 보호 소자로 사용될 수 있음을 확인하였다.

참 고 문 헌

- [1] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한 EDNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.
- [2] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03.
- [3] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.

[4] 양준원, 서용진, "N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구, 통신위성우주산업 연구회논문지, 제8권 제4호, pp.124-129, 2013.12.

[5] 서용진, 양준원, "DPS(Double Polarity Source) 구조를 갖는 고전압 동작용 EDNMOS 소자의 정전기 보호 성능 개선, 통신위성우주산업연구회논문지, 제9권 제2호, pp.12-17, 2014.06.

[6] 양준원, 서용진, "NESCR 소자에서 정전기 보호 성능 향상을 위한 최적의 P-Well 구조설계", 통신위성우주산업연구회논문지, 제9권 제3호, pp.15-21, 2014.09.

[7] 양준원, 서용진, "PPS 소자가 삽입된 N형 SCR 소자에서 부분웰 구조가 정전기 보호 성능에 미치는 영향", 통신위성우주산업연구회논문지, 제9권 제4호, pp.63-68, 2015.12.

[8] S. Dabral and T. J. Maloney, "Basic ESD and I/O Design", John Wiley, New York, 1998.

[9] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions", IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.

[10] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim and K. H. Kim, "ESD characterization of grounded-gate NMOS with 0.35 μ m/18V technology employing transmission line pulser (TLP) test", in Proc. EOS/ESD Symp., pp. 362-372, 2002.

[11] G. Bosselli, S. Meeuwesen, T. Mouthaan and F. Kuper, "Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions", in Proc. EOS/ESD Symp., pp. 11-18, 1999.

[12] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," IEEE Electron Device Lett., vol.12, pp. 21-22, Jan. 1991.

[13] M. D. Ker, H. H. Chang, and C. Y. Wu, "A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low voltage CMOS IC's," IEEE J. Solid-State Circuits, vol. 32, pp. 38-51, Jan. 1997.

[14] C. H. Lai, M. H. Liu, S. Su, T. C. Lu, and S. Pan, "A novel gate coupled SCR ESD protection structure with high latchup immunity for high-speed I/O pad," IEEE Electron Device Lett., vol. 25, pp. 328-330, May 2004.

[15] 양준원, 서용진, "PMOS 소자가 삽입된 부분웰 구조의 N형 SCR 소자에서 정전기 보호 성능 향상을 위한 최적의CPS 이온주입에 대한 연구," 한국위성정보통신학회논문지, 제10권 제4호, pp.6-11, 2015.12.

[16] 서용진, 양준원, "NSCR_PPS 소자에서 게이트와 N+ 확산층 간격의 변화가 정전기 보호성능에 미치는 영향," 한국위성정보통신학회논문지, 제10권 제4호, pp.1-5, 2015.12.

저자

서 용 진(Yong-Jin Seo)



- 정회원**
- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
 - 1989년 2월 : 중앙대학교 전기공학과 석사졸업
 - 1994년 2월 : 중앙대학교 전기공학과 박사졸업
 - 1995년 3월 ~ 현재 : 세한대학교 교수
 - 2004년 3월 ~ 현재 : 세한대학교 나노정보소재연구소 소장
- <관심분야> : 반도체소자, 정전기보호소자, CMP공정

양 준 원(Jun-Won Yang)



- 정회원**
- 1989년 2월 : 영남대학교 전자공학과 학사졸업
 - 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
 - 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료
 - 1999년 3월 ~ 현재 : 세한대학교 교수
- <관심분야> : 위성통신, 전자파 해석