

저전압 감지회로에 관한 연구

김필중^a

조선이공대학교 전자과

A Study on the Low Voltage Detection Circuit

Phil-Jung Kim^a

Department of Electronics, Chosun College of Science & Technology, Gwangju 61453, Korea

(Received September 12, 2016; Revised September 25, 2016; Accepted October 2, 2016)

Abstract: This paper describes a low voltage detection circuit used in the semiconductor chips. The circuit was composed of a detection part of the CMOS structure as three stages and two inverters. The output of the low voltage detection circuit become to 'high' from 'low', when the power supply voltage falls below 80%. When the power supply voltage is 5 V, it was detected at 4 V point. The proposed low voltage detection circuit can be easily applied only by changing the resistor and the capacitor without structural change in a wide range of power supply voltage.

Keywords: Low voltage, Detection circuit, Supply voltage

1. 서론

반도체 공정기술 및 설계기술의 발달로 다양한 용도의 IC 칩이 제조되고 있다. 이러한 칩으로는 메모리 칩(DRAM, EEPROM 등), 프로그램 가능한 칩(MIC, PIC 등), 시스템 IC, 영상처리 칩, 논리회로 칩 등이 있다.

다양한 반도체 칩에 인가되는 전원전압(V_{CC} 또는 V_{DD})은 칩 내부 회로의 안정적인 동작을 위해 정해진 전압 레벨 범위 내에서 존재하여야 한다. 특히 전원전압을 이용하여 전원전압 보다 높은 전압으로 승압시키는 회로에서는 일정한 전압 레벨을 유지하는 것은 꼭 필요하다.

예를 들면 EEPROM 셀(cell)의 프로그램 및 소거 동

작을 위해서는 전원전압의 2~4배 이상의 고전압(프로그램 시에는 9~12 V, 소거 동작 시에는 해당 역전압)이 필요하다 [1]. 만일 전원전압이 1 V 이상 낮아지고 전원전압의 3배의 승압으로 프로그램 및 소거 동작이 이루어진다면 결국 승압회로의 출력전압은 원하는 출력전압보다 약 3 V 정도 낮은 전압을 얻게 되어 프로그램 및 소거 동작에 오류가 발생할 수 있다.

따라서 반도체 칩 내부에 인가되는 전원전압이 일정한 전압 레벨보다 낮아져서 발생하는 오동작 등의 문제를 개선하기 위해서는 저전압 상태를 감지하여 저전압 상태에서는 칩 내부 회로의 동작을 멈추게 하거나 저전압 상태임을 사용자에게 알려주어 문제를 해결하도록 하여야 한다.

기존에 제안된 전압 감지 회로로는 [2-4] 입력전압이 전원전압의 0.7배가 되었을 때 임계전압으로 감지되도록 다수의 바이폴라 트랜지스터들과 저항들을 이용하여 차동증폭기 구조 형태로 회로를 설계한 전압준위 검출기가 발표되었으며 [3], 전원전압보다 일정한 비율로 낮게 출력하는 노드 전압 값과 기준전압 값을

a. Corresponding author; philjung@cst.ac.kr

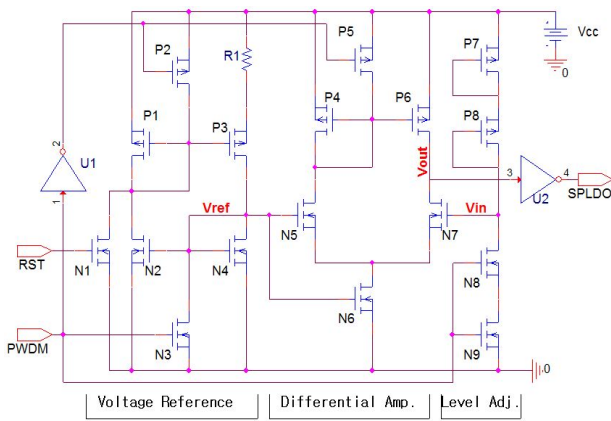


Fig. 1. Predecessor's supply power level detector.

비교하여 전원전압이 약 3.1 V가 되면 감지되도록 다수의 MOS 트랜지스터들과 저항 등을 이용하여 차동증폭기 구조 형태로 회로를 설계한 전원전압 레벨 검출기가 발표되었다 [4].

그림 1은 기준전압(V_{ref})을 생성하는 기준전압 발생 회로와 $V_{CC}-\Delta V$ 전압을 생성하는 전원전압 레벨 조정회로, 두 신호의 차를 검출하는 차동 앰프로 구성된다 [4]. 이 회로에서 기준전압은 전원전압의 변화와 상관없이 항상 일정한 전압레벨(약 1 V)을 출력하는 반면, 전원전압 레벨 조정회로의 출력 V_{IN} 은 전원전압의 ΔV 만큼의 차를 갖으며 전원전압의 변화를 따라간다 [4]. 이때 차동 앰프에 의해 V_{IN} 이 V_{ref} 보다 낮아질 때 차동 앰프의 출력 V_{OUT} 은 'high' 신호를 발생시킨다 [4].

그림 1과 같은 전원전압 감지회로[4]는 사용하는 전원전압의 크기에 상관없이 감지되는 전압레벨이 항상 같기 때문에 다양한 반도체 칩에 따라 인가되는 전원전압의 크기 또한 다양하고 감지해야 할 전압레벨이 다를 경우 적용하는데 어려움이 따를 수 있다.

따라서 본 논문에서는 반도체 칩에 인가되는 전원전압을 감지하는 회로 구성에 있어서 다양한 전압 크기의 전원전압에서도 쉽게 응용하여 원하는 전압레벨 지점에서 감지되는 회로를 설계할 수 있도록 제안하고자 한다.

2. 실험 방법

2.1 저전압 감지회로 설계

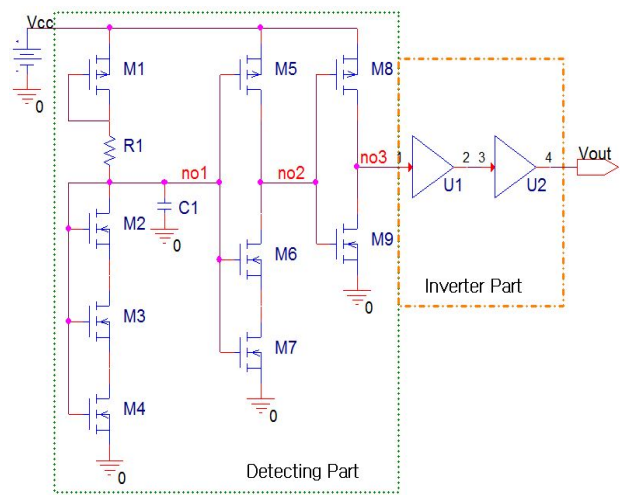


Fig. 2. Proposed low voltage detection circuit.

저전압 감지회로는 그림 2와 같이 다수의 MOS 트랜지스터 그리고 1개의 저항과 1개의 커패시터를 이용하여 설계하였다.

기본구성은 3단으로 된 CMOS 구조의 감지부와 감지부 출력을 증폭하여 감지신호를 출력하기 위한 인버터부로 구성된다. 이때 인버터의 개수는 필요에 의해 홀수 개 또는 짝수 개로 구성할 수 있다.

2.2 저전압 감지회로의 동작

그림 2의 회로에서 감지부 첫 번째 단의 동작은 전원전압이 PMOS M1 다이오드와 저항 R1을 통해 노드 'no1'로 전달된다. 이때 노드 'no1'의 전압은 식 (1)과 같이 PMOS M1과 저항 R1의 합성저항과 직렬로 연결된 NMOS M2~M4의 합성저항의 비에 의해 결정된다. 여기서 V_{no1} 은 노드 'no1'의 전압, R_{M24} 은 NMOS M2~M4의 합성저항, R_M 은 PMOS M1의 저항이다.

$$V_{no1} = \frac{R_{M24}}{(R_M + R1) + R_{M24}} V_{cc} \quad (1)$$

또한 전원전압이 정상전압을 유지하고 있을 때의 V_{no1} 전압은 식 (2)와 같이 PMOS M1의 문턱전압에 의한 전압강하로 인하여 ' $V_{CC}-V_{tM1}$ ' V 전압보다는 낮고 NMOS M2~M4의 문턱전압 합보다는 높다. 여기서 V_{tM1} 은 PMOS M1의 문턱전압, V_{tM24} 는 NMOS M2~

M4의 문턱전압 합이다.

$$(V_{CC} - V_{tM}) > V_{no1} > V_{tM4} \quad (2)$$

감지부 두 번째 단의 PMOS M5와 NMOS M6 및 M7은 노드 'no1'의 전압 V_{no1} 에 의하여 소스와 드레인 사이에 채널이 형성되어 있는 상태에 있다.

또한 노드 'no1'에 저항 R1과 커패시터 C1에 의하여 노드 'no1' 전압 V_{no1} 의 초기 상승은 노드 'no2'의 전압 V_{no2} 의 초기 상승시간 보다 느리게 상승하게 된다. 따라서 NMOS M6와 M7의 턴 온(turn-on)은 PMOS M5보다 늦게 되어 일정전압 이상의 전원전압 상태에서는 노드 'no2'의 전압 V_{no2} 는 비교적 높은 전위 상태를 유지한다.

노드 'no1'의 저항 R1과 커패시터 C1에 의한 시정수 τ 는 식 (3)과 같이 표현할 수 있다. 단, PMOS M1의 저항은 고려하지 않았다.

$$\tau = R_1 C_1 \text{ sec} \quad (3)$$

이때, 감지부의 세 번째 단의 출력 노드 'no3'의 전압 V_{no3} 는 노드 'no2'의 전압 V_{no2} 가 비교적 높은 전위 상태에 있기 때문에 낮은 전위 상태에 있게 된다.

만일 전원전압 V_{CC} 가 점점 낮아진다면 노드 'no1'의 전압 V_{no1} 은 전원전압의 크기에 거의 비례하여 선형적으로 낮아지게 된다. 그러나 노드 'no1'의 전압 V_{no1} 이 낮아지는 기울기는 전원전압이 낮아지는 기울기보다 덜 가파르게 된다. 이러한 이유는 저항 R1과 커패시터 C1에 의한 지연시간이 형성되기 때문으로 볼 수 있다.

노드 'no1'의 전압 V_{no1} 이 낮아지는 기울기에 의해 즉, 전원전압 V_{CC} 가 점점 낮아질 때 전원전압의 하강 속도보다 전압 V_{no1} 의 하강속도는 더 느려지게 되어, 감지부의 두 번째 단 PMOS M5에 의해 노드 'no2'에 유입되는 전류량보다 NMOS M6~M7에 의해 유출되는 전류량이 많아져서 노드 'no2'의 전압 V_{no2} 은 저전압 감지 지점에서 비교적 큰 폭으로 낮아지게 된다. 반면에 노드 'no2' 전압과 상대적으로 감지부의 세 번째 단 출력인 노드 'no3'의 전압 V_{no3} 는 저전압 감지 지점에서 더 큰 폭으로 높아지게 된다.

그림 2의 회로에서 인버터부는 2개의 CMOS 인버터를 종속으로 연결하여 구성한다. 이때 필요에 따라 1개의 CMOS 인버터만을 사용할 수도 있다. 이러한 이

유는 저전압 감지회로의 최종 출력을 논리 'high'로 하거나 아니면 논리 'low'로 하여 칩의 동작을 자동으로 중지시킬 수도 있고 사용자에게 전원전압이 낮은 상태임을 알릴 수도 있기 때문이다.

본 연구에서 제안된 저전압 감지회로의 최종 출력은 전원전압이 일정전압 이하로 낮아지게 되면 논리 'high' 상태를 유지하도록 하였다.

인버터부의 입력전압 즉, 노드 'no3'의 전압 V_{no3} 은 전원전압이 일정전압 이하로 낮아지는 어떤 지점에서 비교적 큰 폭으로 높아지게 되면서 인버터부의 첫 번째 CMOS 인버터 U1의 출력을 0 V로 낮추게 되고, 결국 두 번째 CMOS 인버터 U2의 출력은 전원전압의 크기와 같게 된다.

3. 결과 및 고찰

전원전압을 5 V, 3.3 V, 2.0 V로 각각 설정하여 모의실험 하였으며, 저전압 감지는 정상적인 전원전압의 약 80% 이하로 낮아질 때 감지하도록 설계하였다. 모의실험 조건은 전원전압을 각각 정상전압에서 0 V로 0.01 V씩 낮아지게 하였다.

그림 3은 전원전압이 5 V일 때의 감지되는 전압 모의실험 결과이다. 그림 3에서와 같이 전원전압 V_{CC} 가 0.01 V씩 낮아짐에 거의 비례하여 노드 'no1' 전압 V_{no1} 도 선형적으로 낮아짐을 알 수 있다. 또한 이를 수식적으로 계산하기 위해 각각의 PMOS와 NMOS의 저항 값이 같다고 가정하고, R1 저항 값을 수식 1에 대입하여 MOS의 저항 값을 계산한 결과 약 586 Ω 이었다. 여기서 R_M 은 MOS의 저항이다.

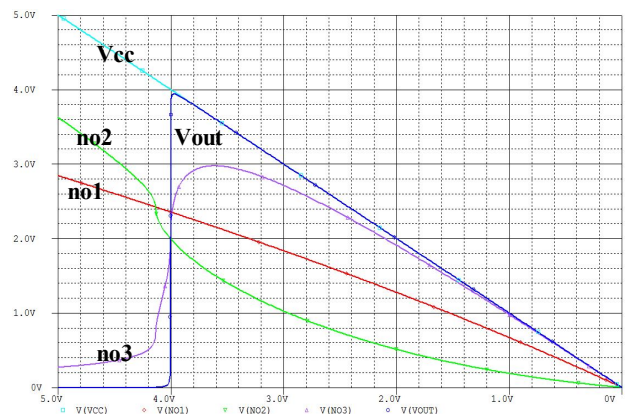


Fig. 3. Simulation results of detection circuit ($V_{CC} = 5$ V).

$$2.85 = \frac{3R_M}{(R_M + R1) + 3R_M} \times 5 \quad (4)$$

$$\therefore R_M \approx 586 \ \Omega \quad (5)$$

전원전압이 5 V에서 4 V로 낮아질 때 감지가 되어 저전압 감지회로의 출력전압은 'low' 상태에서 'high' 상태로 변화되었으며, 이때 노드 'no1'의 전압은 약 2.35 V로 나타났으며, 수식 (5)를 수식 (1)과 수식 (4)에 대입하여 계산한 결과 노드 'no1'의 전압은 2.28 V 이었다. 따라서 모의실험 결과 값과 약 0.07 V 차이가 발생하는데 이는 0.1 V 이하의 차이로 PMOS의 저항 값과 NMOS의 저항 값이 거의 같다고 간주하여 설계에 반영하여도 큰 오차가 발생하지 않음을 의미한다.

수식 (2)에서 PMOS와 NMOS의 문턱전압 V_{tM} 을 0.3 V 설정하여 대입하면 정상적인 전원전압인 경우 노드 'no1'의 전압 V_{no1} 은 수식 (6)과 같이 계산된다.

$$\begin{aligned} (V_{CC} - V_{tM}) > V_{no1} > V_{tM2} &\Rightarrow 5 - 0.3 > V_{no1} > 3 \times 0.3 \\ \Rightarrow 4.7 > V_{no1} > 0.9 \text{ V} \end{aligned} \quad (6)$$

모의실험에서도 노드 'no1'의 전압 V_{no1} 은 전원전압이 5 V일 때 약 2.87 V, 저전압 감지점에서 약 2.36 V로 나타나 수식 (2)와 수식 (6)을 만족함을 알 수 있다.

전원전압이 일정전압 이하의 낮은 전압으로 감지되는 지점 부근에서 노드 'no2'의 전압과 노드 'no3'의 전압은 비교적 큰 폭으로 변화되는 것으로 나타났다. 전원전압이 0.2 V 변화할 때 노드 'no2'의 전압의 변화량은 약 0.6 V이었으며 노드 'no3'의 변화량은 약 2.0 V로 나타났다. 이러한 결과는 감지부의 두 번째 단 입력인 노드 'no1'의 전압 변화량이 0.1 V 이하로 작기 때문에 감지부의 출력인 노드 'no2'의 전압 변화량은 입력의 약 6배인 약 0.6 V로 나타났고, 감지부의 세 번째 단 출력인 노드 'no3'의 변화량도 입력의 약 3.3배인 약 2.0 V로 나타나 각 단 모두 입력대비 3~6 배로 증폭되어 출력되었음을 알 수 있다.

그림 4는 전원전압이 3.3 V일 때의 감지되는 전압 모의실험 결과이다. 그림 4에서와 같이 전원전압이 3.3 V인 경우 전원전압이 약 2.63 V 이하로 낮아질 때 저전압으로 감지되었다. 또한 이 때, 수식 (4)와 수식 (5)에 저항 R1 값을 대입하여 계산한 결과 노드 'no1'의 전압 V_{no1} 은 약 1.33 V로 모의실험 결과 1.53 V와는 0.2 V 정도 차이가 있었다.

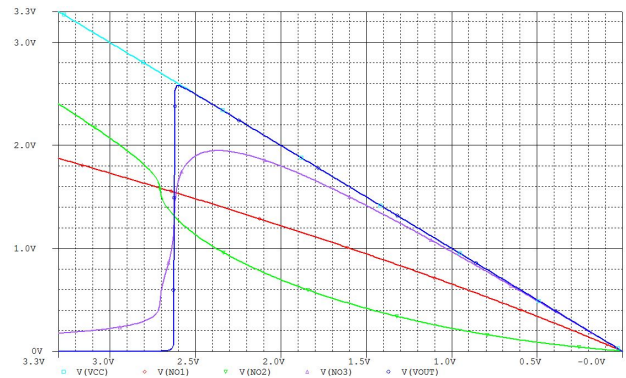


Fig. 4. Simulation results of detection circuit ($V_{CC} = 3.3 \text{ V}$).

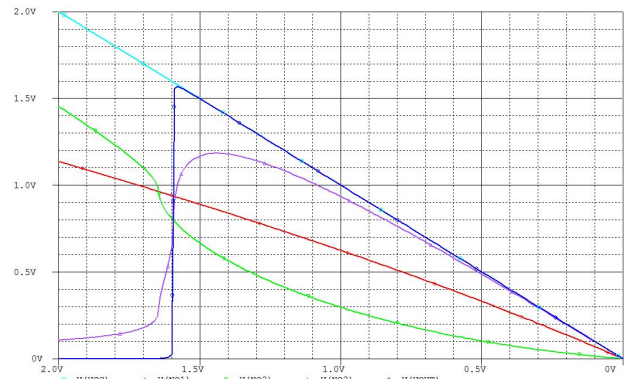


Fig. 5. Simulation results of detection circuit ($V_{CC} = 2 \text{ V}$).

이는 전원전압이 5 V에서 3.3 V로 낮아져서 노드 'no1'의 전압도 낮아지게 되어 NMOS M2~M4의 저항 값이 다소 커지기 때문에 수식 (4)의 분수 값이 미소한 차이로 커져서 노드 'no1'의 전압 V_{no1} 은 수식적 결과 값보다 약간 높아짐을 알 수 있다.

그림 5는 전원전압이 2 V일 때의 감지되는 전압 모의실험 결과이다. 그림 5에서와 같이 전원전압이 2 V인 경우 전원전압이 약 1.59 V 이하로 낮아질 때 저전압으로 감지되었다.

또한 이 때, 수식 (4)와 수식 (5)에 저항 R1 값을 대입하여 계산한 결과 노드 'no1'의 전압 V_{no1} 은 약 0.80 V로 모의실험 결과 0.94 V와는 0.14 V 정도 차이가 있었다. 이 또한 전원전압이 5 V에서 2 V로 낮아져서 노드 'no1'의 전압도 낮아지게 되어 NMOS M2~M4의 저항 값이 다소 커지기 때문에 수식 (4)의 분수 값이 미소한 차이로 커져서 노드 'no1'의 전압

V_{no1} 은 수식적 결과 값보다 약간 높아짐을 알 수 있다.

그림 3~5에서와 같이 감지부 출력인 노드 'no3'의 전압 V_{no3} 은 감지되는 지점에서 최대전압 값의 경우 전원전압 V_{CC} 전압 값과 다소 큰 전압 차이가 발생하고, 감지되기 이전의 최저전압 값도 완전한 0 V가 아니기 때문에 불완전한 값을 출력하고 있다. 따라서 이러한 문제를 해결하기 위해 감지부의 출력전압을 다소 증폭하여 완전한 반전 출력이 되도록 하기 위해 인버터부는 필요함을 알 수 있다.

또한 모의 실험한 결과를 표 1과 표 2와 같이 정리하였다. 표 1에서와 같이 저전압 감지 지점에서 노드 'no1' 전압의 변화량은 전원전압의 약 1/2 정도로 변화하였으며, 노드 'no2' 전압의 변화량은 노드 'no1' 변화량의 약 4~6배, 노드 'no3' 전압의 변화량은 노드 'no2' 전압의 변화량의 약 2~3배 변화함을 알 수 있다.

표 2에서와 같이 노드 'no1'의 시정수 $\tau(=R_1C_1)$ 는 전원전압이 5 V일 때 74 μ s, 3.3 V일 때 113 μ s, 2 V일 때 186 μ s로 나타나 전원전압이 낮을수록 R1의 저항 값과 커패시터 C1의 용량 값이 커야함을 알 수 있다.

모의실험 결과에서와 같이 저전압 감지회로 구성에 있어서 전원전압 크기에 따라 저항 R1의 저항 값과 커패시터 C1의 용량 값만 바꾸어 주면 다른 MOS들의 추가나 제거 또는 크기의 변화 없이 쉽게 원하는 저전압 감지회로를 설계할 수 있음을 알 수 있다.

4. 결론

본 논문에서는 CMOS 구조의 저전압 감지 회로를 제안하였다. 이 회로의 주요 구성은 저전압 감지부와 감지부의 출력을 다소 증폭하여 비교적 완전한 최종 출력 전압값을 얻기 위해 다수의 인버터를 종단에 설치하였다. 전원전압을 5 V, 3.3 V, 2 V로 각각 설정하여 모의실험 한 결과 감지되는 전압은 각각 전원전압의 약 80%에 해당하는 4 V, 2.63 V, 1.59 V로 나타났다. 제안한 저전압 감지회로는 1개의 저항 크기와 1개의 커패시터 용량 크기만을 변경하면 MOS 추가나 크기 변경 없이 원하는 저전압 감지 전압 값을 얻을 수 있다. 따라서 다양한 반도체 칩이나 전자 시스템에 적용하여 전원전압 상태를 쉽게 감지함으로써 안정된 동작할 수 있을 것이다.

REFERENCES

- [1] Y. J. Kwon, J. M. Jung, and K. H. Park, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **19**, 601 (2006). [DOI: <http://dx.doi.org/10.4313/JKEM.2006.19.7.601>]
- [2] H. K. Bae, B. S. Ryu, and T. W. Cho, *J. Inst. Electron. Eng.*, **39**, 48 (2002).
- [3] S. H. Oh, J. S. Yoon, B. R. Kim, and M. K. Lee, *Conf. Inst. Electron. Eng.*, 327 (1983).
- [4] S. S. Choi, S. S. Kim, and K. R. Cho, *J. Inst. Electron. Eng.*, **40**, 43 (2003).

Table 1. Simulation results of the node voltage.

V_{CC} [V]	ΔV_{CC} [V]	ΔV_{no1} [V]	ΔV_{no2} [V]	ΔV_{no3} [V]	ΔV_{out} [V]
5	0.2	0.11	0.60	2.03	3.95
3.3	0.2	0.11	0.53	1.50	2.60
2	0.2	0.10	0.43	0.99	1.57

Table 2. Simulation results of the detected voltage (V_d).

V_{CC} [V]	τ [μ s] (R×C)	Detected voltage(V_d)[V]	V_d/V_{CC} [%]
5	74	4.0	80.0
3.3	113	2.63	79.7
2	186	1.59	79.5