

개선된 지그비 시스템을 위한 시간 동기부 설계 및 구현

Design and Implementation of Time Synchronizer for Advanced ZigBee Systems

황현수 · 정용철 · 정윤호*

한국항공대학교 항공전자정보공학부

Hyunsu Hwang · Yongcheol Jung · Yunho Jung*

School of Electronics and Information Eng., Korea Aerospace University, Gyeonggi-do 10540, Korea

[요 약]

최근 다양한 센서를 활용하는 응용분야의 증가로 인해 가변전송률을 지원하는 무선 통신 시스템의 필요성이 증가하고 있다. 이에 IEEE 802.15.4 ZigBee 시스템을 개량하여 250 kbps 이하의 다양한 가변전송률을 지원하는 AZB (advanced ZigBee) 시스템이 제안되었다. AZB 시스템은 250 kbps 이하 125 kbps, 62.5 kbps, 31.25 kbps의 가변 전송률을 지원할 수 있는 프리앰블 구조를 정의하였는데, 정의된 프리앰블 구조로 인해 AZB 시스템의 시간동기부의 회로 면적이 급격히 증가하는 문제점이 발생한다. 이에, 본 논문에서는 가변 전송률을 지원하면서도 시간동기부의 회로면적을 감소시킬 수 있는 새로운 프리앰블 구조 및 시간 동기 획득 알고리즘을 제안한다. 제안된 시간 동기부는 6.92 k의 FPGA (field programmable gate array) logic slices 합성되었고, 기존 구조 대비 62.3% 복잡도 감소를 보였다.

[Abstract]

Recently, with the growth of various sensor applications, the need of wireless communication systems which can support variable data rate is increasing. Therefore, advanced ZigBee (AZB) systems that support the various data rate under 250 kbps are proposed. However, the preamble structure for AZB systems causes the complexity increase of time synchronization circuits. In this paper, we propose preamble structure and time synchronization algorithm which can solve the problem of the complexity increase of time synchronization circuits. Implementation results show that the proposed time synchronizer for AZB systems include the logic slices of 6.92 k and, which are reduced at the rate of 62.3% compared with existing architecture.

Key word : Double-correlation, IEEE 802.15.4, ZigBee, Time synchronizer.

<http://dx.doi.org/10.12673/jant.2016.20.5.453>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 9 September 2016 Revised 4 October 2016

Accepted (Publication) 25 October 2016 (30 October 2016)

*Corresponding Author; Yunho Jung

Tel: +82-2-300-0133

E-mail: yjung@kau.ac.kr

I. 서론

최근 인터넷 기술과 ICT 기술의 급속한 발전과 함께 다양한 응용 서비스가 창출되고 있으며, 특히, 언제 어디서나 인터넷을 통해 정보를 검색하고 이를 활용하여 새로운 정보를 제공하거나 응용하는 사물인터넷 (IoT; internet-of-things) 기술이 본격적으로 활용되고 있다 [1]-[2]. 이러한 IoT 기술의 실현을 위해서는 필수적으로 모든 사물들을 네트워크에 연결하여 사물들 간 통신이 가능하여야 한다. 대표적인 무선 센서 네트워크 기술로는 블루투스 (bluetooth), UWB (ultra wide band), ZigBee, 무선 랜 (wireless local area network) 등의 기술이 활용 될 수 있으며, 이 중 소형화 및 저전력 구현이 가능한 무선 근거리 개인 통신망 (wireless personal area network) 전송 기술인 IEEE 802.15.4 ZigBee 시스템이 IoT 서비스를 위한 센서 네트워크 기술로 각광받고 있다 [3]-[4]. 하지만, IEEE 802.15.4 ZigBee 규격에서는 2.45 GHz 대역에 대해 250 Kbps의 단일 전송률만을 규정하고 있어 다양한 센서 네트워크 응용 분야를 지원하는데 한계가 있다 [5]. 즉, 250 kbps 보다 낮은 전송률을 지원하지만, 보다 넓은 통달 거리를 필요로 하는 응용분야에 적용 할 수 있는 advanced ZigBee (AZB) 시스템이 필요하다.

이러한 동향과 함께, IEEE 802.15.4 ZigBee 기술의 문제점을 극복하고 보다 넓은 통달거리 지원을 위한 AZB 시스템이 제안되었다 [6]-[9]. AZB 시스템은 규격에서 정의한 250 kbps 전송률 이하 125 kbps, 62.5 kbps, 31.25 kbps의 저속 전송률을 추가적으로 지원하며, 통달거리 증대를 위해 열악한 SNR (signal to noise ratio) 환경에서도 시간 동기 획득이 가능해야 한다. 따라서 [6]-[8]에서는 해당 전송률에 따른 프리앰블 심볼의 길이를 증가시킴으로써 상관 특성을 향상시키기 위한 새로운 프리앰블 전송구조를 제안하였다. 그러나, [6]-[8]에서 제안된 프리앰블 구조는 모뎀의 시간 동기 획득을 위한 시간 동기부의 회로 면적을 크게 증가시키는 문제점이 존재한다. 따라서, 본 논문에서는 AZB 시스템의 시간 동기 획득을 위한 기존 프리앰블 전송구조의 문제점 분석과 이를 보완할 수 있는 새로운 프리앰블 전송구조 및 시간 동기 획득 알고리즘을 제안하고, 이의 하드웨어 구조 설계 및 구현 결과를 제시한다.

본 논문의 구성은 다음과 같다. 2장에서는 IEEE 802.15.4 ZigBee 시스템의 물리계층 (physical layer, PHY)의 구성과 AZB 시스템에서 정의한 프리앰블 전송구조 및 시간 동기 획득 알고리즘, 복조 알고리즘에 대해서 설명한다. 3장에서는 AZB 시스템의 문제점을 보완할 수 있는 프리앰블 전송구조 및 제안된 시간 동기 획득 알고리즘이 제시되고, 4장에서는 이에 대한 성능평가 결과를 도출한다. 5장에서는 제안된 동기부의 하드웨어 구조 및 FPGA 기반 구현 결과를 기존의 AZB 시스템의 동기부와 비교 분석한다. 마지막으로 6장에서는 본 논문의 결론을 맺는다.

II. AZB 시스템 모델

2-1 IEEE 802.15.4 ZigBee 시스템의 PHY Layer 구성

IEEE 802.15.4 ZigBee 표준 규격에 정의된 2.45 GHz 주파수 대역의 물리계층의 PPDU (physical layer protocol data unit) 구성은 그림 1과 같다. 수신 신호의 세기 조절 및 시간 동기의 획득을 위한 프리앰블 (preamble) 구간, 수신된 패킷의 시작 지점을 나타내는 SFD (start of frame delimiter) 구간, PHY payload의 길이 정보를 포함하는 PHR (physical layer header) 구간, 그리고 전송된 정보 데이터인 PSDU (physical layer service data unit) 구간으로 구성된다. 그림 2는 IEEE 802.15.4 ZigBee 시스템 규격에서 제시된 250 kbps의 데이터 전송률을 지원하는 프리앰블 전송구조를 나타내며, 프리앰블은 총 8개의 심볼 {0}로 구성된다.

2-2 AZB 시스템의 프리앰블 구조

시간 동기부에서는 시간동기를 획득하기 위해 프리앰블 심볼의 상관 연산 결과값을 이용한다. IEEE 802.15.4 ZigBee 시스템에 정의된 250 kbps의 전송률을 지원하는 프리앰블 상관 특성은 그림 3과 같다. 상관 연산의 최대값은 동기부 상관기의 윈도우와 수신된 프리앰블 심볼이 정확하게 일치하는 지점에서 검출된다. 따라서, 프리앰블 구간 내 연속적인 위치에서 상관 연산의 최대값을 검출할 수 있다. 서론에서 언급한 것과 같이, AZB 시스템은 가변 전송률 지원을 위하여 프리앰블의 길이를 늘려 시간 동기 획득 성능을 증가시켜야 한다. 이를 위해서 추가적인 회로를 필요로 하는 새로운 PN (pseudo random) 코드를 이용하기 보다는 심볼의 반복을 통해서 심볼의 길이를 증가시키는 것이 복잡도 측면에서 유리하다. 하지만, 동일한 {0} 심볼을 반복하는 경우, 수신부에서 AGC (automatic gain control) 수행 후 임의의 시점에서 시간 동기 획득 절차가 수행되는 특성을 감안하면 그림 4와 같이 상관기의 윈도우가 첫 번째 프리앰블과 두 번째 프리앰블의 중간 지점에 위치하게 되었을 때 상관 연산의 최대값이 발생하게 된다. 즉, 심볼의 중간에 해당하는 부분에서 상관 연산의 최대값이 검출되므로, 정확한 시간 동기를 획득 할 수 없는 문제가 발생한다.

따라서, [6]-[8]에서는 단순히 동일한 프리앰블 심볼을 반복하여 전송하는 것이 아닌, 그림 5와 같은 새로운 프리앰블 전송구조를 제안하였다. 새로운 프리앰블 전송구조는 그림 5와 같이 심볼을 전송률에 따라, {0} 이외의 다른 {p}, {q}, {r} 심볼을 추가하여, 가변 전송률 지원 시 정확한 시간 동기를 획득할 수 있도록 하였다. 그림 6은 125 kbps 전송률 지원 시, 정확한 시간 동기를 획득할 수 있는 프리앰블 {0, p} 심볼에 대한 상관 특성을 보여준다. 그러나, 새로운 프리앰블 전송구조는 수신기 동기부에 {0} 심볼 이외의 {p}, {q}, {r} 심볼을 검출하기 위한 회로가 추가됨으로써, 복잡도가 증가하는 문제점을 가지고 있다. 따라서, 본 논문에서는 AZB 시스템의 문제점인 회로 면적을 최소화 할 수 있는 새로운 프리앰블 구조 및 시간 동기 획득 알고리즘을 제안한다.

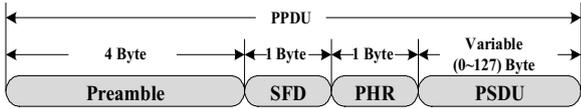


그림 1. IEEE 802.15.4 ZigBee 시스템의 PPDU 구성
Fig. 1. PPDU format of IEEE 802.15.4 ZigBee systems.

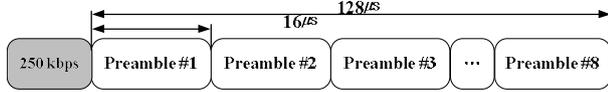


그림 2. ZigBee 시스템의 프리앰블 구조
Fig. 2. Preamble structure of ZigBee systems.

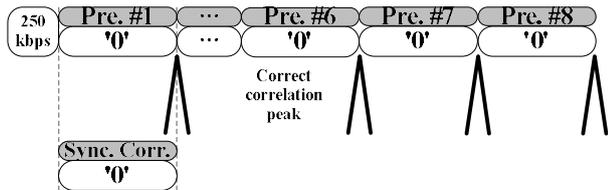


그림 3. 250 kbps 전송률을 지원하는 프리앰블 상관특성
Fig. 3. Correlation property for the preamble that supports the data rate of 250 kbps.

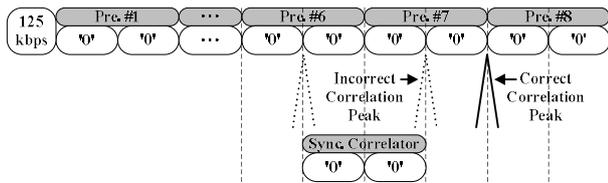


그림 4. 반복되는 프리앰블 심볼 전송에 대한 상관 특성
Fig. 4. Correlation property for the transmission of the repeated preambles.

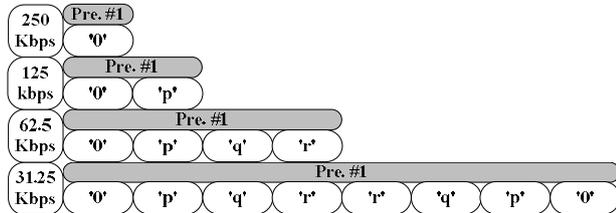


그림 5. 가변 전송률 지원을 위한 AZB 시스템 프리앰블 구조 [6-7]
Fig. 5. Preamble structure of AZB systems for the support of variable data rate [6-8].

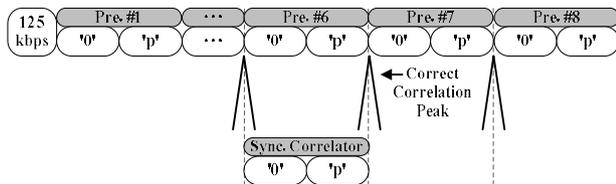


그림 6. AZB 시스템의 프리앰블 심볼 전송에 대한 상관 특성
Fig. 6. Correlation property for the transmission of the preambles of AZB systems.

2-3 AZB 시스템의 시간 동기 획득 알고리즘

IEEE 802.15.4 ZigBee 시스템의 송수신 신호는 수식 (1)과 같이 주파수 오차가 반영된 식으로 나타낼 수 있다.

$$r(n) = s(n)e^{j\omega_0 n + \theta} + W(n) \quad (1)$$

여기서, $r(n)$ 은 n 번째 샘플의 수신신호, $s(n)$ 은 변조된 송신 데이터의 심볼을 나타내고, ω_0 는 송수신기 사이의 주파수 오차를 나타내며, θ 는 초기 위상오차를 의미 한다. 또한, $W(n)$ 은 n 번째 샘플에 대한 AWGN (additive white Gaussian noise)이다.

IEEE 802.15.4 ZigBee 시스템은 최대 ± 40 ppm (part per million)의 주파수 오차를 갖는데, 이러한 오차는 수신신호의 위상변화를 야기하게 된다. 따라서, 시간 동기부는 주파수 오프셋에 강인한 이중 상관 방식의 알고리즘을 이용하였다[8]. 수식 전개의 편의를 위하여 수식 (1)에서 AWGN 성분인 $W(n)$ 을 고려하지 않은 이중 상관 알고리즘은 수식 (2)와 같이 나타낼 수 있다.

$$\begin{aligned} C_{dc}(n) &= \sum_{n=0}^{N_S-1} r_l^*(n)r_l(n-N_C)s_m(n)s_m^*(n-N_C) \\ &= \sum_{n=0}^{N_S-1} s_l^*(n)e^{-(j\omega_0 n + \theta)}s_l(n-N_C)e^{j\omega_0(n-N_C) + \theta} \\ &\quad \cdot s_m(n)s_m^*(n-N_C) \\ &= e^{-j\omega_0 N_C} \sum_{n=0}^{N_S-1} s_l^*(n)s_l(n-N_C) \\ &\quad \cdot s_m(n)s_m^*(n-N_C) \end{aligned} \quad (2)$$

여기서 s_l 과 s_m 은 그림 5에서 정의한 각각의 전송률에 해당하는 프리앰블 심볼 중 하나로, 250 kbps는 {0}, 125 kbps는 {0, p}, 62.5 kbps는 {0, p, q, r}, 31.25 kbps는 {0, p, q, r, q, p, 0}를 나타낸다. N_S 와 N_C 는 각각 누적 샘플의 수, 지연샘플의 수를 나타낸다. 수식 (2)를 보면 수신 신호의 켈레 곱 연산을 통해, 초기 위상 오차 θ 는 소거되고, 주파수 오프셋의 영향이 상수항인 $e^{-j\omega_0 N_C}$ 으로 정리되므로 위상변화가 최소화됨을 확인할 수 있다. 또한, 수신 신호의 심볼 인덱스 l 과 참조 신호 심볼 인덱스 m 이 동일할 때, 상관연산 결과 최대값을 얻을 수 있으므로, 이를 시간 동기 획득에 이용할 수 있다.

2-4 AZB 시스템의 복조 알고리즘

AZB 시스템의 복조부는 상관연산에 사용되는 메모리를 줄이기 위하여 샘플 단위 이중상관 알고리즘을 이용하였고[9], 수식 (3)과 같이 나타낼 수 있다.

$$\begin{aligned}
 Y_m(n) &= \sum_{Nc}^{Ns} r_{x,k}^*(n) r_{x,k}(n - Nc) s_{m,k}^*(n) s_{m,k}(n - Nc) \\
 &= \sum_{Nc}^{Ns} s_{x,k}^*(n) e^{-j\omega_s(n+\theta)} s_{x,k}(n - Nc) e^{j\omega_s(n - Nc) + \theta} \\
 &\quad \cdot s_{m,k}(n) s_{m,k}^*(n - Nc) \\
 &= e^{-j\omega_s Nc} \sum_{Nc}^{Ns} M_{x,k}(n) M_{x,k}^*(n) \tag{3}
 \end{aligned}$$

여기서, $Nc = 4$ 이고, $M_{x,k}(n)$ 은 식 (4)와 같이 정의된다.

$$M_{x,k}(n) = s_{x,k}^*(n) s_{x,k}(n - Nc) \tag{4}$$

수식 (3)을 살펴보면, x 와 m 은 각각 수신신호와 참조신호의 인덱스이며, N_s 와 N_c 는 각각 누적 샘플의 수, 지연샘플의 수를 나타낸다. Y_m 은 16개의 후보군 중, m 번째 참조신호와 수신 신호 $r_{x,k}(n)$ 의 상관연산 결과값으로 수신신호의 x 가 m 과 같을 경우 가장 큰 값을 나타낸다. 이에, 수신신호와 16개의 후보군과의 상관연산 결과값 $Y_0 \sim Y_{15}$ 을 비교하여 가장 큰 상관값을 가지는 참조신호로 복조가 수행된다 [9].

III. 제안된 프리앰블 전송구조 및 시간 동기 획득 알고리즘

3-1 제안된 프리앰블 구조

본 논문에서 제안하는 프리앰블 구조는 [6-7]에서 제안된 프리앰블 구조와 달리 프리앰블 {0} 심볼 외에 추가되는 심볼의 수를 최소화하였다. 제안된 프리앰블 전송구조는 그림 7과 같이 전송률에 따라 250 kbps 전송률의 경우 {0} 심볼, 125 kbps 경우 {0, p} 심볼, 62.5 kbps, 31.25 kbps의 경우는 {0, p} 심볼을 각각 2배, 4배 반복하여 프리앰블을 구성하였다. 제안된 프리앰블 구조는 250 kbps, 125 kbps의 전송률을 지원할 경우, 동기부의 상관기를 이용하여 정확한 시간 동기를 획득 할 수 있지만, 62.5 kbps, 31.25 kbps의 전송률을 지원할 경우 프리앰블의 반복되는 특성으로 인해 그림 4와 같은 시간 동기 획득의 모호성 문제를 여전히 가지고 있다. 즉, 제안된 프리앰블 전송구조를 이용하여 62.5 kbps, 31.25 kbps의 전송률을 지원할 경우, 시간 동기 획득의 모호성을 해결할 수 있는 새로운 시간 동기 획득 알고리즘을 필요로 한다.

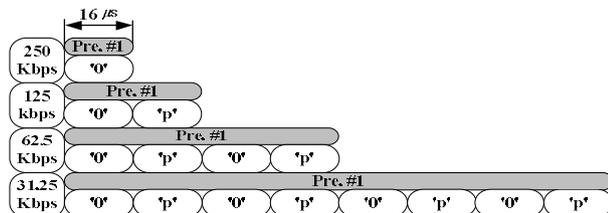


그림 7. 가변 전송률 지원을 위한 제안된 프리앰블 구조

Fig. 7. Proposed preamble structure for the support of variable data rate.

따라서, 제안된 시간 동기 획득 알고리즘은 크게 동기부의 상관기와 누적기를 이용한 대략적인 시간 동기 획득 부분 (coarse synchronization)과 복조부의 상관기를 공유하여 이용하는 정밀한 시간 동기 획득 부분 (fine synchronization)으로 구성되며, 이를 통해 시간 동기 획득의 모호성 문제를 해결한다.

3-2 제안된 시간 동기 획득 알고리즘

동기부의 시간 동기 획득 알고리즘은 250 kbps, 125 kbps의 전송률 지원할 경우, 기존의 AZB 시스템의 동기부처럼 수식 (2)와 같이 나타낼 수 있다. 수식 (2)의 s_l 과 s_m 은 그림 7에서 정의한 각각의 전송률에 해당하는 프리앰블 심볼 중 하나으로써, 250 kbps는 {0}, 125 kbps는 {0, p}를 나타낸다. 수신 신호의 심볼 인덱스 l 과 참조신호 심볼 인덱스 m 이 동일할 때, 상관연산 결과 최대값을 얻을 수 있으므로, 이로부터 시간동기 획득이 가능하다. 반면에, 62.5 kbps 및 31.25 kbps의 전송률을 지원할 경우, 제안된 시간 동기 획득 알고리즘은 수식 (5)와 같이 나타낼 수 있다.

$$\begin{aligned}
 C_{DC}(n) &= \sum_{k=0}^{R_s-1} [\sum_{n=0}^{N_s-1} r_l^*(n + N_s \cdot k) r_l(n + N_s \cdot k - N_c) \\
 &\quad \cdot s_m(n) s_m^*(n - N_c)] \\
 &= \sum_{k=0}^{R_s-1} [\sum_{n=0}^{N_s-1} s_l^*(n + N_s \cdot k) e^{-j\omega_s(n + N_s \cdot k) + \theta} \\
 &\quad \cdot s_l(n + N_s \cdot k - N_c) e^{j\omega_s((n + N_s \cdot k) - N_c) + \theta} \\
 &\quad \cdot s_m(n) s_m^*(n - N_c)] \\
 &= e^{-j\omega_s N_c} \sum_{k=0}^{R_s-1} [\sum_{n=0}^{N_s-1} s_l^*(n + N_s \cdot k) s_l(n - N_c) \\
 &\quad \cdot s_m(n + N_s \cdot k) s_m^*(n - N_c)] \tag{5}
 \end{aligned}$$

여기서, s_l 과 s_m 은 그림 7에서 정의한 각각의 전송률에 해당하는 프리앰블 심볼로 {0, p}를 나타낸다. N_s 와 N_c 는 각각 누적 샘플의 수, 지연샘플의 수를 나타내고, R_s 는 누적하는 {0, p} 심볼의 개수로써, 62.5 kbps의 경우 2이며, 31.25 kbps의 경우는 4의 값을 갖는다. 수식 (5)를 보면, 수식 (2)와 같이 수신 신호의 심볼 인덱스 l 과 참조신호 심볼 인덱스 m 이 동일할 때 상관연산 결과 최대값을 얻을 수 있다. 그러나, {0, p} 심볼에 대한 상관값 누적으로 인해 그림4와 같이 시간 동기 획득의 모호성이 존재한다. 이러한 문제점을 해결하기 위해, 제안된 시간 동기 획득 알고리즘은 동기부의 상관기를 이용하여 대략적인 시간 동기 검출 후, 전송률에 따라 복조부의 16개 상관기중 2개 혹은 4개를 공유하여, 병렬적으로 SFD 검출시점을 산출함으로써 정밀한 시간동기를 획득한다. 정밀한 시간 동기 획득 알고리즘은 62.5 kbps, 31.25 kbps의 전송률을 지원할 경우, 복조부를 공유하여 수식 (6)과 같이 나타낼 수 있다.

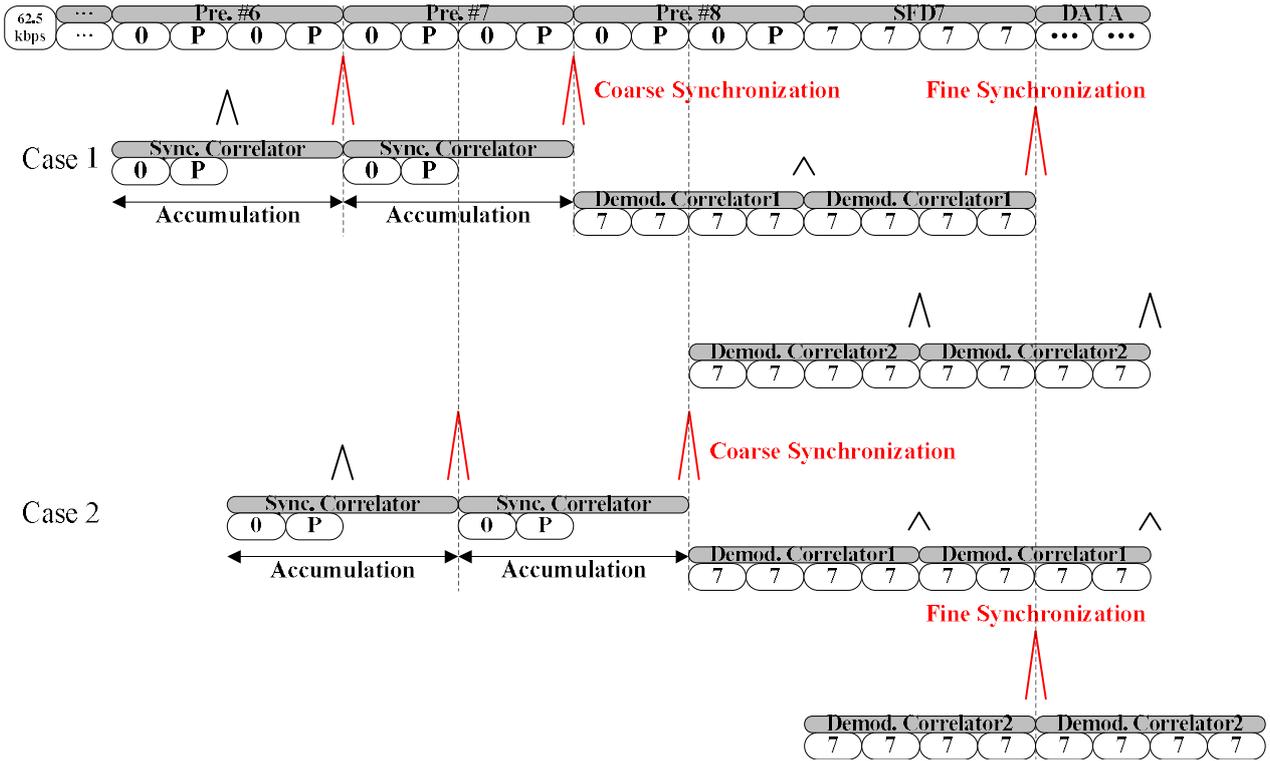


그림 8. 62.5 kbps 전송률을 지원하는 제안된 프리엠블 상관특성

Fig. 8. Correlation property for the proposed preamble that supports the data rate of 62.5 kbps.

$$\begin{aligned}
 Y_{h,7}(n) &= \sum_{N_c}^{N_s} r_{x,k}^*(n + N_{O \cdot} h) r_{x,k}(n + N_{O \cdot} h - N_c) \\
 &\quad \cdot s_{7,k}(n) s_{7,k}^*(n - N_c) \\
 &= \sum_{N_c}^{N_s} s_{x,k}^*(n + N_{O \cdot} h) e^{-j\omega_o(n + N_{O \cdot} h) + \theta} \\
 &\quad \cdot s_{x,k}(n + N_{O \cdot} h - N_c) e^{j\omega_o(n + N_{O \cdot} h - N_c) + \theta} \\
 &\quad \cdot s_{7,k}(n) s_{7,k}^*(n - N_c) \quad (6) \\
 &= e^{-j\omega N_c} \sum_{N_c}^{N_s} M_{x,k}(n + N_{O \cdot} h) M_{x,k}^*(n + N_{O \cdot} h)
 \end{aligned}$$

여기서, $N_c = 4$ 이고, $M_{x,k}(n + N_{O \cdot} h)$ 는 식 (7)과 같이 정의된다.

$$\begin{aligned}
 M_{x,k}(n + N_{O \cdot} h) &= s_{x,k}^*(n + N_{O \cdot} h) \\
 &\quad \cdot s_{x,k}(n + N_{O \cdot} h - N_c) \quad (7)
 \end{aligned}$$

식을 살펴보면, x 와 7 은 각각 수신신호와 참조신호의 인덱스이며, N_s , N_c , N_o 는 각각 누적 샘플의 수, 지연샘플의 수, $\{0, p\}$ 심볼의 샘플 수를 나타낸다. h 는 SFD 검출시점을 산출하기 위해 병렬적으로 사용되는 복조부 상관기의 시간적 오프셋을 나타낸다. 구체적으로, h 는 $\{0, p\}$ 심볼 길이에 해당하는 오프셋으로, 62.5 kbps의 경우는 0, 1값을 갖고, 31.25 kbps의 경우에는 0, 1, 2, 3 값을 갖는다. 이는 62.5 kbps의 경우는 시간 동기 획득

의 모호성이 발생하는 2가지 경우 때문이고, 31.25 kbps의 경우는 시간 동기 획득의 모호성이 발생하는 4가지 경우 때문이다. $Y_{h,7}$ 는 $\{0, p\}$ 심볼을 구성하는 샘플 수의 h 배만큼 시간적 오프셋을 두고 SFD 심볼에 해당하는 7번째 참조신호와 수신신호 $r_{x,k}(n + N_{O \cdot} h)$ 의 상관연산 결과값을 나타낸다. 따라서, 동기부의 상관기를 이용하여 대략적인 시간동기를 획득한 후, 복조부 상관기를 $\{0, p\}$ 심볼을 구성하는 샘플 수의 h 배만큼 시간적 오프셋을 두어 병렬적으로 배치하여 수신 신호와 상관연산을 취한다. 이때, 상관연산 최대값은 시간적 오프셋을 두고 병렬적으로 배치된 복조부 상관기와 수신신호의 SFD $\{7\}$ 심볼이 정확하게 일치할 때 발생한다. 따라서 $Y_{h,7}$ 값이 최대가 되는 상관기를 검출함으로써, 정확한 SFD 심볼의 위치를 검출하고, 이를 통해 정밀한 시간 동기를 획득할 수 있다.

그림 8은 62.5 kbps 전송률 지원 시, 동기부 상관기를 이용한 대략적인 시간 동기 획득과 복조부의 상관기 공유를 통한 정밀한 시간동기 획득에 대한 예시를 보여준다. 동기부의 상관기와 누적기를 통하여 같은 샘플 지점에서 연속된 상관연산 최대값을 검출하여 대략적인 시간 동기를 획득할 수 있다. 이때, 연속적인 상관연산 최대값이 발생하는 시점은 그림 8의 case1과 case2처럼 2가지 시점이 존재할 수 있기 때문에, 시간 동기 획득의 모호성이 여전히 존재하고 있다. 이를 해결하기 위해, 복조부의 상관기를 공유하여, 병렬적으로 SFD 검출시점을 산출함으로써 정밀한 시간 동기를 획득할 수 있다. case1과 case2의

경우 모두, 동기부의 상관기를 이용하여 연속된 상관연산 최대값을 검출한 뒤, 그림 8의 복조부 상관기1과 같이 시간적 오프셋 없이 수신신호와 상관연산을 취하고, 이때의 상관연산 결과값은 수식 (6)에서 정의한 $Y_{0,7}$ 에 해당한다. 또한, 복조부 상관기2와 같이 $\{0, p\}$ 심볼을 구성하는 샘플 수만큼 시간적 오프셋을 두어서 수신신호와 상관 연산을 취하고, 이때의 상관연산 결과값은 수식 (6)에서 정의한 $Y_{1,7}$ 에 해당한다. Case1의 경우에는 상관기1과 수신신호의 상관연산 결과값이 최대가 되는 시점이 발생하는데, 이는 수신신호를 구성하는 심볼이 전부 SFD {7} 심볼에 해당되어, 복조부 상관기1을 구성하는 SFD {7} 심볼과 전부 동일하기 때문이다. 반면에 상관기2와 수신신호의 상관연산 결과값은 상관기1의 상관연산 결과값에 비해 작는데, 이는 상관기2와 상관연산이 취해지는 수신신호를 구성하는 심볼 중에서 SFD {7} 심볼이 최대 2개 밖에 존재할 수 없기 때문이다. 따라서, case1의 경우에는 $Y_{0,7}$ 값이 $Y_{1,7}$ 보다 큰 것을 볼 수 있고, 이를 통해서 상관기1의 SFD {7} 상관연산 완료 시점에 정밀한 시간 동기를 획득할 수 있다.

Case2의 경우에는 상관기1과 수신신호의 상관연산 결과값은 상관기2의 상관 연산 결과값 보다 작는데, 이는 case1의 상관기2와 마찬가지로, 상관기1과 상관연산이 취해지는 수신신호를 구성하는 심볼 중에서 SFD {7} 심볼이 최대 2개 밖에 존재할 수 없기 때문이다. 반면에 상관기2와 수신신호의 상관연산 결과값이 최대가 되는 시점이 발생하는데, 이는 case1의 상관기1과 마찬가지로, 수신신호를 구성하는 심볼이 전부 SFD {7} 심볼에 해당되어, 복조부 상관기1을 구성하는 SFD {7} 심볼과 전부 동일하기 때문이다. 따라서, case2의 경우에는 case1과 달리 $Y_{1,7}$ 값이 $Y_{0,7}$ 보다 큰 것을 볼 수 있고, 이를 통해서 상관기2의 SFD {7} 상관연산 완료 시점에 정밀한 시간 동기를 획득할 수 있다.

같은 방법으로 31.25 kbps의 경우에는 심볼의 반복이 4번 적용되기 때문에, 시간 동기 획득의 모호성이 나타나는 시점이 case1~case4의 4가지 경우가 존재한다. 따라서 복조부의 상관기1, 상관기2, 상관기3, 상관기4를 SFD {7} 심볼 검출을 통한 정밀한 시간 동기 획득을 위해 각각 $\{0, p\}$ 심볼 길이의 0배, 1배, 2배, 3배 오프셋을 두어서 병렬적으로 배치하여 수신신호와의 상관연산을 취한다. 이를 통해서 4가지 상관기로부터 계산된 상관값 $Y_{0,7}, Y_{1,7}, Y_{2,7}, Y_{3,7}$ 을 비교하여 가장 상관값이 큰 상관기의 SFD {7} 복조 완료 시점에 정밀한 시간 동기를 획득할 수 있다.

IV. 시간 동기 획득 알고리즘 성능 평가

시간 동기 성능은 복조부에서 정확한 데이터를 복원할 수 있도록 데이터 심볼의 정확한 시작 시점을 획득할 수 있는가에 달려 있다. 따라서, 동기부의 상관기와 누적기를 통하여, 프리앰블 구간 내, 같은 샘플 지점에서 연속된 상관연산 최대값을 검

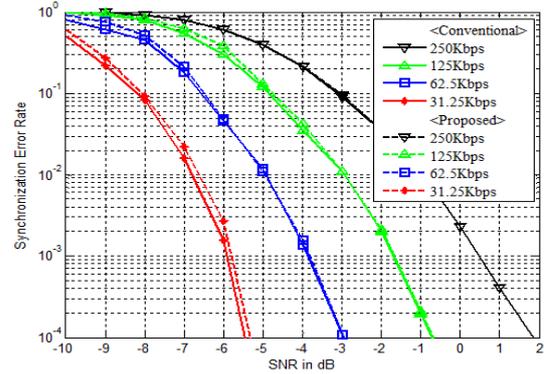


그림 9. 가변전송률 지원에 대한 시간 동기 획득 성능
Fig. 9. Performance of time synchronizer for variable data rates.

출하여 대략적인 시간 동기를 획득하고, 복조부의 상관기를 공유하여 오프셋 된 복조부의 상관기 사이의 상관연산 결과값을 비교하여 정확한 데이터 심볼의 시작점을 획득한 경우 시간 동기 획득 성공으로 판단하였다. 반면에 프리앰블 구간 내에서 동일한 지점에 상관연산의 최대값을 연속적으로 검출할 수 없는 경우 시간 동기 획득 실패로 간주하였다. 또한, 동일한 지점에 상관연산의 최대값을 연속적으로 검출하였지만, 복조부의 상관기를 이용하여 SFD 심볼 구간에서 SFD {7} 심볼을 검출하지 못한 경우도 시간 동기 획득 실패로 간주하였다. SFD {7} 심볼을 검출하고, 오프셋된 복조상관기 사이의 상관연산 결과값을 비교하여 잘못된 위치에서 데이터 심볼의 시작점을 획득한 경우도 시간 동기 획득 실패로 간주하였다. 제안된 알고리즘의 성능평가는 AWGN 채널, 최대주파수 오프셋 ± 80 ppm의 환경에서 수행되었다.

그림 9는 제안된 프리앰블 전송구조와 제안된 시간 동기 획득 알고리즘을 적용하여 전송률에 따라 시간 동기 획득 성능을 기존 AZB 시스템의 시간 동기 획득 성능을 과 비교하여 나타낸다. 250 kbps 기준으로, SNR -1 dB에서 1%를 나타내고 있고, 가변 전송률 지원에 따른 프리앰블 심볼 길이의 증가로 전송모드에 따라 각각 2 dB 성능 이득을 얻을 수 있다. 또한, 제안된 프리앰블 전송구조와 제안된 시간 동기 획득 알고리즘은 기존 AZB 시스템의 동기부와 시간 동기 획득 성능의 차이가 거의 없음을 볼 수 있다.

V. 시간 동기부 하드웨어 구조 설계

시간 동기 획득을 위해 사용되는 이중 상관 연산 결과는 복소수 값으로써, 크기 비교를 위해서는 실수부와 허수부의 제곱 연산이 필요하다. 또한, 가변 전송률 지원에 따른 상관기 윈도우 크기 증가로 많은 수의 곱셈기와 덧셈기가 요구되므로, 하드웨어 복잡도 증가를 야기한다. 따라서, 시간 동기부 하드웨어 복잡도 최소화를 위하여, 수식 (2)의 상관 연산 결과의 실수부

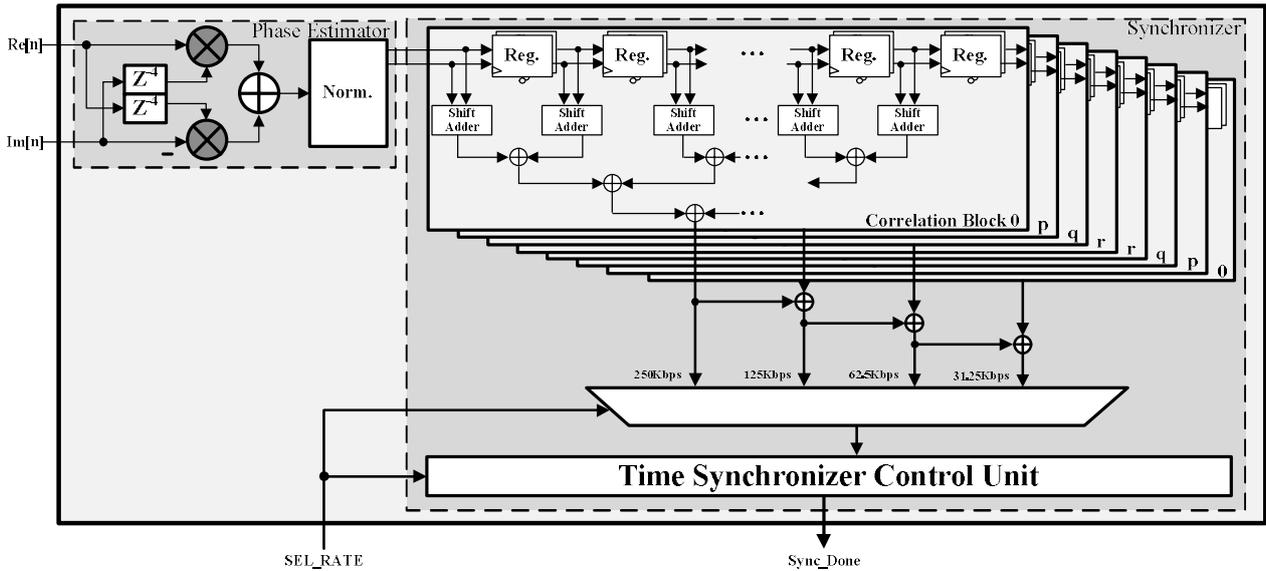


그림 10. 기존의 동기부 하드웨어 구조
 Fig. 10. Hardware architecture of the conventional time synchronizer.

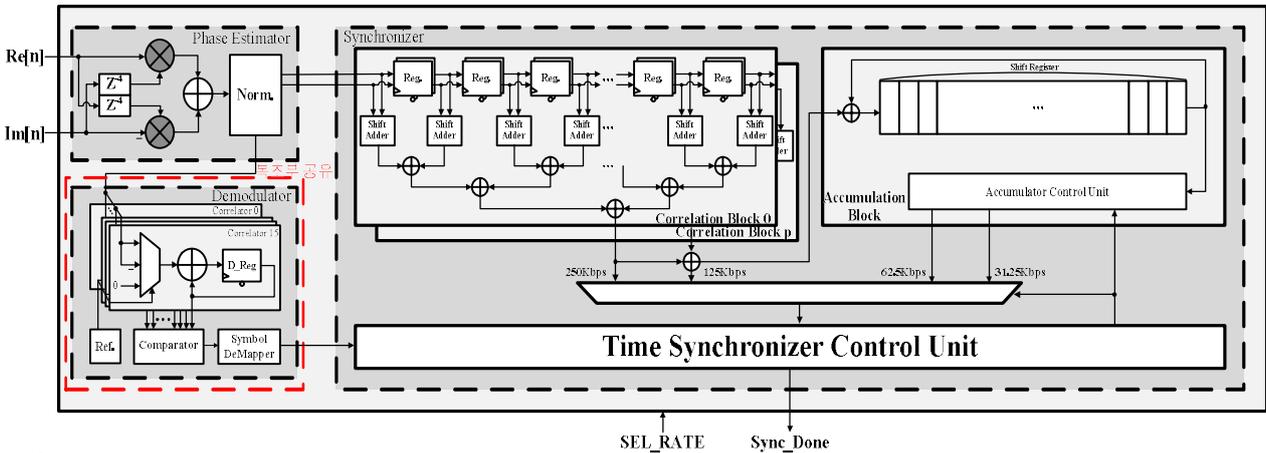


그림 11. 제안된 동기부 하드웨어 구조
 Fig. 11. Hardware architecture of the proposed time synchronizer.

만을 이용한다.

[8]과 같이, 이중 상관 연산의 참조신호 $s_m(n)s_m^*(n-N_C)$ 는 동기부에서 미리 알고 있는 프리앰블 신호에 대한 연산결과이다. 4배 over-sampling을 고려하면, 이 경우에 대한 참조신호 값은 표 1과 같이 5가지 종류를 갖는다. 표 1의 결과를 보면 case1, case2는 별도의 연산이 필요 없고, case3은 부호 반전을 통해 상관 값을 얻을 수 있다. case4, case5의 경우는 $\sqrt{1/2}$ 와 $-\sqrt{1/2}$ 에 해당하는 상수 값이므로, 상관 연산에 필요한 곱셈 연산을 소수점의 shift와 adder를 이용하여 구현할 수 있다.

기존의 시간 동기부 하드웨어 구조는 그림 10와 같이 phase estimator, synchronizer로 구성되었고, 제안된 시간 동기부 하드웨어 구조는 그림 11과 같이 phase estimator, synchronizer, demodulator로 구성되었다. phase estimator를 이용하여 이중상관 알고리즘을 적용, 주파수 오프셋에 강인한 신호 샘플들을 얻

을 수 있고, 이 샘플들 이용하여 synchronizer와 demodulator에서 각각 상관연산 결과값을 얻을 수 있다. synchronizer는 {0, p} 프리앰블 심볼과의 상관 연산을 위한 2개의 상관기와 가변전송률 지원을 위한 1개의 누적기로 구성되었다. 이는, 그림 12 기존의 AZB 시스템의 synchronizer와 비교하면, 누적기가 1개 추가된 것에 비해, 6개의 상관기가 줄어든 것을 확인할 수 있다. 동기부의 대부분의 회로 면적을 차지하는 상관기를 줄임으로써, 동기부의 회로 면적의 감소를 확인할 수 있었다. demodulator는 정확한 시간 동기 획득을 위하여 SFD {7} 심볼을 검출하는 역할을 수행하는데, 이는 복조부의 상관기를 공유할 수 있으므로 추가적인 복잡도 증가 없이 구현 가능하다.

제안된 시간 동기부는 Verilog-HDL을 이용하여 설계 되었으며, Xilinx Artix-7 100T FPGA device 기반, 구현 및 검증되었다. FPGA 보드 구현 결과, 표 2와 같이 제안된 동기부는 6.92 k 개

표 1. 4배 over-sampling에 따른 참조신호

Table 1. Reference signal for 4x over-sampling.

Reference signal $s_m(n)s_m^*(n-N_C)$		
Type	Real term	Imaginary term
Case 1	1	0
Case 2	0	1
Case 3	0	-1
Case 4	$\sqrt{1/2}$	$\sqrt{1/2}$
Case 5	$\sqrt{1/2}$	$-\sqrt{1/2}$

표 2. 제안된 시간 동기부의 복잡도 비교

Table 2. Complexity comparison of proposed time synchronizer.

	FPGA logic slices	
	No.	Reduction
Conventional Scheme	18.36 k	-
Proposed Scheme	6.92 k	62.3%

의 결과는 기존 AZB 시스템 시간 동기부 FPGA 합성결과와 비교하여 약 62.3 % 감소된 FPGA logic slices로 구현 가능함을 확인하였다.

VI. 결론

본 논문에서는 AZB 시스템의 시간 동기부의 문제점을 해결할 수 있는 새로운 프리앰블 구조 및 시간 동기 획득 알고리즘을 제안하였다. 제안된 시간 동기부는 2개의 상관 블록과 1개의 누적기로 구성되었으며, 복조부의 상관기를 공유하도록 설계되었다. 제안된 시간 동기부는 기존의 시간 동기부 대비 62.3 % 정도의 복잡도 감소가 가능하므로 AZB시스템에 매우 적합한 구조임을 확인할 수 있다.

감사의 글

본 논문은 산업통상자원부 및 한국산업기술평가관리원의 산업핵심기술개발 사업 (10053164)의 일환으로 수행되었으며, CAD Tool은 IDEC으로부터 지원받았음.

참고 문헌

- [1] C. Perera, and C. H. Liu, "A survey on internet of things from industrial market perspective," *IEEE Journal of Access*, Vol. 2, pp. 1660-1679, Jan. 2015.
- [2] J. A. Jun, "IoT device product and trend of technology," *Korea Institute of Communications and Information Sciences*, Vol. 31, No. 4, pp. 44-52, Mar. 2014.
- [3] A. Gluhak, "A survey on facilities for experimental internet of things research," *IEEE Communications Magazine*, Vol. 49, No.11, pp.58-67, Nov. 2011.
- [4] Y. Ma, N. Wei, and M. Lv, "Performance analysis of wireless network based on IEEE 802.15.4 in smart home environment," in *Multimedia Information Networking and Security Conference*, Nanjing: China, pp. 208-211, 2012.
- [5] IEEE Std.802.15.4, IEEE Standard for wireless medium access control and physical layer specifications for low-rate wireless personal area networks, Sep. 2006.
- [6] J. H. Cheon, S. H. Jang, and Y. H. Jung, "Advanced ZigBee Systems for Internet-of-Things Applications," in *The 2015 Korean Institute of ITS Conference*, Jeju: Korea, pp. 17, April 2015.
- [7] H. S. Hwang, Y. C. Jung, and Y. H. Jung, "Design of Wireless Communication Modem for Internet-of-Things Applications," in *The 2016 International Technical Conference on Circuits/Systems, Computers and Communications*, Okinawa: Japan, pp. 1011-1014, July 2016.
- [8] M. C. Park, D. C. Lee, S. H. Jang, and Y. H. Jung, "Design of time synchronizer for advanced LR-WPAN systems," *The Journal of Korea Navigation Institute*, Vol. 18, No. 5, pp. 476-482, Oct.2014.
- [9] D. C. Lee, S. H. Jang and Y. H. Jung, "Design of Non-coherent demodulator for LR-WPAN system," *The Journal of Korea Navigation Institute*, Vol. 17, No. 6, pp. 705-711, Dec. 2013.



황 현 수 (Hyunsu Hwang)

2015년 8월 : 한국항공대학교 항공전자공학과 (공학사)
2015년 9월~현재 : 한국항공대학교 대학원 항공전자공학과 석사과정
※ 관심분야 : 무선통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC



정 용 철 (Yongchul Jung)

2015년 8월 : 한국항공대학교 항공전자공학과 (공학사)
2015년 9월~현재 : 한국항공대학교 대학원 항공전자공학과 석사과정
※ 관심분야 : 무선통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC



정 윤 호 (Yunho Jung)

1998년 2월 : 연세대학교 전자공학과 (공학사)
2000년 2월 : 연세대학교 전기전자공학과 (공학석사)
2005년 2월 : 연세대학교 전기전자공학과 (공학박사)
2005년 ~ 2007년 : 삼성전자 책임연구원
2007년 ~ 2008년 : 연세대학교 연구교수
2008년 ~ 현재 : 한국항공대학교 부교수
※ 관심분야 : 무선통신 시스템, 항공통신 시스템, VLSI 신호처리, 모뎀 SoC