실리콘 공정기술 기반 초고속 압축센싱 수신기의 집적화 연구

박정동
동국대학교 전자전기공학부

박준식
한화탈레스

Ⅰ. 서 론

압축센싱이란 원신호가 일정 조건을 만족하는 산재 (Sparsity) 신호인 경우에 PRBS (Pseudo Random Bit Sequence) 신호와 같이 Restricted Isometry Property (RIP) 조건에 충실한 불규칙한 센싱 행렬을 신호의 측정에 이용함으로써 Nyquist 표본화 주파수 이하에서도 원신호의 완벽한 재생이 가능하다는 신호처리 이론이다[1]. 이러한 압축센싱이론은 무선통신 분야의 무선 채널추정, 광대역 신호를 이용한 고해상도 레이더 신호처리, 의료 영상 신호 처리 등, 다양한 분야에서 신호처리 시스템의 고속화, 최적화, 간략화를 위해서 활발한 연구가 진행중이다.

대역 제한된 원신호를 손실 없이 복원하기 위해서 신호가 가지는 최대 주파수의 두배 이상으로 샘플링을 취해야 한다는 Nyquist 표본화 정리를 바탕으로 초고주파 혹은 밀리미터파 대역에 존재하는 원신호에 대한 실시간 디지털 신호처리를 위해서는 매우 높은 표본화 주파수를 가지는 아날로그-디지털 변환기(ADC)를 필요로 하는데, 표본화 주파수와 ADC의 소모 전력은 비례하기 때문에 수 GHz 이상의 입력 신호를 표본화 하는 초고속 ADC의 구현은 소자의 스위칭 성능을 차치 하더라도 회로의 소모 전력을 고려했을 때 적합하지 않다. 따라서 광대역 레이더 신호의 수집과 같이 초고주파 대역 이상에서에서 수 GHz 이상 대역폭이 되는 신호를 실시간 처리하는 하드웨어로서 압축센싱 수신기가 각광 받고 있다.

압축센싱이 가능하기 위해서는 입력 신호가 산재성(Sparsity)을 띄어야 하고, 산재 신호를 압축적으로 표본화를 취하여 손실 없이 복원하기 위해서는 신호를 취할때 사용하는 센싱 행렬이 원신호와 비정합(incoherence) 적인 특성을 가져야 한다. MIMO, UWB 등의 광대역

무선통신 시스템의 채널 임펄스 응답, 레이더 신호 등과 같은 인위적인 신호는 산재성을 가지고 있기 때문에 압축센싱을 적용할 수 있는 것으로 알려져 있다. RIP 조건에 충실하여 압축센싱 수신기에 보편적으로 사용되는 센싱 신호는 $L = 2^n - 1$의 길이를 가지는 PRBS 신호 즉, m-sequence 이다[2].

압축센싱에 관련 일련의 이론적인 여러 성과를 바탕으로, 최근에는 3GHz 내외의 RF 영역에서 레이더 실시간 신호 감시 등에 사용되는 집적화된 압축센싱 수신기들이 보고되고 있다[3-5].

본 논문에서는 수신 대역이 10 GHz 이상인 초고주파 및 밀리미터파 대역에서 상용 실리콘 공정 기술을 이용하여 압축센싱용 수신기를 집적화 구현하는데 필요한 기술적인 고려 사항을 살펴보고자 한다.

Ⅱ. 본 론

1. 실리콘 공정기반 초고속 집적회로

가. 최신 실리콘 소자의 성능 및 공정 특성

실리콘 기반 반도체 공정으로 밀리미터파 회로를 구현하기 위해서는 차단 주파수 (f_T)와 최대공진주파수 (f_{max})로 표현되는 초고속 소자의 성능지수 (FoM) 가 우수해야 한다. 최신 공정 노드에서 실리콘 소자의 FoM는 이제 초고속 화합물 반도체와 비견할 수 있다.

IBM은 2013년부터 차단 주파수 f_T = 300 GHz, f_{max} = 360 GHz 인 90nm SiGe BiCMOS 공정 파운더리를 제공하고 있으며[6], 삼성전자는 2014년부터 f_T = 280GHz, f_{max} = 400GHz 인 28nm RF CMOS Foundry 를 공급하고 있다[7].

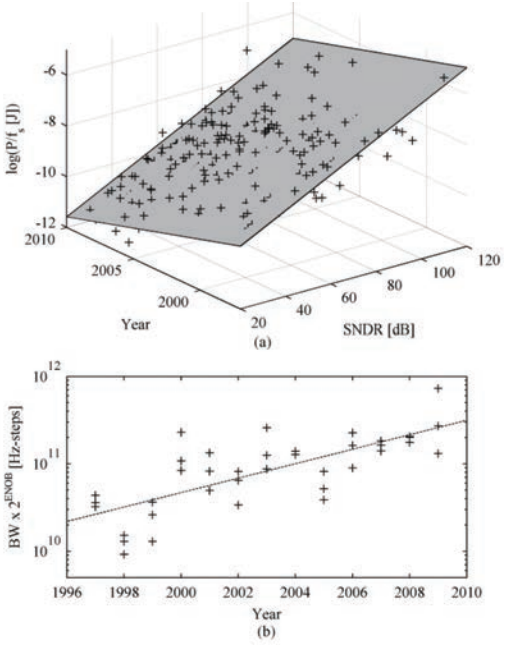
실리콘 공정은 화합물 공정에 비해 소자 모델이 정확하고 공정의 안정성 또한 높기 때문에 시스템 레벨의 전집적화가 가능하고, 대규모 설비투자로 인해서 양산성이 극대화 되어 있다. 현재 4세대 무선통신 칩의 송수신전단부가 전력증폭기를 제외하고 CMOS 공정기반으로 집적화 양산 되고 있으며, 60 GHz 무선LAN (IEEE 802.11ad), 5G 무선통신 송수신기와 같은 밀리미터파 대역 송수신기의 집적화 개발도 활발히 진행되고 있다.

나. 초고속 ADC의 기술적인 제약 사항

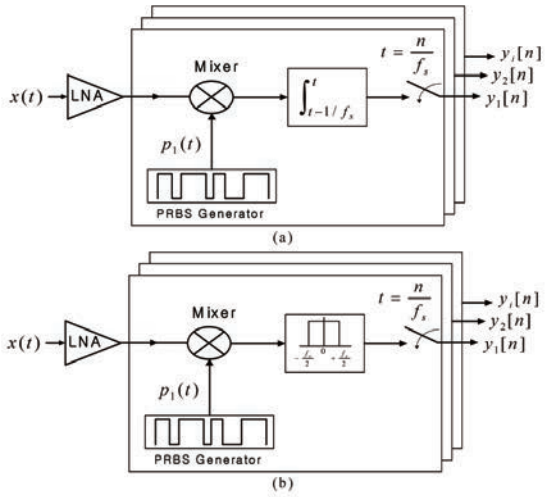
실리콘 기반 반도체 공정기술의 비약적인 발전에도 불구하고 초고주파 혹은 밀리미터파 대역의 광대역 신호를 Nyquist 표본화 이론에 근거하여 직접 디지털 신호로 변환하는 일은 기술적으로 난제이다.

〈그림 1-(a)〉 와 같이 공정 기술의 비약적인 발전에 따른 변환 에너지는 0.5 배 /1.9 년의 경향성을 가지고 있으나, 〈그림 1-(b)〉에 나타난 바와 같이 해상도-속도 개선은 이에 훨씬 미치지 못하는 2 배 / 3.6 년의 추세로 발전하고 있다[8]. 따라서 허용 가능한 소모 전력을 고려했을 때 10 GHz 이상 대역의 신호를 직접 변환하는 초고속 ADC의 개발은 기술적으로 어려운 문제이다.

최근 샘플링 회로기술 및 ADC 아키텍쳐의 발전으로 10Gb/s이상의 Interleaved ADC가 ENOB 6bit 이하에서 보고되고 있지만[9-10], 레이더 신호 감시나 광대역 차세대 무선통신 응용과 같이 초고주파/밀리미터파 대역에서 수 GHz 이상의 광대역 신호를 실시간 처리하기 위해서는 압축센싱수신기의 집적화 구현이 절실하다.



〈그림 1〉 (a) 보고된 ADC의 년간 변환에너지 추세
(b) 보고된 ADC의 년간 해상도-속도개선 추세[8]



〈그림 2〉 다중 Branch 로 구현된 압축센싱 수신기의 구조
(a) Random Modulator Pre-Integrator (RMPI)[3],
(b) Modulated Wideband Converter (MWC)[4]

2. 압축센싱용 초고주파 광대역 수신기

가. 압축센싱 수신기의 구조

압축센싱 수신기는 기본적으로 입력 신호를 증폭하고, 이를 PRBS 신호와 시간 축에서 곱하는 역할을 한다. 기저대역 신호를 표본화 하는 후단부 ADC에 들어가는 입력신호의 처리 방식에 따라서 〈그림 2-(a)〉와 같이 구간 $T=1/f_s$의 시간 동안 적분기를 이용하여 integrate-and-dump sampling으로 구현한 RMPI[3],[11]이 있으며, 〈그림 2-(b)〉처럼 적분기를 대신하여 표본화 주파수 f_s를 가지는 통과대역주파수가 $f_s/2$인 아날로그 저역통과여파기 (LPF)를 ADC 입력단에 사용하여 구성된 Modulated Wideband Converter (MWC)[4] 방식이 잘 알려진 구조이다.

RMPI 수신기는 MWC 수신기와 비교해서 입력되는 아날로그 신호를 센싱 하는데 있어서 상대적으로 큰 측정행렬을 필요로 한다[4]. 최근에는 MWC를 기반으로 하여 입력신호의 중심주파수 증가에 따른 PRBS의 동작주파수가 증가하는 문제를 해결하고 입력대역폭 내의 신호만을 샘플링 하도록 하여 압축센싱의 변환효율을 높이는 QAIC 수신기가 개발 되었다[5]. 본 방식은 $f_{LO1}=BW_{RF}/2$ 가 되도록 LO1을 통해서 1차 주파수 하향변환 하여 PRBS를 구동하는 클록 주파수($f_{CLK(PRBS)}$)가 대역폭 $BW_{RF}=f_{RF(\max)}-f_{RF(\min)}$보다 같거나 크면 압축센싱이 가능하도록 PRBS 클록 속도를 낮출 수 있고, IQ 하향 변환을 통해서 샘플링에 필요한 주파수 대역을 반으로 줄임으로서 수신기에서 필요한 독립된 Branch 개수를 줄일 수 있도록 했다. 그러나 QAIC 수신기는 Quadrature 구조의 주파수 변환을 2 회 거쳐야 하므로 구조가 복잡하고 이에 따른 불요파 혼합 문제를 고려해야 한다. 또한 입력 신호의 대역폭이 상대적으로 넓은 ($f_{RF(\max)} \gg f_{RF(\min)}$) 경우는 저속의 PRBS를 사용할 수가 없다.

나. 초고속 압축센싱 수신 전단부와 ADC의 동기화

다중 협대역으로 구성된 산재한 입력 신호가 PRBS신호와 혼합하면 모든 협대역 성분이 혼재(aliasing) 된 상태로 기저대역으로 주파수 변환된다. 입력된 협대역 신호의 최대 대역폭이 $B_{\max}$라고 하면, $f_S \geq B_{\max}$인 표본화 주파수로 동작하는 후단부의 ADC를 이용하여 기저대역의 신호를 표본화한 후에 압축센싱복원 알고리즘을 통해서 원신호를 손실 없이 복원할 수 있다. 이때 올바른 복원을 위해서 PRBS의 고속 CLK과 ADC의 샘플링 주기의 동기화가 중요하다. 이를 위해서 PRBS의 클록 신호를 리플 카운터를 사용하여 주파수를 낮춘 후에 ADC 의 클록신호가 되도록 구현하면 두 블록간의 동기화를 이룰 수 있다. 한편 ADC와 PRBS 발생기 클록이 집적화 되지 않은 경우에도 PRBS의 주기성을 이용해서 nT_p (n=0,1,2,...) 만큼 시간 지연된 신호에 대하여 수신단 전단부와 ADC를 동기화할 수 있다. 두 신호간의 정밀한 동기화를 위해서는 클록 신호의 jitter 잡음이 최소화 되어야 한다. jitter 잡음은 리플 카운터의 비트수가 증가할수록 커지기 때문에, 압축비의 설정시 이러한 부분도 종합적으로 고려해야 한다.

다. 압축센싱 수신기의 설계

초고속 압축센싱 수신기를 집적화 구현하기 위해서는 광대역 신호를 증폭하는 광대역 저잡음 증폭기(LNA), 증폭된 신호를 주파수 혼합기의 RF 단으로 구동하는 RF 구동 증폭기, LO 신호를 증폭하고 주파수 혼합기의 LO 단을 통해서 혼합기의 스위치를 구동하는 LO 구동증폭기,

하향 변환된 IF 신호를 증폭하여 ADC에서 샘플링이 가능하도록 하는 IF 증폭기, 그리고 m-sequence를 생성하는 초고속 PRBS 발생기로 구성할 수 있다. CMOS 소자 및 회로 기술의 지속적인 발전에 따라서 이러한 블록의 집적화 구현은 서브테라헤르츠 대역의 송수신기 구현에까지 진행되고 있다[12]. 따라서 본 항에서 초고주파 및 밀리미터파 대역 수신기에 대한 고려사항은 압축센싱 수신기에서 사용되는 PRBS 신호에 의한 영향을 중심으로 기술하고자 한다.

일반적인 RF 수신기는 RF 입력신호를 하향 주파수 변환할 때 f_{LO}를 가진 정현파를 사용한다. 이에 반해 압축센싱 수신부는 산발적인 특성을 가지는 광대역 입력 신호 $x(t)$를 주파수 혼합기의 RF 단에 입력하고 주기 T_P를 가지는 의사불규칙 이진수열 $p(t)$를 LO 구동 신호로 사용함으로써 두 신호를 시간 영역에서 곱을 취해 준다. 이때, PRBS 발생기의 출력 신호의 스펙트럼은 $L=2^n-1$의 길이를 가지고 반복적인 패턴을 형성하는 m-sequence이므로, 주파수 $f_P=1/T_P$의 하모닉 성분으로 구성된 풍부한 선 스펙트럼으로 구성되며 아래와 같이 표현할 수 있다[13].

$$S_p(f)=\left[\sum_{m\neq\infty}^{\infty}\delta(f-mf_p)\right]\frac{L+1}{L^2}\left(\frac{\sin\pi f/f_c}{\pi f/f_c}\right)^2 + \frac{1}{L^2}\delta(f) \quad (1)$$

여기서 $f_p=\dfrac{f_c}{2^n-1}$, $L=2^n-1$ 이다.

식 (1)과 같이 LO 신호는 동일 전력의 단일톤 신호를 기준으로 $\sin(\pi f/f_c)(L+1)/(L_p\pi f/f_c)$의 크기로 감소한다. 따라서 입력신호와 컨볼류션을 통해서 생성된 IF 출력 스펙트럼도 동일한 크기로 감소한다. ADC의 표본화 주파수가 PRBS의 동작주파수에 비해서 매우 작은 경우 ($f_s \ll f_c$) 압축센싱 수신기의 혼합기에서 발생하는 변환손실 $CL_{MIX(PRBS)}$ (dB)은 다음과 같다.

$$CL_{MIX(PRBS)} \approx CL_{MIX(1tone)}+10\log_{10}\left(\frac{L^2}{L+1}\right) \quad (2)$$

G_{IF}를 믹서 IF 출력에서 ADC 입력단 까지 IF 단의 총 이득이라고 할 때, 광대역 압축센싱 수신기의 총 이득 (G_{Rx})은 (3)과 같다.

$$G_{Rx}=G_{LNA}-CL_{MIX(PRBS)}+G_{IF} \quad (3)$$

수신기의 최소 입력 전력 ($P_{in(\min)}$)은 수신기의 총이득 (G_{Rx}), 기저대역 ADC의 바닥잡음(n_{floor}) 과 ADC의 최소 입력전력($P_{in,\max(ADC)}$), 그리고 압축센싱된 신호를 복원하는데 필요한 후단부의 신호잡음비(SNR_{req})를 고려해서 다음과 같이 결정할 수 있다.

$$\begin{aligned}P_{in(\min)}&=P_{in,req(ADC)}-G_{Rx}\\&=(NF_{SYS}+n_{floor}+SNR_{req})-G_{Rx}\end{aligned} \quad (4)$$

이때 SNR_{req}(dB)는 압축센싱 복원에 필요한 신호대잡음비로써, MWC의 경우 약 SNR_{req}=15 dB 이고[4], $B_{front-end}$는 수신기 입력 대역폭 (Hz), 바닥 잡음 $n_{floor}=kTB_{front-end}=-174+10\log_{10}B_{front-end}$ 이다.

압축센싱 수신기가 N_{in}개의 다중 협대역 입력신호를 수신한다고 할 때, 수신기의 비선형성으로부터 각각의 협대역 신호끼리 상호 변조 왜곡에 의한 불요파가 발생하고, 수신단의 광대역 특성으로 인해서 수신기의 통과 대역 안으로 들어온다. 이러한 비선형적으로 발생한 불요파는 원치 않는 위치에 다중 협대역 성분을 혼재(aliasing) 시키기 때문에 압축센싱 후에 원신호를 제대로 복원하는데 어렵게 한다. 수신기의 비선형성과 관련된 최대 입력 가능 전력($P_{in,\max}$)은 수신기의 선형성과 ADC의 SNDR에 의해서 결정된다. 수신기의 모든 블록의 비선형 성분을 고려해서 구한 3차 교차점 $IP3_{Rx(2-tone)}=IM3_{Rx(2-tone)}/2+P_{in}$ 으로부터, 3차 상호변조왜곡 $IM3_{Rx(2-tone)}$를 구하고, 이 값이 ADC의 신호대잡음 및 왜곡비 (SNDR) 보다 낮도록 해야 한다. 일반적으로 수신기의 IM3 성분이 가장 큰 불요파를 형성 하므로, 다중 협대역 신호의 개수가 최대 $N_{\max}$ 일때 수신단의 최대 입력가능 전력은 식 (5)와 같다[14].

$$\begin{aligned}P_{in,\max}\approx{}&IP3_{Rx(2-tone)}-\frac{1}{2}(SNDR_{ADC}+\alpha(N_{in}))\\&-10\log_{10}N_{\max}-G_{Rx}\end{aligned} \quad (5)$$

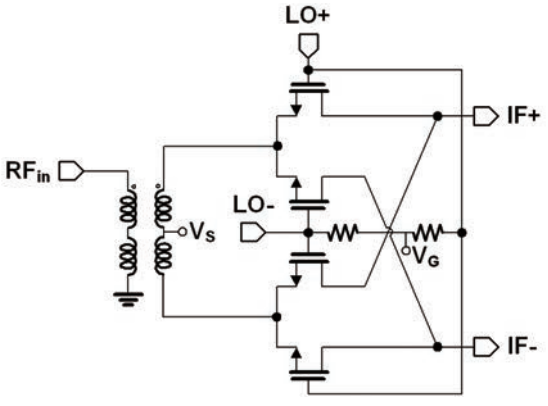
여기서 $\alpha(N_{in})$는 $N_{\max}$개의 다중대역 신호에 의한 영향을 고려한 것이다[15].

라. 주파수 혼합기 (Mixer)

단일톤을 사용하는 일반적인 하향변환 수신기와는 달리 m-sequence 스펙트럼은 식 (1)과 같이 f_p의 배수가 되는 톤이 sinc 함수 형태로 촘촘히 존재하면서 입력 신호와 혼합된다. 수동형 혼합기는 소자의 스위칭에 의한 주파수 변환을 이용하기 때문에 소자의 트랜스컨덕턴스 (g_m)를 사용하는 능동혼합기에 비해서 선형성과 광대역 특성이 우수하다. 수동형 혼합기가 제대로 동작하기 위해서는 혼합기를 구성하는 MOS 스위치가 On/ Off 상태로 바뀔 수 있도록 충분한 크기의 LO 전압으로 구동해야 한다. 이를 위해서 rail-to-rail 동작되는 LO 버퍼가 필요하다. 한편, 다중 톤으로 구성된 광대역 LO 신호는 IF 대역에 까지 선스펙트럼으로 존재하기 때문에 누설 LO 신호에 의한 IF 신호의 오염에 주의해야하기 때문에 우수한 LO-IF 격리도 특성이 필요하다.

이중평형혼합기는 차동 LO 신호가 IF 단에서 결합하기 때문에 누설된 차동 LO 신호를 서로 상쇄하여 높은 격리도를 유지할 수 있다. 〈그림 3〉은 MOS로 구현한 이중평형혼합기이다. 본 구조는 차동신호를 RF 입력 신호로 사용하기 때문에 RF입력신호가 단일종단신호인 경우 Balun을 사용하여 차동신호로 변환 한다. 초고주파/밀리미터파대역에서 Balun은 온칩 트랜스포머로 소형화 구현이 가능하다.

이상과 같이 압축센싱 수신기는 산발신호의 압축센싱을 통해서 ADC의 요구사양을 극적으로 낮추는 대신에 높은 선형성을 가지고 광대역신호에 대한 증폭, 여파, 주파수 혼합을 수행하도록 설계해야 한다.



〈그림 3〉 MOS 수동형 이중평형혼합기

3. 초고속 의사 불규칙 이진수열(PRBS)발생기

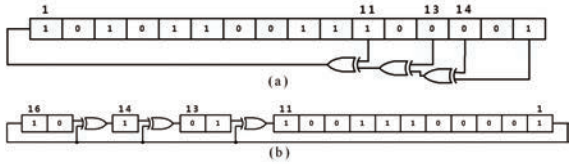
가. 의사 불규칙 이진수열 발생기 (PRBS)의 구조

식 (1) 과 같이, PRBS 발생기의 출력신호인 m-sequence 스펙트럼은 $f_{dk}=(2^n-1)/T_p$에서 null 을 형성하기 때문에, 이에 따른 기저신호의 손실을 고려하여 f_{dk}가 초고주파 대역의 광대역 산발 신호 $X(f)$의 최대 주파수 $f_{RF(\max)}$ 보다 2 배 이상 높도록 설계해야 한다. m-sequence를 생성하는 PRBS 발생기는 LFSR (Linear Feedback Shift Register)의 연속적인 배열과 함께 일정한 규칙에 따라서 임의 위치의 LFSR 신호들을 XOR을 통해 합하고 그 값을 초단 LFSR에 되먹임 하여 $L=2^n-1$ 개의 불규칙한 이진 수열을 T_p의 주기 마다 반복 한다. LFSR을 이용한 PRBS 발생기는 〈그림 4〉와 같이 LFSR과 XOR의 결합 형태에 따라서 (a) Fibonacci LFSRs 와 (b) Galois LFSRs 으로 구별할 수 있다.

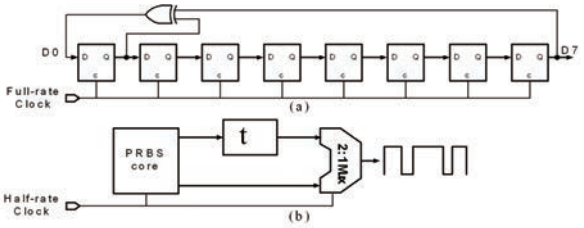
Fibonacci 구조의 PRBS는 XOR을 LSFR 과 평행하게 배치하여 필요한 신호를 추출하기 때문에 더 빠른 동작속도의 PRBS발생기를 구현 가능하다.

나. 초고속 PRBS의 구현

초고속 PRBS 발생기는 낮은 입출력전압으로 동작이 가능한 차동 형태의 CML (Current-Mode Logic) 래치



〈그림 4〉 PRBS구조:(a) Fibonacci LFSRs, (b) Galois LFSRs



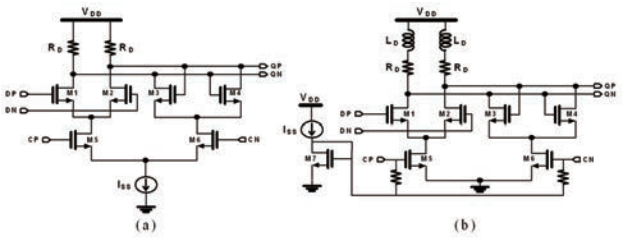
〈그림 5〉 (a) Full-rate Fabonacci PRBS 구조 (b) Half-rate PRBS의 구조

로 구현되는데, CML은 고속 동작이 가능한 반면 바이어스 전류가 상시 필요하고, 각 래치의 물리적인 크기 때문에 클록 간의 시간 지연을 무시할 수 없다. 실질적으로 구현할 수 있는 PRBS sequence의 길이 L은 되먹임 회로를 구성하는 선로 및 LFSR 클록간의 지연시간에 의해서 제약된다. 대략 30 Gb/s 이상에서 동작하는 Full-rate PRBS 발생기의 경우 n이 7~9 를 가지도록 설계된다. 〈그림 5-(a)〉 는 Full-rate PRBS의 개략도이다.

초고속 PRBS 발생기는 m-sequence 신호의 "Cycle-and-Add" 특성에 의해서 Multiplexer (MUX) 를 사용할 수 있고, 이를 통해 입력 클록 주파수의 두 배의 동작속도를 가진 Half-rate PRBS를 구현할 수 있다[16]. 이러한 특성으로부터 N:1 Mux를 이용한 N-Interleaved 구조를 이용하면 이론적으로 1/N 낮은 CLK 주파수로 래치를 구동할 수 있지만, 그 개수가 클수록 정확한 Interleaving 이 되는데 필요한 Mux 입력 신호간 위상차를 생성하기 어렵다. 또한, MUX의 동작 속도는 출력 동작속도와 같은 속도로 움직이기 때문에 MUX의 성능이 동작 속도를 좌우한다. 실질적으로 N 이 클수록 높은 전력소모, 칩의 크기가 증가하므로 half-rate 구조를 널리 사용한다. 〈그림 5-(b)〉는 n=7 인 half-rate Fibonacci 구조의 초고속 PRBS 발생기이다.

LFSR (D-플립플롭)은 Master와 Slave 2개의 CML Latch로 구현한다. CML 래치는 차동 회로를 이용하여 200 mV~300 mV 의 낮은 출력 전압 으로 동작하기 때문에 rail-to-rail 으로 동작하는 static 논리회로에 비해서 훨씬 빠른 속도를 가진다. 〈그림 6-(a)〉와 같이 M1, M2는 차동 증폭기를 형성하고 M3와 M4는 XCP (cross-coupled pair) 로 부하 R_D과 함께 래치를 형성한다. CLK 이 High 가 되면 증폭기 입력은 증폭되고 그 값이 XCP 에 인가된다. CLK이 Low가 되면 XCP가 활성화 되어서 출력 전압이 $I_{SS}R_D$가 되도록 유지한다. 이때 XCP에 의한 regeneration이 제대로 작동하기 위해서는 $g_{m3,4}R_D > 1$ 을 만족해야 한다. 차동증폭기는 입력에 따라서 M1 혹은 M2 소자로 전체 전류가 흐르도록 설계하기 때문에, 이때의 출력 전압의 변화율$(dV_{out}(t)/dt)$ 은 I_{SS}/C_{LT}에 비례한다. 따라서 증폭기의 소자의 전류밀도가 최대가 되도록 설계해야 한다[17]. 이러한 원리로 부터 부하 R_D를 inductive peaking 하여 속도를 개선하거나, Source follower를 사용하여 부하 커패시턴스의 영향을 줄이고, BJT의 경우 E2CL구조를 이용하는 방안이 고려될 수 있다. 또한 〈그림 6-(b)〉 와 같이 의사 차동 구조를 적용하여 I_{SS}의 제약 없이 증폭기가 class-AB 영역에서 동작하게 함으로써 동작속도를 개선할 수 있다[18].

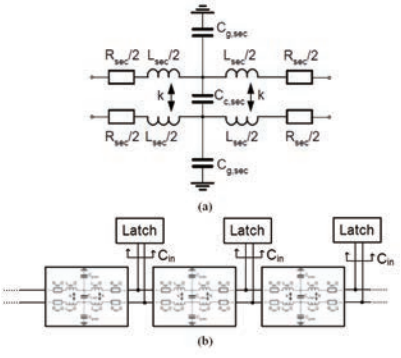
여러 문헌에 다양한 공정에 따른 고속 PRBS가 보고되고 있다. 구체적인 예로, f_T=200 GHz SiGe BJT를 이용한 100Gb/s 2^7-1의 PRBS 발생기[19]가 있고, [20]은 0.13μm CMOS 공정을 이용하여 24 Gb/s 2^7-1 PRBS 발생기를 구현 하였다.



〈그림 6〉 (a) CML 래치구조 (b) 고속 CML 래치 구조

다. 전송선로를 이용한 클록 분배회로

초고주파 대역의 압축센서는 매우 짧은 주기의 펄스를 LO 신호로 사용한다. 높은 주파수의 클록신호를 전송할 때에 선로에 의한 시간지연이 펄스의 상승(하강) 시간보다 길면 전송선로의 특성을 고려해 주어야한다. CML 래치를 사용하는 초고속 PRBS 발생기는 구현되는 LFSR의 물리적인 크기가 상대적으로 크기 때문에 LFSR 사이



〈그림 7〉 (a) 래치의 클록 입력 커패시턴스를 고려한 클록 전송 선로의 설계[21]

에 전송되는 클록들 간에 시간 지연을 무시할 수 없다.

따라서 초고속 PRBS 발생기의 클록분배용 선로는 전송선로의 특성을 고려하여 특성임피던스 설계와 임피던스 정합을 해야 한다. 전송선로에서 다중 반사파에 의한 신호의 ISI를 최소화하기 위해서 선로를 구동하는 버퍼의 출력과 선로 종단의 부하가 특성임피던스와 동일하게 설계한다. 전송선로의 특성임피던스는 차동선로의 경우 Z_{0dm}=100Ω, 단일종단선로는 Z_0=50Ω 이 되도록 구현하는데, 〈그림 7〉에서 보이듯이 래치의 클록입력단의 C_{in}=C_g을 원하는 전송선로 차동 특성임피던스의 구현을 위해서 식 (7)과 같이 고려해야 한다.

$$Z_{0dm} \approx \sqrt{\frac{2L(1-k)}{C_c + C_g/2}}, \quad Z_{0cm} \approx \sqrt{\frac{L(1+k)}{4C_g}} \qquad (7)$$

한편, CMOS 공정에서 전송선로는 기판의 높은 전도도로 인해서 10 GHz~60GHz 에서 약 0.6~1.2 dB/mm 가량으로 상대적으로 손실이 크기 때문에 클록 분배회로를 구현할 때 이를 충분히 고려해야 한다[22].

Ⅲ. 결 론

실리콘 공정에 기반 하여 초고주파 및 밀리미터 대역의 광대역신호를 압축센싱 할 수 있는 집적화된 수신기의 개발은 차세대 무선 통신, 실시간 레이더 신호감시 등, 여러 응용분야에 적용될 수 있다.

Ⅳ. 사 사

이 논문은 2016 년도 한화탈레스(주)의 재원을 지원 받아 수행된 연구임

참 고 문 헌

[1] Donoho,"Compressed sensing," IEEE Trans. Inf. Theory, vol. 52, no. 4, Apr. 2006, pp.1289–1306.

[2] D.V.Sarwate, et al., "Crosscorrelation Properties of Pseudorandom and related sequences," in Proc. of the IEEE, Vol. 68, No. 5, May 1982.

[3] J.Yoo et al., "A 100MHz–2GHz 12.5 x sub–Nyquist rate receiver in 90 nm CMOS," RFIC, 2012 IEEE, pp.31–34.

[4] M Mishali, "From theory to practice: sub–Nyquist sampling of sparse wideband analog signals," IEEE Journal of Selected Topics in Signal Processing, Vol. 4, No. 2, April 2010, pp.375–391.

[5] R.T. Yazicigil, "Wideband rapid interferer detector exploiting compressed sampling with a quadrature analog–to–information converter," IEEE Journal of Solid–State Circuits, Vol. 50, No. 12, Dec., 2015, pp.3047–3064.

[6] R.A. Camillo et al., Proc. of IEEE BCTM 227, 2013.

[7] http://www.samsung.com/semiconductor/insights/news/13270.

[8] B. Murmann, "Trends in low–power, digitally assisted A/D conversion," IEICE Trans. Electron., vol. E93–C, no. 6, 2010, pp. 718–727.

[9] S. Verma et al., "A 10.3 GS/s 6 b flash ADC for 10 G ethernet applications," in IEEE ISSCC Dig. Tech. Papers, 2013, pp. 462 – 463.

[10] V. H.–C. Chen et al., "A 69.5 mW 20 GS/s 6 b time–interleaved ADC with embedded time–to–digital calibration in 32 nm CMOS SOI," in IEEE ISSCC Dig., 2014, pp. 380 – 381.

[11] A.Tropp et al.,"Beyond nyquist : Efficient sampling of sparse band limited signals," IEEE Trans. Inf. Theory, Vol. 56, No. 1, Jan. 2010, pp. 520–544.

[12] J.–D. Park et al., "A 260 GHz fully integrated CMOS transceiver for wireless chip–to–chip communication," in Proc. Symp. VLSI Circuits, Jun. 2012, pp. 48 – 49.

[13] Pickholtz et al., "Theory of Spread–Spectrum Communications," IEEE Transactions on Communications, Vol. COM–30, No.5, May 1982.pp.855–884.

[14] M. Mishali, "Xampling: Analog to digital at sub–Nyquist Rates,"IET Circuits Devices Syst., 2011, Vol. 5, Iss. 1, pp. 8 – 20.

[15] N. B. Carvalho and J. C. Pedro, "Compact formulas to Relate ACPR and NPR to two–tone IMR and IP3," Microwave Journal, vol. 42, no. 12, Dec. 1999.

[16] F. Sinnesbichler,"Generation of high–speed pseudorandom

sequences using multiplex techniques,"1996 IEEE MTT-S Digest, pp.1351~1354.

[17] M. Green and U. Singh, "Design of CMOS CML circuits for high speed broadband communications," in IEEE Int. Symp. Circuits and Systems, May 2003, vol. 2, pp. 204 - 207.

[18] B. Razavi, Design of Integrated Circuits for Optical Communications, 2nd Ed., Wiley, 2012.

[19] H. Knapp, "100 Gb/s and 54-Gb/s PRBS generators in SiGe bipolar technology", IEEE Journal of Solid State Circuits, Vol. 40, No. 10, Oct. 2005., pp. 2118~2125.

[20] F. Weiss et al.,"A 24-Gb/s pseudo random bit sequece genertor IC in 0.13 μm Bulk CMOS," in 2006 Proc. of the 32nd European Solid-State Circuits Conference, 468-471.

[21] H. Veenstra et al.,"Circuit and interconnect design for RF and high bit-rate applications," Chapter 6, Springer, 2008.

[22] F. Wecchi, "Design of low-loss transmission lines in scaled CMOS by accurate electromagnetic simulations," IEEE Journal of Solid State Circuits, Vol.44, No.9, Sept. 2009.

박정동

- 1998년 동국대학교 전자공학과 학사 졸업
- 2000년 광주과기원 정보통신공학과 석사 졸업
- 2012년 캘리포니아대학교 버클리, 전기컴퓨터과학과 박사 졸업

〈관심분야〉
아날로그/Mixed/RF 집적회로, 테라헤르츠, 전력증폭기, 차세대 소자 개발

박준식

- 2014년 전북대학교 전자 · 정보공학부 학사 졸업
- 2016년 전북대학교 전자 · 정보공학부 석사 졸업
- 2015년~현재 한화탈레스

〈관심분야〉
RF 집적회로, 전자전 시스템