

전하펌프를 이용한 루프 필터 전압변화 보상 위상고정루프

안성진¹ · 최영식^{2*}

Loop Filter Voltage Variation Compensated PLL with Charge Pump

Seong-Jin An¹ · Yong-shig Choi^{2*}

¹Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

^{2*}Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

요 약

본 논문에서는 RC 시정수 회로를 포함하는 비교기를 이용해 보조 전하펌프를 제어하여 루프 필터 출력 전압 변동 폭을 최소화 하는 위상고정루프(PLL)를 제안하였다. 루프 필터의 출력 전압변화는 작은 시정수 값을 가지는 RC와 큰 시정수 값을 가지는 RC를 통해 비교기의 입력으로 각각 전달된다. 작은 시정수를 가지는 RC는 루프 필터의 신호의 변화를 빠르게 전달하는 반면 큰 시정수를 가지는 RC는 루프 필터의 신호를 매우 느리게 전달하여 일정한 크기의 전압과 같이 동작한다. 비교기의 출력 신호는 보조 전하펌프를 제어하고, 이는 전압제어발진기(VCO)의 입력 전압 변동 폭을 줄여준다. 그러므로 제안한 위상고정루프는 위상 잡음이 많이 제거된 신호를 생성한다. 제안된 위상고정루프는 1.8V의 공급전압에서 0.18um CMOS 공정의 파라미터를 이용하여 Hspice로 시뮬레이션을 수행하고, 동작을 검증하였다.

ABSTRACT

This paper proposes a phase-locked loop (PLL) to minimize the loop filter output voltage fluctuation by using a comparator including RC time constant circuits. The voltage variation of loop filter is inputted to RC time constant circuits which have two RC time constants, large and small. While a small RC time constant circuit quickly conveys the output voltage variation of loop filter, a large RC time constant circuit conveys slowly the output voltage variation of loop filter and its output looks like constant voltage. The output signal of the comparator controls the sub charge pump and reduces the input voltage variation of voltage-controlled oscillator (VCO). Therefore, the proposed PLL generates a phase noise reduced signal. It has been designed with a 1.8V supply voltage, 0.18um multi - metal and multi - poly layer CMOS process and proved by Hspice simulation.

키워드 : 위상고정루프, 보조 전하펌프, 전압변화 보상, 시정수 비교.

Key word : Phase locked loop, Sub charge pump, Voltage variation compensation, Comparison time constant

Received 21 July 2016, Revised 26 July 2016, Accepted 10 August 2016

* Corresponding Author Young-Shig Choi(E-mail:choiys@pknu.ac.kr, Tel: +82-51-629-6222)

Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2016.20.10.1935>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

위상고정루프(Phase Locked Loop)는 각종 통신 시스템이 필요로 하는 다양한 주파수 신호를 만든다[1]. 위상고정루프에서는 잡음특성이 회로의 성능에 직접적인 영향을 미친다. 온도, 공급 전압, 공정 변화, 저주파 잡음 등 다양한 외부적인 환경 변화로 인하여 전압제어발진기의 입력 전압은 크게 흔들리고, 이는 위상고정루프의 안정성을 떨어뜨려 잡음이 제대로 제거되지 않는 신호를 출력 할 수 있다[2]. 최근의 시스템이 저 전력화 되면서 작은 내/외부 요인에도 큰 영향을 받게 되므로 내/외부적인 환경의 변화에 위상고정루프가 안정하게 동작을 하여 잡음이 최소화된 출력 신호를 만드는 것이 통신 시스템에서 필수적인 요소이다. 이러한 안정적인 신호 처리를 위해 위상고정루프의 동작의 안정성을 개선하기 위한 연구가 지속적으로 이루어지고 있다. 루프필터를 더 높은 차수로 구성했을 때 낮은 기준 신호 스퍼를 얻을 수 있지만, 높은 차수의 루프필터는 위상 여유를 감소시켜 전체 위상고정루프 동작을 불안하게 할 수 있다[3, 4]. 신호 스퍼를 높은 주파수로 옮겨가도록 하여 기준 신호 주파수에 발생하는 스퍼를 억제하였으나 위상 잡음 특성이 나빠질 수 있다[5]. 차동구조의 LC 전압제어발진기와 두 개의 대칭 루프를 사용하여 스퍼의 크기를 줄였으나 복잡한 구조의 LC 전압제어 발진기가 필요하다[6, 7]. 위상주파수검출기나 전하펌프에서 발생하는 데드존 문제나 전류 부정합과 같은 비선형성에 의해 발생하는 위상잡음을 줄일 수 있는 선형화 기법을 제안하였다. 하지만 전하펌프의 비선형성 개선에 따른 트랜지스터의 늘어난 동작시간에 의해 잡음이 증가하는 문제점이 있다[8]. 주파수 위상 검출기에서 발생하는 신호가 전하 펌프에 임의로 전달하게 하여 기준 신호 의사 잡음 크기를 줄였으나 회로가 복잡해진다[9]. 2개의 Ring-Oscillator를 제어하는 VCO 구조를 통해 지터 특성을 개선하여 안정적인 클록 파형을 출력하였다. 하지만 LDO-regulator를 사용하면서 높은 DC 공급 전압이 전력소모를 증가 시키고, LDO-regulator에서 발생하는 출력 리플 전압이 잡음을 증가하게 만드는 문제점이 있다[10].

본 논문에서는 시정수 차이를 이용한 전압 비교기와 보조 전하 펌프를 통해 루프필터의 전압 변동 폭을 최소화 하였다. 따라서 위상 잡음 특성과 기준신호 의사

잡음 특성을 개선하였다.

II. 제안된 위상고정루프의 시정수 비교회로

위상고정루프에서 루프필터는 전압제어 발진기의 입력 전압파형을 안정적인 형태, 즉 고주파 잡음을 제거하여 변동 폭이 작은 일정한 크기로 만드는 중요한 역할을 한다. 루프필터 전압이 흔들리면 전압제어발진기의 출력 주파수가 변하면서 원하지 않는 잡음이 발생하게 된다.

그림 1에서와 같이 저항 하나와 두 개의 커패시터로 구성된 2차 루프 필터를 가진 위상고정루프 구조가 가장 많이 사용된다. 루프필터 전압 변동 폭인 ΔV_{LPF} , ΔV_{LPF} 크기는 위상고정루프의 성능을 측정하는 중요한 지표가 된다. ΔV_{LPF} 는 위상고정루프의 위상이 고정된 이후에 루프필터에 나타나는 전압의 크기 변화량이다. ΔV_{LPF} 의 크기는 위상 잡음의 특성을 결정하며 작을수록 위상잡음 특성이 좋아진다. ΔV_{LPF} 는 신호의 한 주기 동안에 변화하는 최대 변화량으로 기준 신호의 의사 잡음의 크기를 결정한다. 기준 입력 주파수의 한 주기 동안 위상주파수 비교기의 Up/Dn 신호 발생시간 동안 전하펌프는 루프필터의 C_p 를 충전/방전하여 전압이 상승/하강한다(ΔV_{LPF}). 전하펌프가 동작하지 않은 동안은 C_p 에서 C_z 로 전하가 이동하여 전압이 하강한다. Up/Dn 신호에 발생하는 전압의 변동 크기를 줄이기 위해 C_p 의 크기를 키우면 전체 위상고정루프가 불안정하게 동작한다. 일반적으로 위상고정루프의 안정한 동작을 위한 충분한 위상 여유를 가지려면 C_z 가 C_p 의 10 배 이상의 크기를 가져야 한다. 그러므로 한주기 동안 발생하는 루프필터 전압 변동 폭을 크게 줄일 수 없다.

그림 1은 제안한 위상고정루프의 전체 회로 그림이다. 제안한 위상고정루프는 기존의 위상고정루프가 구성하고 있는 위상주파수비교기(PFD), 전하 펌프(CP), 전압제어발진기(VCO), 분주기(DIV) 외에도 보조 전하펌프, RC 시정수 비교 회로(RC time constant comparison circuit), 위상고정상태 표시기(LSI : Locking Stats Indicator)로 구성되어있다. RC 시정수 비교 회로는 RC 시정수 차이를 감지하여 보조 전하펌프 제어 신호를 만든다.

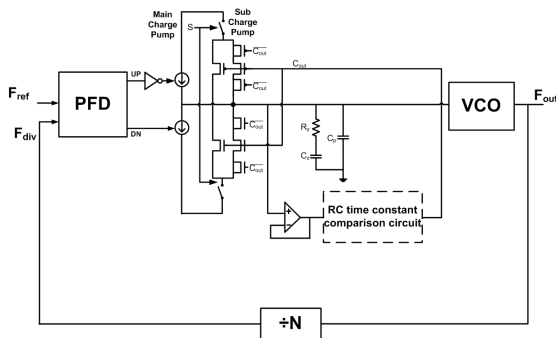


Fig. 1 The total circuit of voltage variation compensated phase locked loop(PLL) with difference of time constant

그림 2는 기존의 위상고정루프와 제안한 위상고정루프의 루프필터 파형을 나타낸 것이다. 제안된 위상고정루프는 루프필터의 전압이 증가하면 시정수 비교 회로가 보조 전하펌프의 전류를 제어하여 한주기 동안 발생하는 루프 필터 전압 변동(ΔV_{LPF}) 크기를 줄인다. 이는 위상이 고정된 이후에 루프필터에 나타나는 전압의 변동 폭(ΔV_{LPF})을 최소화하여 전압제어발진기가 잡음이 최소화된 신호를 출력하도록 해준다.

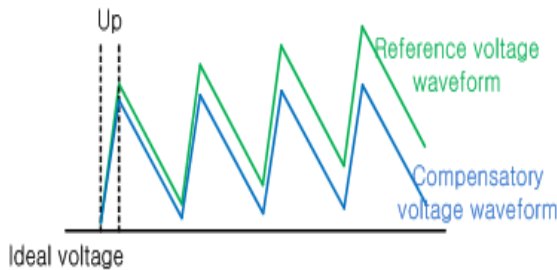


Fig. 2 When the voltage of loop filter rise, the difference between reference PLL's voltage waveform and proposed PLL's voltage waveform

그림 3은 RC 시정수 차이를 이용하여 보조 전하펌프를 제어하는 신호를 출력하는 시정수 비교 회로이다. RC를 이용하여 신호가 전달되는 시간의 차이를 만들어 V_{L1} 노드와 V_{L2} 노드의 신호를 비교하게 된다. 작은 크기의 R_{L1} 과 C_{L1} 의 작은 크기의 시정수를 가지게 되어 루프 필터 출력이 V_{L1} 에 빠르게 전달되어 V_{L1} 에는 루프 필터 출력 신호와 거의 같은 파형이 나타난다. 큰 값의 R_{L2} 와 C_{L2} 는 큰 크기의 시정수를 가지게 되어 V_{L1} 에 루프 필터 출력이 실시간으로 전달되지 않아 V_{L2} 에는 루프

필터 출력 신호의 평균값과 같은 일정한 값을 가진 파형이 나타난다. 그림 4는 V_{L1} 노드와 V_{L2} 노드의 신호의 차이가 “1” 또는 “0”의 값을 가진 C_{out} 으로 출력된다. V_{L1} 노드의 전압이 V_{L2} 노드보다 커지면 C_{out} 신호는 보조 전하펌프가 루프 필터를 방전시켜 루프 필터 전압을 하강하게 하고, V_{L1} 노드의 전압이 V_{L2} 노드보다 작아지면 C_{out} 신호는 보조 전하펌프가 루프 필터를 충전시켜 루프 필터 전압을 상승하게 한다.

낮은 시정수를 가지는 V_{L1} 노드 신호는 루프필터 출력과 동일하게 빠르게 동작하고, 높은 시정수를 가지는 V_{L2} 노드 신호는 루프 필터의 출력 평균값을 가지는 것처럼 동작한다. 이러한 두 신호의 차이를 감지하여 보조 전하펌프는 루프필터 전압의 변동이 최소화 되는 방향으로 동작한다.

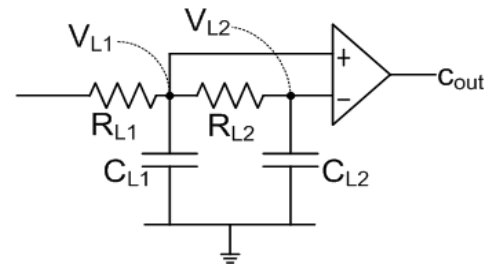


Fig. 3 Conception of time constant comparison

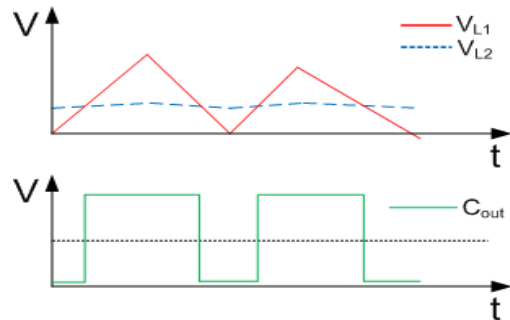


Fig. 4 Operation waveform and buffer circuit's output at the time constant comparison circuit.

III. 제안된 위상고정루프

그림 5는 위상고정 상태 표시기(LSI)의 회로도이다. LSI는 보조 전하펌프의 동작 여부를 결정짓는 역할을

한다. LSI의 동작은 PFD의 Up/Dn 신호를 입력으로 받는다. 위상고정루프가 위상이 고정되지 않았을 때는, 한 주기 동안 비 주기적인 크기의 Up/Dn 신호가 발생하면서 NOR 게이트는 대부분 'low' 값을 출력하고 MP1은 Va 노드의 전압을 충전 시킨다. 반대로 위상에 고정되면 한 주기 동안에 Up/Dn 신호가 거의 발생하지 하지 않으면서 NOR 게이트는 'high' 값을 출력하고 MN1은 Va 노드의 전압을 방전시킨다. 위상고정루프가 동작하는 과정에서 Va는 NOR 게이트 출력의 비주기적 펄스에 의해 흔들리며, C_{load}를 무작위로 충/방전 시킨다. 만약 위상고정 상태에 따라 위상고정 상태 표시기의 출력 신호 S가 일정하지 않고 움직인다면 신호 S에 연결된 전하 펌프와 루프 필터가 원하는 동작을 하게 된다. 이를 방지하기 위해 그림 6의 히스테리시스 효과를 이용하면 Va값의 변동에 관계없이 안정된 신호 S를 출력할 수 있다. 따라서 그림 6과 같이 Va 값이 변하더라도 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계한다.

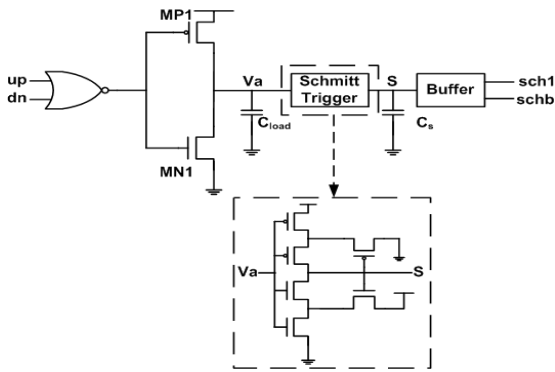


Fig. 5 LSI circuit

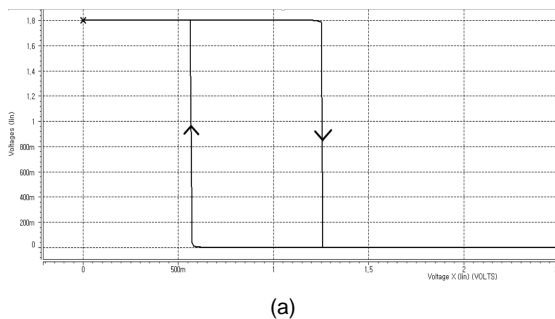


Fig. 6 (a) Schmitt Trigger's operation property (b) LSI output.

그림 7은 주 전하펌프와 LSI의 제어를 받는 보조 전하펌프가 추가된 회로이다. 위상이 고정되기 전에는 100uA의 주 전하 펌프의 제어를 받아 위상을 고정 시키며 위상이 고정된 이후에는 LSI가 동작하여 주 전하펌프와 보조 전하펌프가 같이 동작하게 된다. 보조 전하펌프는 비교기의 출력 신호인 C_{out}에 따라 V_{LPF}의 전압 폭을 줄이는 방향으로 전하를 충방전 한다.

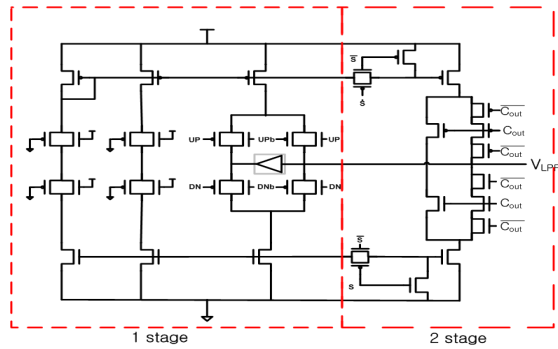


Fig. 7 Main Charge pump and Sub charge pump

보조 전하 펌프에서 C_{out}의 제어를 받는 MOSFET은 전하 방출 효과로 인해서 루프 필터에 잡음을 발생시킬 수 있다. 그림 7이 보여주듯이 1/2크기의 MOSFET을 양쪽에 추가함으로써 루프 필터에 필요 이상의 전하가 흘러 들어가는 것을 막을 수 있다. 그림 2의 시정수 비교 회로는 그림 3의 회로의 입력 단에 1의 이득을 가지는 버퍼를 연결하였다. 이 버퍼는 V_{LPF}의 신호를 입력받아 RC 회로에 신호를 그대로 전달한다. 출력단의 비교기는 짧은 시정수를 가지는 R_{L1}·C_{L1}와 큰 시정수를 가지는 R_{L1}·C_{L1}+R_{L2}·C_{L2}의 신호를 비교하여 최종적으로 V_{out}신호를 출력하여 보조 전하 펌프를 제어한다.

IV. 시뮬레이션 결과

제안한 구조의 위상고정루프는 0.18um CMOS 공정을 사용하여 시뮬레이션을 진행하였다. 15.625MHz의 입력 주파수를 가지고 1GHz의 출력 주파수를 가지며 분주 비는 64분주이다. 기존 위상고정루프와 제안한 위상고정루프로 시뮬레이션을 진행하였을 때의 루프 필터 출력이 그림 8과 9에 나타나있다. 사용된 루프 필터는 $R_z=1.5K\Omega$, $C_z=1.5nF$ 와 $C_p=150pF$ 로 구성하였다. 기존의 위상 고정루프는 $\Delta V_{LPF} = 731\mu V$, $\Delta\Delta V_{LPF} = 53.5\mu V$ 의 값을 가지고 있다. 반면에, 그림 루프 필터 전압의 변동을 억제하도록 제안된 위상고정 루프는 $\Delta V_{LPF} = 498\mu V$, $\Delta\Delta V_{LPF} = 29.9\mu V$ 로 기존의 위상고정 루프에 비해 작은 값을 가지며 전압의 변동 폭이 줄어든 것을 확인 할 수 있다. 위상고정시간은 두 구조가 같은 50 μs 보여주었다. 고차인 3차 또는 능동 스위치 커패

시터로 구현된 루프 필터에 제안한 RC 시정수 비교 회로를 연결하면 전압의 변동을 더욱 더 감소시킬 수 있다. RC 시정수 비교 회로와 LSI가 추가되어 칩 크기와 전력 소모가 증가하나, 추가된 회로에 의해 특성이 크게 개선된다.

V. 결론

본 논문에서는 기존 위상고정루프의 형태에 RC 시정수 차이를 감지하는 시정수 비교기 회로와 추가적인 보조 전하펌프를 이용하여 전압제어발진기의 입력인 루프 필터 전압 변동 폭을 억제하는 위상고정 루프를 제안하였다. 시뮬레이션 결과는 기존 구조의 위상고정 루프의 전압 변동 폭을 줄이며 우수한 특성을 보여주고 있다.

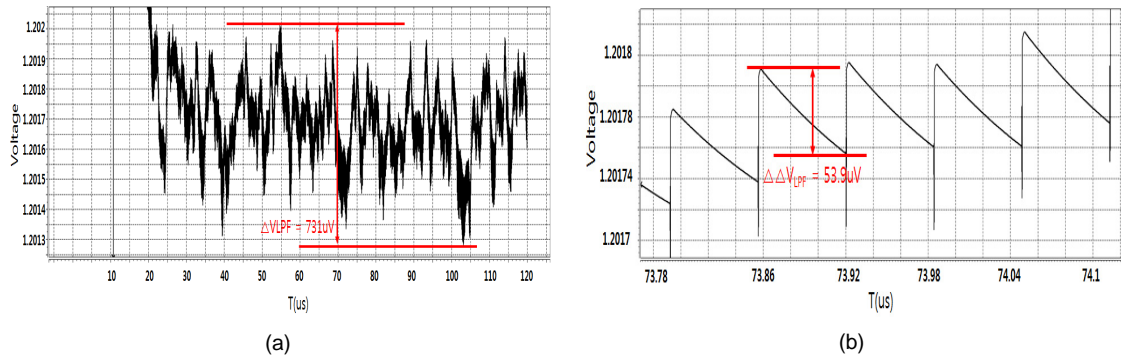


Fig. 8 Reference PLL's (a) ΔV_{LPF} (b) $\Delta\Delta V_{LPF}$

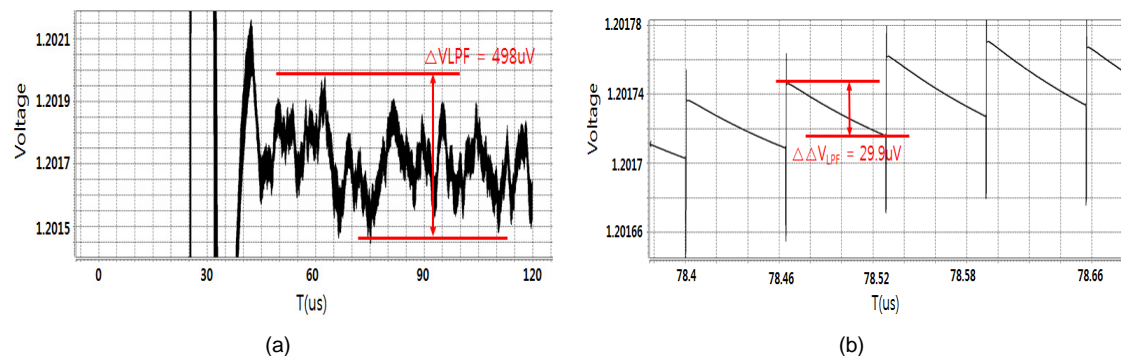


Fig. 9 Proposed PLL's (a) ΔV_{LPF} (b) $\Delta\Delta V_{LPF}$

REFERENCES

- [1] N. Nouri, S. Mirabbassi, "A 900MHz - 2GHz Low-Swing Low-Power 0.18um PLL," *Canadian Conf. on Electrical and Computer Engineering*, pp.1566-1569, 2005.
- [2] H.W. Choi, Y.S. Choi, "A Reference Spur Suppressed PLL with Two-Symmetrical Loops," *IEEK*, vol. 51, no. 5, May 2014.
- [3] C. M. Hung and K. K. O, "A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop," *IEEE J. Solid-State Circuits*, vol. 37, pp. 521-525, Apr. 2002.
- [4] S. Pellerano, S. Laventino, C. Samori, and A. Lacaita, "A 13.5-mW 5-GHz Frequency Synthesizer With Dynamic-Logic Frequency Divider," *IEEE J. Solid-State Circuits*, vol. 39, pp. 378-383, Feb. 2004.
- [5] M. M. Elsayed, M. Abdul-Latif, E. Sanchez-Sinencio, "A Spur-Frequency-Boosting PLL With a -74 dBc Reference-Spur Suppression in 90 nm Digital CMOS," *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2104-2117, Sept. 2013.
- [6] A. Rao, M. Mansour, G. Singh, C. Lim, R. Ahmed, and D. R. Johnson, "A 4-6.4 GHz LC PLL With Adaptive Bandwidth Control for a Forwarded Clock Link," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 2099-2108, Sept. 2008.
- [7] S. J. Yun, H. D. Lee, K. D. Kim, and J. K. Kwon, "Differentially-tuned low-spur PLL using 65 nm CMOS process," *ELECTRONICS LETTERS*, vol. 47 no. 6, pp.369-371, 17th March 2011.
- [8] S. Ye, L. Jansson, I. Galton, "A multiple-crystal interface PLL with VCO realignment to reduce phase noise," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1795-1803, December 2002.
- [9] T.W. Liao, C. M. Chen, J. R. Su, C. C. Hung, "Random Pulsewidth Matching Frequency Synthesizer With Sub-Sampling Charge Pump," *IEEE Transactions on Circuits and Systems I : Regular Paper*, vol. 59, no. 12, pp.2815-2824, December 2012.
- [10] G. Blasco, E. Isern, E. Martin, "Design of a stable pulse generator system based on a Ring-VCO Phase-Locked Loop using 180nm CMOS technology," *IEEE Design of Circuits and Integrated Systems (DCIS)*, pp. 25-27, Nov. 2015.



안성진(Seong-Jin An)

2015년 부경대학교 전자공학과 학사 졸업.
2015년 부경대학교 전자공학과 석사 입학.
※관심분야 : PLL, DLL 설계



최영식(Young-Shig Choi)

1982년 경북대학교 전자공학과 학사 졸업.
1986년 Texas A&M University 전자공학과 석사 졸업.
1993년 Arizona State University 박사 졸업.
1987년 ~ 1999년 현대전자 책임연구원
1999년 ~ 2003년 동의대학교 전자공학과 교수
2003년 ~ 현재 부경대학교 전자공학 교수
※관심분야 : PLL, DLL 설계