

논문 2016-53-10-5

# 체내 이식 신경 신호 기록 장치를 위한 저전압 저전력 아날로그 Front-End 집적회로

( A Low-Voltage Low-Power Analog Front-End IC for  
Neural Recording Implant Devices )

차 혁 규\*

( Hyouk-Kyu Cha<sup>Ⓢ</sup> )

## 요 약

본 논문에서는 체내 이식용 신경 신호 기록 장치를 위한 저전압 저전력 아날로그 front-end 집적회로를 설계하였다. 제안된 집적 회로는 1 Hz에서 5 kHz 주파수 대역에 존재하는 신경 신호를 처리하기 위해 저잡음 neural 증폭기와 대역폭 조절이 가능한 능동 bandpass 필터로 구성되어 있다. Neural 증폭기는 우수한 잡음 특성을 위해 source-degenerated folded-cascode 연산증폭기를 기반으로 하여 설계하였고, 능동 필터의 경우 저전력의 current-mirror 연산증폭기를 이용하여 설계하였다. 능동 필터의 high-pass cutoff 주파수는 1 Hz에서 300 Hz까지 제어가 가능하며, low-pass cutoff 주파수는 300 Hz에서 8 kHz까지 제어가 가능하다. 전체 아날로그 front-end 회로는 53.1 dB의 전압 이득 성능과 1 Hz에서 10 kHz 대역에 대해서 4.68  $\mu\text{Vrms}$ 의 입력 잡음 성능과 3.67의 noise efficiency factor 성능을 보인다. 0.18- $\mu\text{m}$  CMOS 공정을 이용하여 설계를 하였고 1-V 전원 에서 3.2  $\mu\text{W}$ 의 전력 소모 성능을 갖는다. 칩 레이아웃 면적은 0.19  $\text{mm}^2$  이다.

## Abstract

A low-voltage, low-power analog front-end IC for neural recording implant devices is presented. The proposed IC consists of a low-noise neural amplifier and a programmable active bandpass filter to process neural signals residing in the band of 1 Hz to 5 kHz. The neural amplifier is based on a source-degenerated folded-cascode operational transconductance amplifier (OTA) for good noise performance while the following bandpass filter utilizes a low-power current-mirror based OTA with programmable high-pass cutoff frequencies from 1 Hz to 300 Hz and low-pass cutoff frequencies from 300 Hz to 8 kHz. The total recording analog front-end provides 53.1 dB of voltage gain, 4.68  $\mu\text{Vrms}$  of integrated input referred noise within 1 Hz to 10 kHz, and noise efficiency factor of 3.67. The IC is designed using 0.18- $\mu\text{m}$  CMOS process and consumes a total of 3.2  $\mu\text{W}$  at 1-V supply voltage. The layout area of the IC is 0.19  $\text{mm}^2$ .

**Keywords** : analog front-end, neural amplifier, tunable bandpass filter, implant medical device

## I. 서 론

전 세계적으로 다양한 목적의 의료 응용 집적회로 연

\* 평생회원, 서울과학기술대학교 전기정보공학과  
(Dept. of Electrical and Information Engineering, Seoul  
National University of Science and Technology)

Ⓢ Corresponding Author (E-mail : hkcha@seoultech.ac.kr)

※ 이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

Received ; August 11, 2016      Revised ; September 1, 2016

Accepted ; September 22, 2016

구가 진행이 되고 있으며, 특히나 뇌신경 (neural) 관련 질환에 대하여 장기적이면서 지속적인 관찰 및 치료를 목적을 둔 체내 이식용 신경 신호 기록 기기의 연구 개발이 활발히 전개되고 있다<sup>[1-2]</sup>. 그림 1에서는 이러한 신경 신호 처리 및 기록을 위한 neural recording system-on-chip (SoC)의 기본 블록도를 보이고 있으며, 고해상도의 신호 기록을 위하여 일반적으로 MEMS 기술을 활용한 microelectrode array (MEA)와 다채널의 신호 처리용 회로를 집적하여 구현이 되고 있다. MEA를 이용하여 기록을 하고자 하는 신경 신호는 1 Hz에서

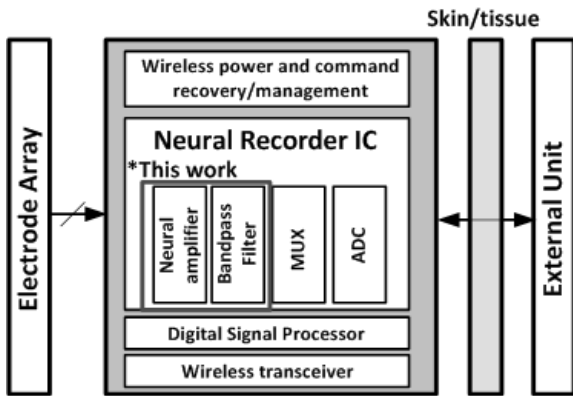


그림 1. Neural recording 집적회로의 블록도  
Fig. 1. Block diagram of neural recording SoC.

약 300 Hz 대역에 분포하고 있는 local field potential (LFP) 신호와 300 Hz에서 5 kHz 정도에 분포하고 있는 actional potential (AP) 혹은 spike 신호로 분류할 수 있으며, 보통 수십  $\mu\text{V}$ 에서 수 mV의 미약한 진폭 특성을 갖고 있기 때문에 우선적으로는 MEA와 접촉하고 있는 아날로그 front-end 회로 앞 단에서 충분한 크기의 신호로 증폭을 해야 한다. 또한, 신호 처리 과정에서 우수한 신호 대 잡음비를 유지하기 위해서는 회로 잡음을 억제할 수 있는 성능이 요구가 된다. 회로가 동작하는 체내에서 전극과 그 주변에서 발생하는 잡음이 10 kHz 대역폭에 대해서 5-10  $\mu\text{Vrms}$  정도이며<sup>[3-4]</sup>, 본 설계에서는 전체 아날로그 front-end의 입력 잡음 특성이 1 Hz에서 10 kHz 대역에 대해서 5  $\mu\text{Vrms}$  이하가 되도록 목표로 하였다. 이와 더불어서 다채널 구현을 위해서는 개별적인 회로의 전력 소모를 최소화 할 필요가 있기 때문에 저전압 및 저전류에서 동작할 수 있도록 설계를 하였다. 추가적으로, 상황에 따라 LFP와 AP 신호를 동시에 처리하는 것이 아닌 서로 분리를 하여 처리를 할 수 있는 필터링 기능이 앞 단의 아날로그 front-end 부분에서 필요하다고 볼 수 있다. 따라서 본 논문에서는 이러한 기능을 포함한 neural 증폭기와 주파수 조절이 가능한 능동 필터 회로를 제안하였으며, 0.18- $\mu\text{m}$  CMOS 공정을 이용하여 설계를 하였다. II장에서는 주요 회로 부분에 대한 세부 설계 내용을 설명하고 있다. III장에서는 주요 시뮬레이션 결과에 대해 다루며, IV장에서 결론을 맺는다.

## II. 본 론

그림 1의 블록도에 나와 있듯이 본 논문에서는 neural recording SoC에서 neural 증폭기와 능동 bandpass 필

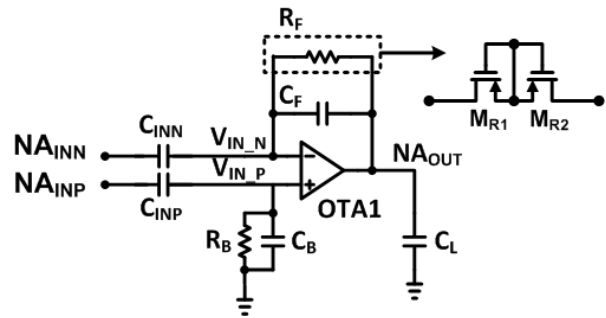


그림 2. Neural 증폭기의 회로도  
Fig. 2. Schematic of neural amplifier.

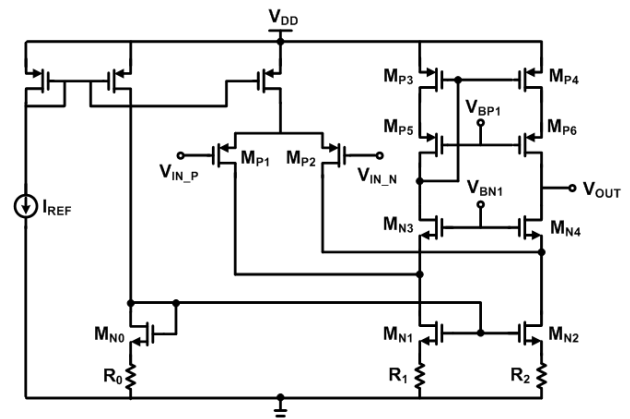


그림 3. 제안된 source degenerated folded-cascode 연산 증폭기의 회로도  
Fig. 3. Proposed simplified schematic of source degenerated folded-cascode OTA.

터로 이루어진 아날로그 front-end 를 설계하였다. Neural 증폭기의 경우 전체 신호 처리 chain의 앞 단에서 잡음 특성을 결정짓기 때문에 이 부분에 대해 설계 중점을 두었고, 또한 충분한 고정 이득과 5 kHz 보다 넓은 대역폭을 갖게 설계를 하였다. 뒤에 연결된 능동 필터의 경우 신호 처리 chain의 대역폭을 결정하고 AP와 LPF에 대해서 따로 처리를 할 수 있도록 주파수 조절 기능이 있으며, neural 증폭기에 비하여 잡음 성능이 상대적으로 완화되기 때문에 저전력 설계가 가능하였다.

### 1. Neural 증폭기

그림 2에서는 제안된 neural 증폭기 회로도를 보여 주고 있다. 기본적으로 MEA와의 interface에서 발생하는 DC 오프셋을 고려하여 ac coupling 입력과 capacitive-feedback 구조를 사용하고 있다. 증폭기의 이득은 커패시터  $C_{INN}$  과  $C_F$ 의 비에 의해서 결정이 되며, 본 회로에서는  $C_{INN}$  과  $C_F$ 의 크기를 각각 20 pF와 200 fF 를 사용하여 100배 증폭률에 해당하는 40 dB의 전압 이득이 되도록 설계를 하였다. 피드백 부분에  $C_F$ 의 커패시

터와 병렬을 이루고 있는  $R_F$  저항의 경우  $C_F$ 와 함께 증폭기 주파수 특성의 high-pass cutoff 주파수  $f_H$  를 결정짓으며, 이를 식으로 표현하면;

$$f_H = \frac{1}{2\pi R_F C_F} \quad (1)$$

와 같다. 이 주파수를 1 Hz 이하로 설계하기 위하여 큰 값의  $R_F$  저항이 필요하며, 면적 효율성을 고려하여 PMOS 트랜지스터를 이용한 pseudo 저항을 이용하여 구현하였다. 이 때  $M_{R1}$ ,  $M_{R2}$ 의 W/L 크기는 각각  $1 \mu\text{m}/20 \mu\text{m}$ 으로 설계되었다.

그림 3에서는 neural 증폭기에서 사용한 operational transconductance amplifier (OTA) 회로도를 보여주고 있다. 기존에 사용된 OTA 중에는 current-mirror OTA, two-stage OTA, folded cascode OTA 구조 등이 있다. Current-mirror OTA의 경우 높은 출력 스윙을 얻을 수 있으나, 이득과 전력 효율 측면에서는 적합하지 않으며, two-stage OTA의 경우 큰 이득과 출력 스윙을 얻을 수 있으나 마찬가지로 전력 효율에 있어서 불리하다고 볼 수 있다. 따라서 높은 이득과 주파수 특성, 저잡음 특성, 그리고 전력 효율이 상대적으로 우수한 folded cascode 구조를 기반으로 하여 neural 증폭기를 설계하였다.

저잡음으로 OTA를 설계하기 위해서는 주어진 전류에서 입력 트랜지스터 pair의 transconductance를 극대화 하면서 회로를 구성하고 있는 나머지 소자들에 의한 잡음 성분의 영향을 줄이는 것이 중요하다. 이를 위해서는 설계 과정에서 입력 트랜지스터와 그 외 소자들의 동작 바이어스 영역과 크기를 적절하게 결정을 할 필요가 있다.

우선은 thermal 잡음을 억제하기 위해 입력 트랜지스터가 높은  $g_m/I_D$  비를 얻을 수 있도록 subthreshold 영역 biasing을 하였다. 또한, 1/f 잡음을 줄이기 위해서 기본적으로 큰 크기를 갖는 PMOS 입력 차동 pair  $M_{P1}$ ,  $M_{P2}$ 를 사용하였으며, 이 때  $M_{P1}$ ,  $M_{P2}$ 의 W/L 크기는 각각  $440 \mu\text{m}/2 \mu\text{m}$ 으로 설계되었다. 추가적인 저잡음 설계 접근 방법에 있어서 OTA에서 소모되는 대부분의 DC 바이어스 전류는  $M_{P1}$ ,  $M_{P2}$  트랜지스터 branch에 흐르게 설계를 하였고, 전류 scaling<sup>[3]</sup>을 이용하여 회로의 안정도 (stability)를 고려하면서 잡음 성능을 최적화하였다. 이 과정에서  $M_{N3}$ ,  $M_{N4}$ ,  $M_{P3}$ - $M_{P6}$  트랜지스터의 경우 입력 트랜지스터에 비하여 10분의 1 보다 작은 바이어스 전류를 흘려 전체 전력 소모와  $M_{N3}$ ,  $M_{N4}$ ,

표 1. 설계된 OTA에서의 트랜지스터 크기와 동작 영역  
Table 1. Transistor sizes and operating regions in the designed OTA.

Devices	W/L	$I_D$	Operating region
MP1, MP2	440 $\mu\text{m}/2\mu\text{m}$	654 nA	Subthreshold
MN1, MN2	4 $\mu\text{m}/25\mu\text{m}$	717 nA	Above-threshold
MN3, MN4	40 $\mu\text{m}/5\mu\text{m}$	62 nA	Subthreshold
MP3, MP4	6 $\mu\text{m}/5\mu\text{m}$	62 nA	Above-threshold
MP5, MP6	12 $\mu\text{m}/30\mu\text{m}$	62 nA	Subthreshold

$M_{P3}$ - $M_{P6}$  트랜지스터의 잡음 비중을 최소화하였다. 이 때 설계된 OTA의 위상 margin은  $53^\circ$  이다.

이 밖에 OTA의 잡음 성능 개선을 위해서 큰 값의  $R_1$ ,  $R_2$  저항을  $M_{N1}$ ,  $M_{N2}$ 의 source degeneration 저항으로 추가하였으며, 이는  $M_{N1}$ ,  $M_{N2}$  트랜지스터의 1/f 잡음이 전체 OTA 잡음에 주는 영향을 줄여주는 효과를 얻을 수 있고<sup>[5]</sup>, 트랜지스터 stack의 전압 headroom을 고려하여 저항값을 증가시켜 thermal 잡음을 줄이는 효과를 얻을 수 있다. 본 설계에서는 잡음 성능과 headroom을 고려하여  $60 \text{ k}\Omega$  값으로 설계하였다.

설계된 OTA의 입력 잡음 해석을 위해 MOS 트랜지스터의 전류 잡음을 수식으로 표현하면;

$$\overline{i_n^2} = 4\gamma k T g_m \quad (2)$$

와 같으며, 이 때  $\gamma$ 는 excess noise 상수,  $k$ 는 Boltzmann 상수,  $T$ 는 절대 온도를 의미한다. 여기에서 일반적인 above-threshold 영역과 subthreshold 영역에서의  $\gamma$  값은 각각  $2/3$ 와  $\frac{1}{2\kappa}$ 이고, 이 때  $\kappa$ 는 subthreshold slope factor (=0.7)를 의미한다<sup>[6]</sup>. 이 모델을 이용하여 source degeneration 저항이 포함된 folded cascode OTA의 input referred noise  $\overline{v_n^2}$ 를 정리하면;

$$\overline{v_n^2} = \frac{1}{g_{mp1}^2} \left( \frac{4k T g_{mp1}}{\kappa} + \frac{16}{3} k T g_{mp3} + \frac{8k T}{R_1} \right) \quad (3)$$

와 같으며, 이 때  $g_{mp1}$ 는 입력 트랜지스터  $M_{P1}$ 의 transconductance,  $R_1$ 은 source degeneration 저항,  $g_{mp3}$ 는  $M_{P3}$ 의 transconductance를 의미한다.

표 1에서는 OTA 설계에서 사용된 트랜지스터 소자들의 정보를 보여주고 있다.

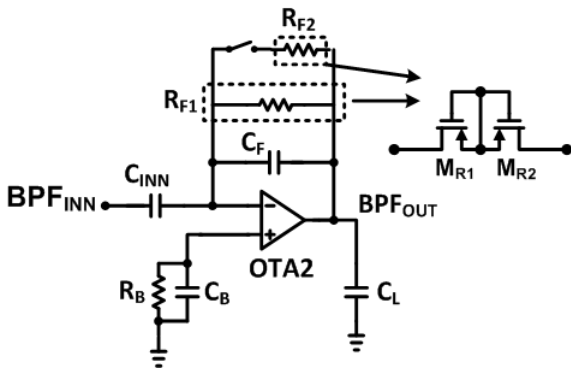


그림 4. Tunable 능동 필터의 회로도  
Fig. 4. Schematic of tunable active bandpass filter.

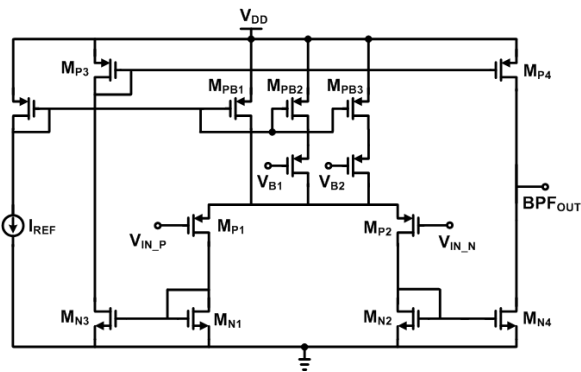


그림 5. 제안된 current-mirror 기반의 연산증폭기의 회로도  
Fig. 5. Proposed schematic of current-mirror based OTA.

## 2. Tunable Bandpass 필터

그림 4에서는 설계된 아날로그 front-end에서 신호 대역폭을 결정짓는 능동 bandpass 필터의 회로도를 보여주고 있다. Neural 증폭기와 흡사한 ac coupling 입력과 OTA 기반의 capacitive-feedback 구조를 이용하고 있으며, neural 증폭기에 이어서 추가적으로 4-5배 정도의 전압 이득을 갖도록 설계를 하여 시스템의 dynamic range를 개선하였다. 또한, bandpass 필터의 high-pass cutoff 주파수와 low-pass cutoff 주파수는 조절이 가능하도록 설계가 되었다. Low-pass cutoff 주파수의 경우 OTA의 바이어스 전류를 조절하여 300 Hz에서 8 kHz 주파수까지 제어가 가능하며, high-pass cutoff 주파수는 피드백 pseudo 저항을 조절하여 1 Hz와 300 Hz 중에 선택이 가능하다.

그림 5에 나와 있듯이 OTA는 충분한 출력 스윙을 고려하여 current mirror 구조를 사용하였다. 앞 단에 neural 증폭기가 있어서 필터의 경우 전체 아날로그 front-end의 잡음 성능에 큰 영향을 주지는 않지만, 마찬가지로 저잡음 성능을 위한 설계를 하였다. 이를 위해 subthreshold 영역에서 바이어싱된 PMOS 입력 트

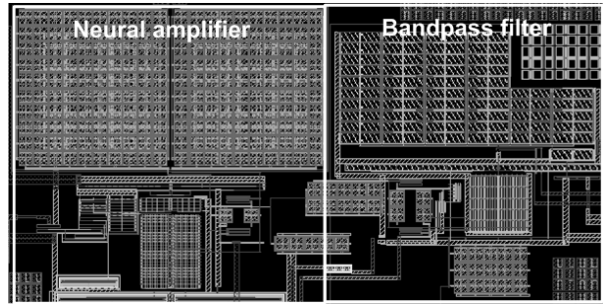


그림 6. 아날로그 front-end 집적회로의 전체 레이아웃  
Fig. 6. TOP layout of analog front-end IC.

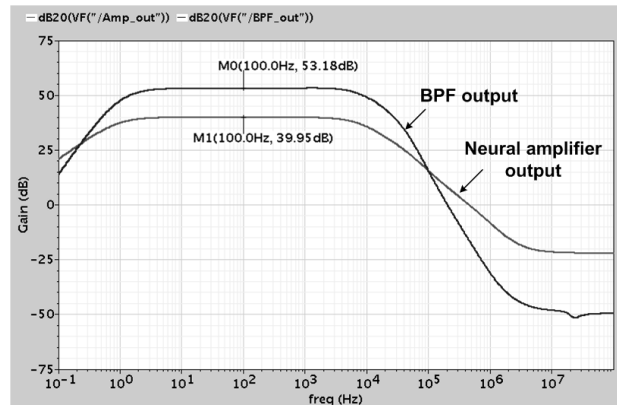


그림 7. Neural 증폭기 및 전체 아날로그 front-end IC의 이득 특성  
Fig. 7. Gain response of neural amplifier and analog front-end IC.

랜지스터를 이용하였고,  $M_{P1}$ ,  $M_{P2}$ 의 W/L 크기는 각각  $500 \mu\text{m}/2 \mu\text{m}$ 으로 설계되었다. 그 외의 소자들은 모두 above-threshold 영역에서 동작하도록 하였다. 이 때 설계된 OTA의 위상 margin은  $55^\circ$ 이다. 능동 필터의 전체 전력 소모는 바이어스 회로를 포함하여 1 Hz-8 kHz 대역폭 설정에서  $1 \mu\text{W}$ 이다.

## III. 시뮬레이션 결과

제안된 아날로그 front-end는  $0.18\text{-}\mu\text{m}$  CMOS 공정을 이용하여 설계를 하였다. 설계된 칩의 레이아웃 사진은 그림 6에 나와 있으며, neural 증폭기와 능동 필터를 포함한 전체 면적은  $0.19 \text{ mm}^2$ 이다.

그림 7에서는 neural 증폭기의 주파수 이득 특성과 능동 필터까지 포함한 전체 아날로그 front-end의 주파수 특성을 보여주고 있다. Neural 증폭기의 대역폭은 8 kHz 정도이며, 이득은 40 dB 정도인 것을 알 수 있다. 또한, 이 때 능동 필터의 대역폭은 가장 넓은 8 kHz로 설정되

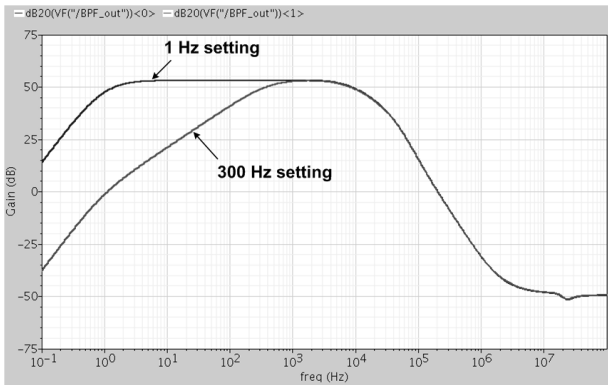


그림 8. Programmable한 아날로그 front-end의 high-pass cutoff 주파수 특성  
 Fig. 8. Frequency response of analog front-end with programmable high-pass cutoff frequency.

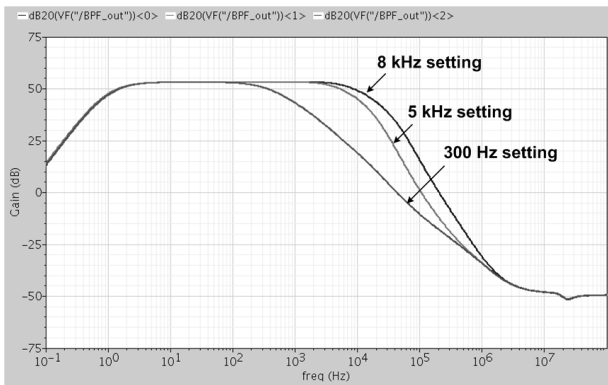


그림 9. Programmable한 아날로그 front-end의 low-pass cutoff 주파수 특성  
 Fig. 9. Frequency response of analog front-end with programmable low-pass cutoff frequency.

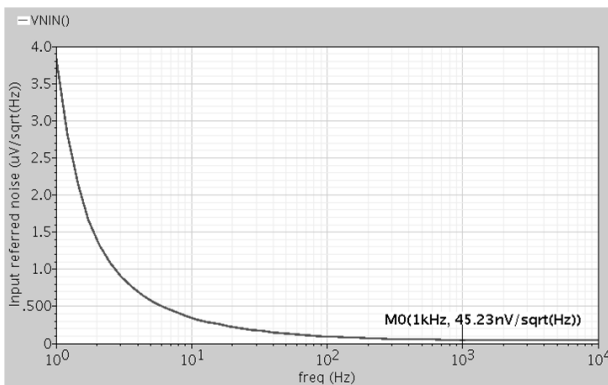


그림 10. 아날로그 front-end의 입력 잡음 특성  
 Fig. 10. Input referred noise of analog front-end.

어 있으며, neural 증폭기 이득을 포함하여 최대 53.1 dB 정도의 전압 이득이 나오는 것을 볼 수 있다.

그림 8에서는 능동 필터의 high-pass cutoff 주파수를 1 Hz와 300 Hz로 설정한 특성을 보여주고 있으며,

표 2. 제안된 아날로그 front-end 집적회로의 성능 요약표 및 기존 회로들과의 비교

Table2. Performance summary of proposed analog front-end IC and comparison with previous works.

Parameter	This work	[3]	[7]
Blocks	Neural amp + BPF	Neural amp + LPF	Neural amp
Supply voltage	1 V	1.8 V	1.8 V
Gain	53.1 dB	48/60 dB	39.4 dB
Bandwidth	0.3/5/8 kHz(LP) 0.001/0.3 kHz(HP)	0.03-0.29/9 kHz	7.2 kHz
Integrated input referred noise	4.68 $\mu$ Vrms (1 Hz-10 kHz)	5 $\mu$ Vrms (1 Hz-8 kHz)	3.5 $\mu$ Vrms (10 Hz-100 kHz)
NEF	3.67	4.6	3.35
Power	3.2 $\mu$ W	11 $\mu$ W	7.9 $\mu$ W
Area	0.19 mm <sup>2</sup>	0.065 mm <sup>2</sup>	0.0625 mm <sup>2</sup>
Process	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS

피드백 pseudo 저항의 스위칭을 통해 제어가 가능하다.

그림 9에서는 OTA의 바이어스 전류를 조절하여 low-pass cutoff 주파수를 8 kHz, 5 kHz, 300 Hz로 각각 설정한 파형을 볼 수 있다.

그림 10에서는 전체 아날로그 front-end의 입력 잡음 파형을 보여주고 있으며, integrated 입력 잡음은 1 Hz에서 10 kHz 대역에 대해서 4.68  $\mu$ Vrms 이다.

아날로그 front-end의 전류, 대역폭, 그리고 입력 잡음 성능을 고려한 noise efficiency factor (NEF)를 수식을 통해 표현하면 다음과 같다<sup>[1]</sup>;

$$NEF = V_n \sqrt{\frac{2I_{tot}}{\pi \cdot U_T \cdot 4kT \cdot BW}} \quad (4)$$

이 때  $V_n$ 은 전체 input referred 잡음이고,  $I_{tot}$ 은 전체 바이어스 전류,  $U_T$ 는 thermal 전압, BW는 주어진 회로의 -3 dB 대역폭을 의미한다. NEF가 상대적으로 낮다는 것은 전력과 잡음간의 trade-off가 우수하다는 것을 의미한다. 본 논문에서 제안한 전체 아날로그 front-end의 NEF는 3.67 이다.

표 2에서는 기존에 제안된 신경 신호 처리용 아날로그 front-end 와의 주요 성능을 비교하고 있다. 제안된 회로의 경우 neural 증폭기와 능동 필터를 포함하면서 큰 값의 입력 metal-insulator-metal (MIM) 커패시터에 의하여 면적이 증가를 하였으나, 제안된 저전압 저전력 설계를 통해 전력소모는 타 연구 결과에 비해 우수하면서 AP와 LFP를 따로 처리할 수 있는 필터링 기능과 경쟁력 있는 성능을 얻을 것을 볼 수 있다.

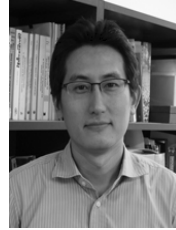
## IV. 결 론

본 논문에서는 체내 이식 신경 신호 기록 장치를 위한 저잡음, 저전력의 아날로그 front-end 집적회로를 0.18- $\mu\text{m}$  표준 CMOS 반도체 공정을 이용하여 제안 및 설계하였다. 53.1 dB의 이득 성능과 1 Hz-10 kHz 대역에서 4.68  $\mu\text{Vrms}$ 의 integrated input noise 및 3.67의 NEF 성능을 보인다. 1-V 전원 전압을 이용하였고 neural 증폭기와 능동 필터를 포함한 전체 아날로그 front-end의 전력 소모는 3.2  $\mu\text{W}$ 이다.

## REFERENCES

- [1] X. Zou, L. Liu, J. H. Cheong, L. Yao, P. Li, M.-Y. Cheng, W. L. Goh, R. Rajkumar, G. S. Dawe, K.-W. Cheng, and M. Je, "A 100-channel 1-mW implantable neural recording IC," IEEE Trans. Circuits and Systems I, vol. 60, no. 10, pp. 2584-2596, Oct. 2013.
- [2] S.-I. Na, S. H. Lee, H. Lee, J.-K. Woo, S. K. Kim, and S. Kim, "A low noise amplifier for neural recording system", in IEIE Fall Conference Proceedings, pp. 644-647, Jun. 2010.
- [3] P. Kmon and P.Gryboś, "Energy efficient low-noise multichannel neural amplifier in submicron CMOS process," IEEE Trans. Circuits and Systems I, vol. 60, no. 7, pp. 1764-1775, Jul. 2013.
- [4] S. Brenna, F. Padovan, A. Neviani, A. Bevilacqua, A. Bonfani, and A. L. Lacaita, "A 64-channel 965- $\mu\text{W}$  neural recording SoC with UWB wireless transmission in 130-nm CMOS", IEEE Trans. Circuits and Systems II, vol. 63, no. 6, pp. 528-532, Jun. 2016.
- [5] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An energy-efficient micropower neural recording amplifier," IEEE Trans. Biomed. Circuits and Systems, vol. 1, no. 2, pp. 136-147, Jun. 2007.
- [6] C. Qian, J. Parramon, and E. Sanchez-Sinchenio, "A micropower low-noise neural recording front-end circuit for epileptic seizure detection," IEEE J. of Solid-State Circuits, vol. 46, no. 6, pp. 1392-1405, Jun. 2011.
- [7] V. Majidzadeh, A. Schmid, and Y. Leblebici, "Energy efficient low noise neural recording amplifier with enhanced noise efficiency factor," IEEE Trans. Biomed. Circuits and Systems, vol. 5, no. 3, pp. 262-271, Jun. 2011.

## 저 자 소 개



차 혁 규(평생회원)

2003년 KAIST 전기및전자공학과  
학사 졸업.

2009년 KAIST 전기및전자공학과  
박사 졸업.

2009년~2012년 Institute of Microelectronics, A\*STAR,  
Singapore, Scientist

2012년~현재 서울과학기술대학교 전기정보공학과  
조교수

<주관심분야: 바이오응용 아날로그/RF 집적회로  
설계>