

# GaN HEMT를 사용한 Half-Bridge 구조에서의 스위치 상호작용에 의한 게이트 전압분석

## An Analysis for Gate-source Voltage of GaN HEMT Focused on Mutual Switch Effect in Half-Bridge Structure

채 훈 규\* · 김 동 희\*\* · 김 민 중\* · 이 병 국†  
 (Hun-Gyu Chae · Dong-Hee Kim · Min-Jung Kim · Byoung Kuk Lee)

**Abstract** - This paper presents the analysis of the gate-source voltage of the gallium nitride high electronic mobility transistor (GaN HEMT) in the half bridge structure focused on the mutual effects of two switching operation. Especially low side gate-source voltage is analyzed mathematically according to the high side switch turn-on and turn-off operation. Moreover, the influence of each gate resistance and parasitic component on the switching characteristic of other side switch is investigated, and the formula, simulation and experimental results are compared with theoretical data.

**Key Words** : Gallium nitride high electronic mobility transistor (GaN HEMT), Gate driver, Parasitic component model, Half-Bridge converter

### 1. 서 론

전력변환회로에서 효율과 전력밀도를 증가시키기 위해서 고 주파 스위칭에 대한 방법이 활발하게 연구되어 왔다. 지금까지는 기존의 전력 반도체 소자인 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)과 IGBT(Insulated Gate Bipolar Transistor)가 전력변환회로의 스위치로써 꾸준히 사용되어 왔지만 실리콘(Si)을 기반으로 하는 전력 반도체 소자는 물성 및 특성의 기술적 한계에 다다른 것으로 예측이 되어 보다 높은 주파수의 회로를 동작시키는데 어려움이 있다[1]. 그에 따라 최근 새로운 반도체 화합물의 개발이 요구되고 있으며, 그 중에 GaN(Gallium Nitride)과 SiC(Silicon Carbide)를 기반으로 하는 WBG(Wide Band Gap) 소자에 대한 연구와 그 소자를 적용한 전력변환회로가 연구되고 있다[2]. 특히, GaN 반도체는 높은 Band gap 에너지와 큰 전자포화 속도, 높은 항복 전계 및 고온 안정성 등의 재료적인 특성 때문에 Si를 기반으로 하는 반도체에 비해 전압, 전류 정격 및 고속 동작 특성이 유리한 장점이 있으며, 이를 적용한 GaN HEMT(High Electronic Mobility Transistor)는 Silicon기반 MOSFET을 대체할 것으로 여겨진다.

표 1은 전압정격과 전류정격이 동일한 Si MOSFET과 GaN HEMT의 파라미터를 보여준다. GaN HEMT는 각 기생커패시턴

스가 작기 때문에 스위치 동작을 위해 게이트에 전압을 인가할 경우, 적은 RC 시정수로 인해 빠른 속도로 게이트 전압이 증가하게 된다. 따라서 높은 주파수를 요구하는 회로에서 사용이 가능하지만 게이트-소스간 문턱전압(Gate-Source Turn-on Threshold Voltage) 및 게이트-소스간 정격 전압이 같은 정격에서의 Si MOSFET과 비교하였을 때 낮기 때문에 스위치 동작을 할 경우 게이트의 노이즈는 스위치의 의도치 않은 턴-온 혹은 턴-오프 뿐만 아니라 노이즈에 의한 손실까지도 야기한다. 또한 Si MOSFET에 비해 작은 기생커패시턴스를 갖기 때문에 스위치 동작 시에 기생커패시터에 충·방전되는 속도가 빨라져 드레인-소스단에 급격한 전압, 전류의 변화를 일으키게 되고, 이러한 급격한 변화는 회로 내 기생성분에 의해 전압, 혹은 전류를 유도한다. 따라서 기존의 Si MOSFET을 대상으로는 기생 커패시턴스에 의한

표 1 동급의 Si MOSFET, GaN HEMT 파라미터 비교

Table 1 Comparison of Si MOSFET and GaN HEMT at similar condition

스위치 종류	MOSFET	GaN HEMT
모델명	TK7A65D	GS66502B
$V_{ds}$ [V]	650	650
$I_{d(con)}$ [A]	7	7
$V_{gs}$ [V]	+30 / -30	+10 / -10
$V_{th}$ [V]	4	1.6
$C_{iss}$ [pF]	1200	64
$C_{oss}$ [pF]	120	16
$C_{rss}$ [pF]	6	0.5

† Corresponding Author : Dept. of Electrical and Computer Engineering, Sungkyunkwan University, Korea.

E-mail: bkleesku@skku.ac.kr

\* Dept. of Electrical and Computer Engineering, Sungkyunkwan University, Korea.

\*\* Dept. of Electrical Engineering, Tongmyong University

Received : July 25, 2016; Accepted : September. 28, 2016

전압, 전류 변화가 크기 않지만 게이트 전압이 민감하고 기생커패시턴스가 작은 GaN HEMT에서는 스위치를 안정적으로 동작하기 위해 회로 내 기생성분을 고려한 스위칭 분석이 반드시 필요하다.

기존의 연구들은 오직 하나의 스위치에 대한 스위칭 특성에 초점이 맞춰져 왔지만[3-4], 대부분의 전력변환회로에서는 Bridge 구조를 사용하고 있고, 이 구조에서는 하나의 스위치가 다른 스위치에 영향을 주기 때문에 두 스위치 상호작용에 의한 노이즈 분석이 필요하다. 기존의 분석 모델은 손실을 계산하기 위해 스위칭 동작 전체를 포괄하는 모델이 제시되었고[5-6], 스위치의 동작 분석 모델은 오직 경향성만 분석되어 기생성분으로부터 생기는 영향에 대한 구체적인 수치나 값을 알기 어려웠다[7-9]. 따라서 전력변환회로에서 GaN HEMT의 특성을 분석하기 위해서는 단일 스위치에서 보다는 Bridge 구조에서 분석을 해야 하며, 특히 안정적인 스위치 동작을 위해 기생성분과 게이트 저항의 영향을 고려하여 진행되어야 한다.

본 논문에서는 GaN HEMT가 다양한 기생성분 조건 하에서 안정적으로 동작하기 위해 Half-Bridge 구조의 동기 벡 컨버터에서 하나의 스위치에 대한 영향뿐만 아니라 다른 스위치로부터 받는 영향에 대해 분석한다. 상단 스위치의 턴-온, 턴-오프 동작에 따른 하단 스위치 게이트 전압의 분석적 모델을 제시하고, 이를 통하여 각 모드에서의 하단 스위치의 게이트 전압을 수식적인 결과로 도출한다. 또한 각 게이트 저항의 값을 변화하면서 하단 게이트 전압의 경향에 대해서 분석을 하고, 그 결과에 대한 타당성을 시뮬레이션과 GaN 스위칭 소자를 사용한 50W급 테스트베드를 활용한 실험을 통해 검증한다.

## 2. 분석 모델

그림 1은 각 스위치의 기생 커패시터를 포함하는 동기 벡 컨버터 회로이다. 스위치  $S_1$ 은 상단 GaN HEMT,  $S_2$ 는 하단 GaN HEMT이며, 입력은 일정한 값을 갖는 DC전압  $V_{IN}$ , 게이트 전압은 0부터  $V_{GG}$  (약, 7V~8V)로 인가한다. GaN HEMT 내부의 기생성분은 게이트-소스 커패시턴스  $C_{gs}$ , 게이트-드레인 커패시턴스  $C_{gd}$ , 그리고 드레인-소스 커패시턴스  $C_{ds}$ 로 구성된다. 또한 상단 게이트 저항을  $R_{g1}$ , 하단 게이트 저항을  $R_{g2}$ 로 명명한다.

동기 벡 컨버터의 경우 각 스위치가 일정한 듀티에 따라 동작하게 되는데 상단 스위치가 턴-온이 될 경우 인덕터 L에 에너지가 충전되고 상단 스위치가 턴-오프 될 때 인덕터 L의 에너지가 방전되면서 하단의 스위치로 환류하게 된다. 이 시점에서 하단 스위치에 턴-온 신호를 인가하면 하단 스위치는 ZVS (Zero Voltage Switching) 동작을 하게 된다. 하단 스위치가 ZVS로 턴-온, 턴-오프를 하게 되면, 하단 스위치 동작 전후의 상태가 상단 스위치가 턴-온, 턴-오프할 때와는 달리 드레인 전류나 드레인-소스 전압의 크기가 변하지 않는다. 그 결과로 상단 스위치의 동작은 하단 스위치에 영향을 미치지 않지만 하단 스위치 동작은 상단 스위치에 미치는 영향은 적다. 그러므로 본 논문은 상단의 스위치 동작에 의한 하단 스위치의 영향에 초점을 맞추어 분석하며, 하단 스위치의 게이트 전압은 각 게이트 저항 값에 따라 계산한다.

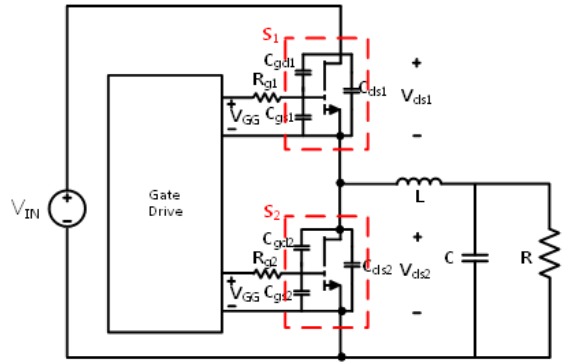


그림 1 동기 벡 컨버터 회로도

Fig. 1 Circuit diagram of the synchronous buck converter

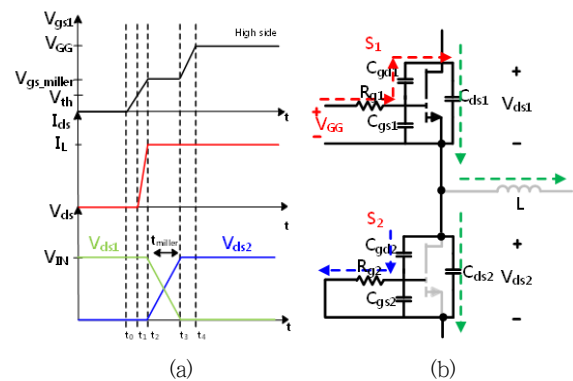


그림 2 상단 스위치 턴-온 시의 (a) 파형 및 (b) 회로

Fig. 2 (a) Voltage and current waveforms and (b) circuit at high side GaN HEMT turn-on switching.

### 2.1 스위치 턴-온 동작

GaN HEMT의 스위칭 특성은 그 소자의 스위칭 파형을 통해 파악한다. 하단 스위치  $S_2$ 를 통해 환류하고 있는 초기상태에서  $S_1$ 을 턴-온 하였을 때, 그림 2(a)는 상단 스위치의 턴-온 파형을 나타낸 것이고, 그림 2(b)는  $S_1$ 이 턴-온 할 때 순간적인 회로를 나타낸다. 이 때 게이트 전압이 증가함에 따라 몇 가지 구간으로 나눌 수 있다.

**모드 1** [ $t_0 - t_1$ ] :  $t_0$ 에서 게이트 전압은 0V에서  $V_{th}$ 로 증가한다. 이때 상단 게이트 전압  $V_{gs1}$ 은 증가하고 게이트 전류는 입력 커패시터  $C_{gs1}$ 과  $C_{gd1}$ 를 충전한다. GaN HEMT는  $V_{gs1}$ 이  $V_{th}$ 가 될 때까지 턴-오프 상태를 유지하며,  $t_1$ 에서  $V_{gs1}$ 이  $V_{th}$ 가 되는 순간 GaN HEMT에  $i_{ds}$ 가 흐른다. 이 모드에서의  $V_{gs1}$ 은 RC 직렬회로로 계산된다.

$$V_{gs1}(t) = V_{GG}[1 - e^{-(t-t_0)/\tau_{gs1}}] \quad (1)$$

여기서  $\tau_{gs1} = R_{g1}(C_{gs1} + C_{gd1})$ .

**모드 2** [ $t_1 - t_2$ ] : 이 구간에서는  $V_{gs1}$ 이  $V_{th}$ 보다 커지는 구간으로 게이트 전압은 식 (1)과 같은 RC 시정수를 갖고 증가하고, 드레인 전류  $i_{ds}$ 가 0에서부터 부하전류  $I_L$ 의 크기까지 증가한다. 이때 드레인 전류의 값은 다음과 같다.

$$i_{ds1}(t) = g_{fs} [V_{gs1}(t) - V_{th}] \quad (2)$$

**모드 3** [ $t_2 - t_3$ ] :  $t_2$ 에서는  $V_{gs1}$ 이  $V_{gs-miller}$ 에 도달하는 시간이며  $V_{gs-miller}$ 의 값으로 고정된다. GaN HEMT의 드레인 전류는 부하전류만큼 흐르고 이 시점부터  $S_1$ 의 출력 커패시터  $C_{oss1}$ 는 방전되고,  $S_1$  드레인 소스 전압  $V_{ds1}$ 은 걸려있던 전압  $V_{IN}$ 으로부터 감소한다.  $t_{miller}$ 는  $V_{ds1}$ 이 0으로 감소할 때까지의 시간이며 이 시간은 게이트 전류로부터 결정된다.

$$t_{miller} = \frac{C_{gd} \cdot V_{DS}}{i_g} \quad (3)$$

$$i_{g1} = \frac{V_{GG} - V_{gs-miller}}{R_{g1}} \quad (4)$$

이 때  $S_2$ 의 드레인 소스 전압  $V_{ds2}$ 은  $V_{ds1}$ 의 감소하는 기율기에 동기화 되어 증가한다.

$$\frac{dV_{ds1}}{dt} = -\frac{dV_{ds2}}{dt} = \frac{V_{IN}}{t_{miller}} \quad (5)$$

$$i_{gs2}(t) = C_{gd2} \frac{dV_{ds2}}{dt} \quad (6)$$

$$v_{gs2}(t) = R_{g2} \cdot i_{g2} = R_{g2} \cdot C_{gd2} \cdot \frac{dV_{ds2}}{dt} \quad (7)$$

드레인-소스 전압의 변화가 생기므로  $S_2$  게이트-드레인 커패시턴스  $C_{gd2}$ 에 의해 전류가 생성된다. 이 전류는  $C_{gd2}$ 를 통해 게이트 저항  $R_{g2}$ 로 흐른다. 이 결과로  $V_{gs2}$ 에는  $R_{g2}$ 의 전압강하를 통한 전압이 걸린다.  $C_{gd2}$ 에 의해 생성된 전류와 그에 따른 전압강하의 값은 식 (6), (7)과 같다. 이때  $V_{gs2}$ 의 값은  $V_{ds2}$ 의 변화에 의해 일어나며 이는  $V_{ds1}$ 에 종속되어 나타난다. 그러므로  $t_{miller}$ 를 결정하는  $R_{g1}$ 을 통해  $V_{gs2}$ 의 노이즈를 조절할 수 있다.

**모드 4** [ $t_3 - t_4$ ] :  $t_3$ 부터는  $V_{gs1}$ 이  $V_{gs-miller}$ 에서  $V_{GG}$ 까지 도달하는 시간이며, 이 구간에서는 이미 드레인 전류나 드레인-소스 전압의 변화가 다 일어난 후이기 때문에 하단 스위치에 영향을 끼치지 못하는 구간이다.

전체적인 스위치 턴-온의 동작에서 하단 스위치의 게이트 전압 노이즈  $V_{gs2}$ 는 식 (8)과 같이 각각의 게이트 저항  $R_{g1}$ ,  $R_{g2}$ 로 표현 될 수 있는데 이때 각각의 게이트 저항을 선정하여 하단 스위치의 게이트 전압 노이즈를 조절 할 수 있다.

$$V_{gs2} = \frac{R_{g2}}{R_{g1}} \cdot \frac{C_{gd2} \cdot (V_{GG} - v_{gs-miller})}{C_{gd1}} \quad (8)$$

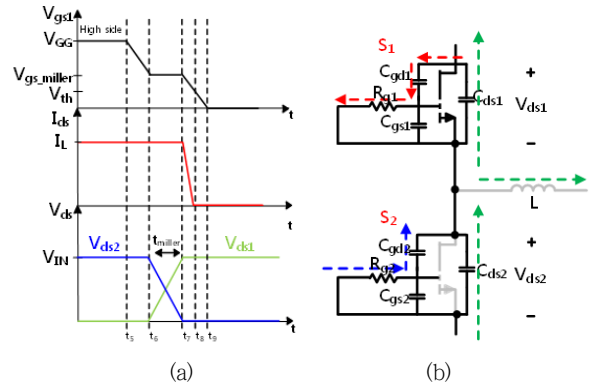


그림 3 상단 스위치 턴-오프 시의 (a)파형 및 (b)회로

Fig. 3 (a) Voltage and current waveforms and (b) circuit at high side GaN HEMT turn-off switching.

### 2.2 스위치 턴-오프 동작

그림 3은 상단 스위치의 턴-오프 파형과 회로를 나타낸다. 턴-오프 동작 또한  $V_{gs2}$ 의 감소에 따라 여러 개의 모드로 나누어진다.

**모드 5** [ $t_5 - t_6$ ] : 앞의 모드 4와 마찬가지로 전류나 전압의 변화가 일어나기 전 구간으로 하단 스위치에 영향을 주지 못하는 구간이다.

**모드 6** [ $t_6 - t_7$ ] :  $V_{gs1}$ 이  $V_{GG}$ 에서  $V_{gs-miller}$ 로 감소하여 일정한 값을 나타내는 구간이다. 이 구간에서는 출력 커패시턴스  $C_{oss1}$ 가 충전되어  $V_{ds1}$ 이 0에서부터  $V_{IN}$ 까지 증가한다. 턴-온 특성과 비슷하게  $V_{ds1}$ 의 변화는  $V_{ds2}$ 의 변화를 일으키고 이로 인해  $V_{gs2}$ 는 일정한 값을 갖는다. 상단 스위치의 게이트 전류 식 (9)를 제외한 모든 식은 모드 3과 같다.

$$i_{g1} = \frac{V_{gs-miller} - 0}{R_{g1}} \quad (9)$$

**모드 7** [ $t_7 - t_8$ ] :  $t_7$ 에서 출력 커패시턴스  $C_{oss}$ 는 0V에서  $V_{IN}$ 까지 충전을 끝낸다. 이후 모드 5에서 드레인 전류는  $I_L$ 에서 0으로 감소한다.

**모드 8** [ $t_8 - t_9$ ] :  $V_{gs1}$ 이  $V_{th}$ 에서 0V로 일정한 RC 시정수를 갖고 감소하는 구간이다.

턴-오프 시에 하단 스위치에 인가되는 게이트 전압의 크기  $V_{gs2}$ 는 식 (10)과 같으며 이때 의도치 않은 턴-온 현상은 일어나지 않지만 게이트 전압이 음으로 인가되는 경우로 인해 다음 스위치 온 동작에 영향을 끼칠 수 있다.

$$V_{gs2} = \frac{R_{g2}}{R_{g1}} \cdot \frac{C_{gd2} \cdot v_{gs-miller}}{C_{gd1}} \quad (10)$$

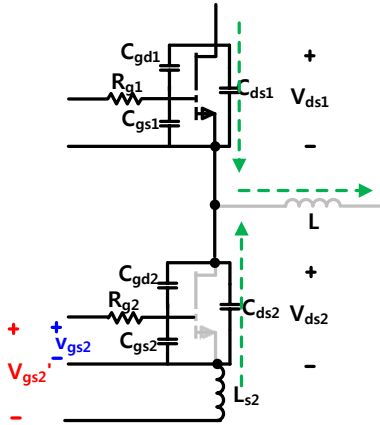


그림 4 기생 인덕턴스를 포함하는 동기 벡 컨버터 회로  
 Fig. 4 Circuit diagram of the synchronous buck converter with parasitic inductance

그림 4의 회로에서  $S_2$ 의 소스에 추가된 인덕터를  $L_{s2}$ 이라고 명명한다. 측정도구를 이용하여 측정 하는 전압은  $V_{gs2}'$ 로 실제 하단 게이트 전압  $v_{gs2}$ 에 기생 인덕터에 인가된 전압이 합쳐져 나타난다. 이때 기생 인덕터에 인가되는 전압은 환류 되던 전류가 감소하면서 생긴 전류 기울기에 의해 발생하고 식은 다음과 같다.

$$V_{Ls2} = L_{s2} \frac{I_L}{t_2 - t_1} \quad (11)$$

$$t_1 = -\tau_{iss} \cdot \ln\left(1 - \frac{v_{th}}{V_{GG}}\right), t_2 = -\tau_{iss} \cdot \ln\left(1 - \frac{v_{gs-miller}}{V_{GG}}\right)$$

실제 게이트에는 공진으로 인한 전압이 인가되지만 본 논문에서는 하단 게이트-소스 전압의 최대 크기에 초점이 맞춰져 있다. 따라서 해석의 간편화를 위하여 드레인 전류에 의해 인덕터에 걸리는 전압의 크기만을 계산 값 및 시뮬레이션 값에 더하도록 한다.

### 3. 시뮬레이션 검증

#### 3.1 GaN HEMT와 Si MOSFET 게이트-소스 노이즈 비교

앞서 분석한 각각의 모드에서 GaN HEMT는 모드별 시간이 짧아 식 (5)의 값이 큰 반면에 Si MOSFET의 경우 기생커패시터의 크기가 GaN HEMT보다 크기 때문에 전류가 상승하는 시간이거나  $t_{miller}$ 의 값이 커서 식 (5)으로 도출되는 기울기 값이 작아진다. 그로인해 Si MOSFET의 상단 스위치 턴-온, 오프에 의한 하단 스위치 게이트 전압 노이즈의 크기는 GaN HEMT에 비해 작아지고, GaN HEMT보다 게이트 전압정격 혹은 문턱전압이 높기 때문에 Half-Bridge 구조에서 기생성분 및 게이트 저항에 의한 영향 분석이 적다. 이를 검증하기 위하여 표 2와 같은 조건으로

시뮬레이션을 동작하여 GaN HEMT와 Si MOSFET의 하단 스위치 게이트-소스 노이즈 크기를 비교한다. 그림 5의 시뮬레이션을 통해 GaN HEMT와 Si MOSFET의 게이트 전압  $V_{gs1}$ 의 증가 속도, 상단 및 하단 스위치의 드레인-소스 전압  $V_{ds1}$ ,  $V_{ds2}$  등의 기울기나 크기가 달라짐을 알 수 있다. 이 결과로 하단 스위치의 게이트 전압 노이즈  $V_{gs2}$ 가 GaN HEMT의 경우 1.8V, Si MOSFET의 경우 0.1V로 발생한다. 이 값들은 GaN HEMT의 경우 문턱전압을 순간적으로 넘게 되므로 이 현상이 유지 될 경우 턴-온 오류로 이어질 수 있지만 Si MOSFET의 경우 0.1V는 문턱전압에 많이 못 미치므로 턴-온 오류의 가능성이 적다는 것을 알 수 있다. 따라서 GaN HEMT에서는 게이트 전압의 문턱전압과 정격전압을 고려하여 게이트 저항에 따라 게이트 전압 노이즈의 경향과 그 값을 비교할 필요가 있다.

표 2 시뮬레이션 파라미터  
 Table 2 Simulation parameters

$V_{IN}$	$V_{GG}$	$R_{g1}$	$R_{g2}$
100 [V]	7.5 [V]	25 [ $\Omega$ ]	10 [ $\Omega$ ]

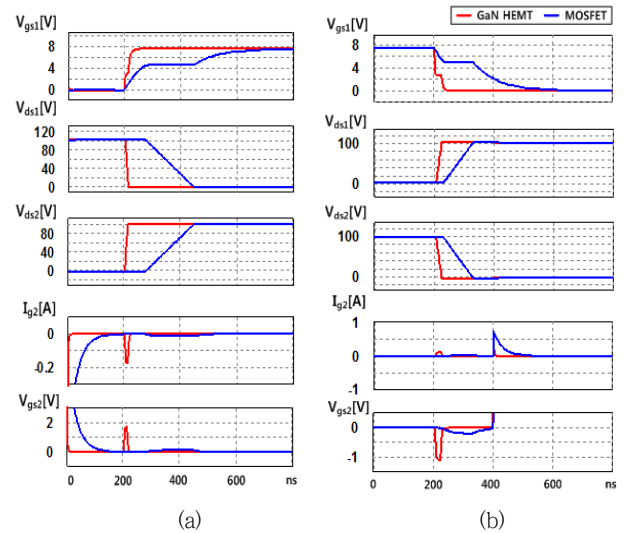


그림 5 GaN HEMT와 Si MOSFET 상단 스위치 턴-온시 비교파형 (a) 턴-온 (b) 턴-오프

Fig. 5 Comparison of switching waveforms of GaN HEMT and Si MOSFET (a) turn-on and (b) turn-off.

#### 3.2 상단 게이트 저항의 영향

수식 (8)에 의해 게이트 전류는 상단 게이트 저항  $R_{g1}$ 에 반비례 하며 상단 게이트 전류  $i_{g1}$ 이 감소하면  $t_{miller}$ 가 증가하고, 결과적으로 하단 드레인-소스 전압  $V_{gs2}$ 의 노이즈를 증가시킨다. 앞의 표 2의 파라미터를 유지하고, 상단 게이트 저항  $R_{g1}$ 을 25

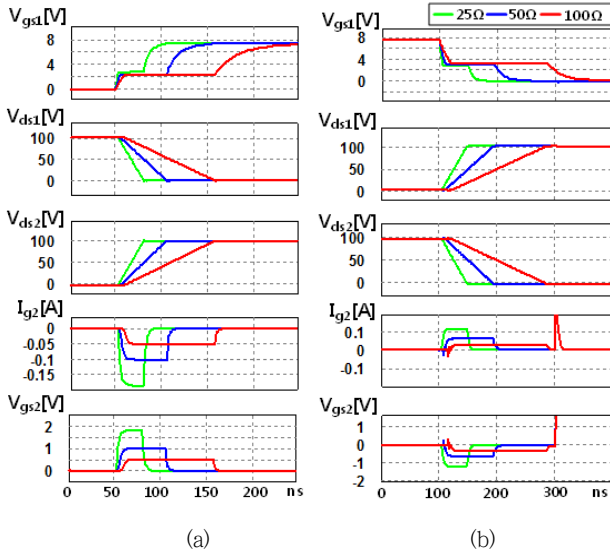


그림 6  $R_{g1}$ 의 값 변화를 통한 상단 스위칭 파형 (a) 턴-온, (b) 턴-오프

Fig. 6  $S_1$  Switching waveforms according to  $R_{g1}$  (a) turn-on and (b) turn-off.

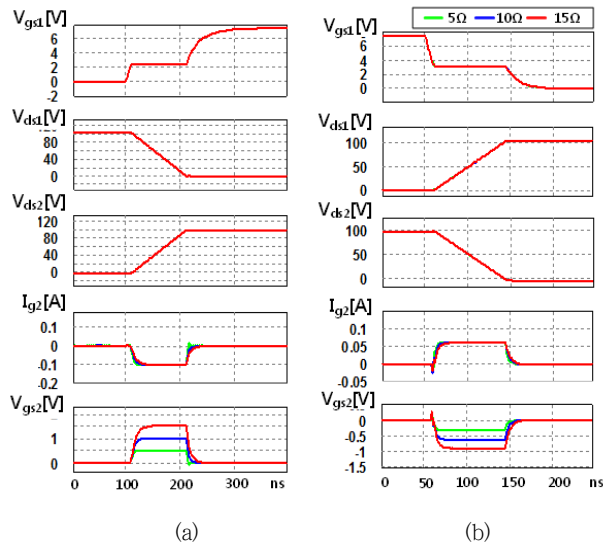


그림 7  $R_{g2}$ 의 값 변화를 통한 상단 스위칭 파형 (a) 턴-온, (b) 턴-오프

Fig. 7  $S_1$  Switching waveforms according to  $R_{g2}$  (a) turn-on and (b) turn-off.

$5\Omega, 10\Omega, 15\Omega$ 로 변화시키면서 시뮬레이션을 진행한다. 그림 5의 파형은  $R_{g1}$ 을 변화시켜 얻은 시뮬레이션 결과 파형이다. 턴-온 파형 기준 좌측부터 각각  $R_{g1}$ 이  $25\Omega, 50\Omega, 100\Omega$ 로 달라지며, 맨 위의 파형인 상단 게이트 전압  $V_{gs1}$ 의 밀러평면이 수식 (3)과 같이 게이트 저항의 크기와 비례하고, 상단 및 하단의 드레

인-소스 전압의 기울기가 각각 달라진다. 그 결과 상단 게이트 저항이 가장 작은  $25\Omega$ 에서  $V_{gs2}$ 에 가장 큰 전압이 인가되고, 경향성과 그 수치가 수식적 분석과 일치함을 보인다.

### 3.3 하단 게이트 저항의 영향

수식 (8)에 의해 하단 게이트 전압은 하단 게이트 저항에 비례 하는 것을 보이며 이에 기생 인덕턴스를 제외한 표 2의 파라미터를 유지하면서 하단의 게이트 저항  $R_{g2}$ 를  $5\Omega$ 에서  $10\Omega, 15\Omega$  순으로 변화하여 시뮬레이션을 진행한다. 그림 7은 하단 게이트 저항  $R_{g2}$ 를 변화시키면서 시뮬레이션을 진행한 파형이고, 하단 게이트 전류  $i_{g2}$ 까지는 동일한 파형을 보이다가 하단 게이트 전압  $V_{gs2}$ 의 크기가 하단 게이트 저항  $R_{g2}$ 에 비례하여 증가함을 보인다. 따라서  $R_{g2}$ 가 가장 큰  $15\Omega$ 일 때  $V_{gs2}$ 는  $1.8V$ 로 가장 큰 값을 가지며, 이는 수식적 분석 모델과 같은 결과를 보인다.

시뮬레이션 결과는 소스단의 기생 인덕턴스를 포함하지 않은 파형으로 실제 PCB에서 기생 인덕턴스 값을 계속하여 식 (11)에 대입한 결과를 더해 주어야 한다. PCB의 기생 인덕턴스는 식 (12)와 같이 계산 될 수 있고, 본 논문에 사용된 PCB를 실측하여 인덕턴스를 계산해 보면 약  $0.9nH$ 가 나오게 된다 [10].

$$L_{s2} = 2x \cdot \ln\left(\frac{5.98h}{0.8w}\right) \quad (12)$$

식 (11)에 식 (12)를 통해 계산한 인덕턴스 값을 대입하여 전압의 크기를 구하면  $0.7V$ 가 나오고, 진행된 시뮬레이션 값에서 이 값을 더해주어야 실제 실험 시 게이트에 측정되는 전압값이 나오게 된다.

## 4. 실험고찰

GaN HEMT를 이용한 동기 벽 컨버터의 실제 회로를 구성하였고, 그림 8은 GaN HEMT를 구동하기 위한 게이트 드라이버 회로를 나타낸다. 표 2와 같이 시뮬레이션과 동일한 조건으로 파라미터를 구성하였고, 표 3과 같이 입력전압  $100V$ , 스위칭 주파수  $50kHz$ , 듀티  $0.5$ , 출력 전력  $50W$ 를 유지하면서 스위치를 동작 시킨다. 앞선 시뮬레이션과 같이 하단 게이트 저항  $R_{g2}$ 가  $10$

표 3 시스템 사양

Table 3 System parameters

파라미터	값
입력전압	100 [V]
스위칭주파수	50 [kHz]
출력전력	50 [W]
듀티	0.5
문턱전압	1.6 [V]
밀러전압	3 [V]



Ω일 때, 상단 게이트 저항  $R_{g1}$ 을 25Ω, 50Ω, 100Ω으로 변화시키고 상단 게이트 저항  $R_{g1}$ 을 50Ω으로 고정된 상태에서 하단 게이트 저항  $R_{g2}$ 를 5Ω에서 10Ω, 15Ω순으로 변화시키면서 하단 게이트 전압  $V_{gs2}$ 를 도출하는 실험을 진행하였다.

그림 9는 상단 게이트 저항  $R_{g1}$ 의 크기를 변화 시키면서 실험한 파형이고, 그림 10은 하단 게이트 저항  $R_{g2}$ 의 크기에 따라 변하는 하단 게이트 전압  $V_{gs2}$ 의 파형이다. 이 두 개의 파형과 앞서 계산한 계산 값 및 시뮬레이션의 결과를 표 4을 통해 비교 하였

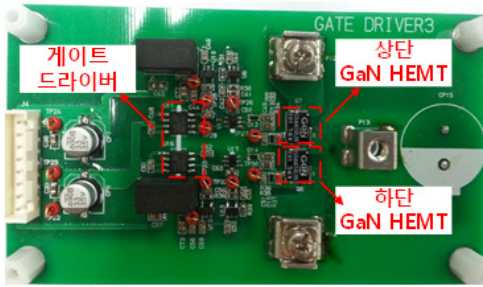


그림 8 동기 벡 컨버터 게이트 드라이버  
Fig. 8 Gate driver for synchronous buck converter

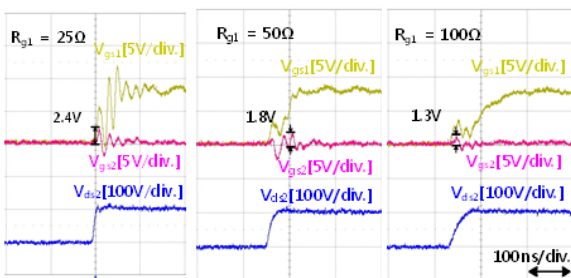


그림 9  $R_{g1}$  변화에 따른 스위치 파형 ( $R_{g2}=10\Omega$ )  
Fig. 9 Switching waveforms according to  $R_{g1}$  (turn-on) ( $R_{g2}=10\Omega$ )

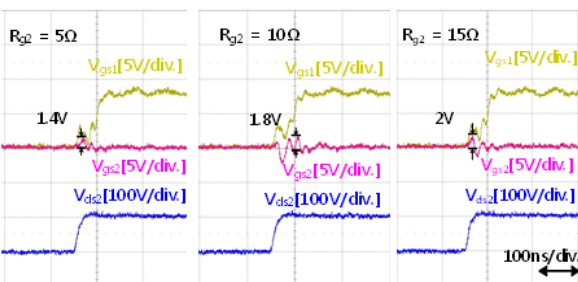


그림 10  $R_{g2}$  변화에 따른 스위치 파형 ( $R_{g1}=50\Omega$ )  
Fig. 10 Switching waveforms according to  $R_{g2}$  (turn-on) ( $R_{g1}=50\Omega$ )

다. 표를 통해 결과를 확인했을 때  $R_{g1}$ 을 증가시킬수록  $V_{gs2}$ 의 값은 작아지는 것과  $R_{g2}$ 를 증가시킬수록  $V_{gs2}$ 이 커지는 것을 확인하였다.

그림 12과 그림 13는 실험으로 측정된 값에서 기생 인덕터에 인가되는 전압을 빼서 각각  $R_{g1}$ 을 변화시켰을 때,  $R_{g2}$ 를 변화시켰을 때의 하단 스위치에 인가되는 전압의 크기를 비교한 그래프

표 4 시스템 사양

Table 4 System parameters

$R_{g1}$ ( $R_{g2}=10\Omega$ )	25[Ω]	50[Ω]	100[Ω]
시뮬레이션값 [V]	2.58 / -1.2	1.64 / -0.6	1.17 / -0.3
수식 계산값 [V]	2.5 / -1.2	1.7 / -0.6	1.2 / -0.3
실험값 [V]	2.4 / -0.8	1.8 / -0.6	1.3 / -0.5
$R_{g2}$ ( $R_{g1}=50\Omega$ )	5[Ω]	10[Ω]	15[Ω]
시뮬레이션값 [V]	1.21 / -0.3	1.64 / -0.6	2.23 / -0.9
수식 계산값 [V]	1.2 / -0.3	1.7 / -0.6	2.2 / -0.9
실험값 [V]	1.4 / -0.6	1.8 / -0.6	1.8 / -0.8

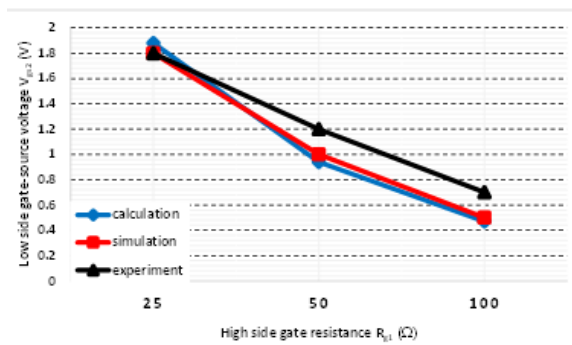


그림 11  $R_{g1}$  변화에 따른 하단 게이트 전압  
Fig. 11 Low side gate voltage values for different values of  $R_{g1}$  (turn-on)

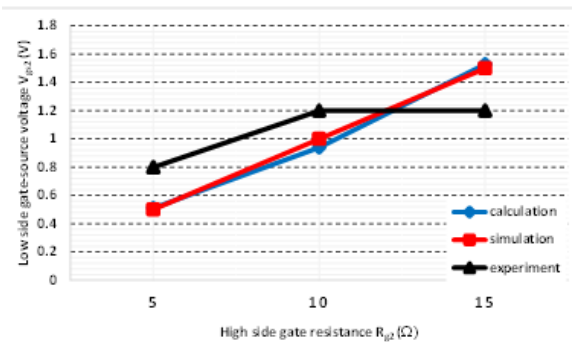


그림 12  $R_{g2}$  변화에 따른 하단 게이트 전압  
Fig. 12 Low side gate voltage values for different values of  $R_{g2}$  (turn-on)

이다. 실제 게이트에 인가되는 전압 실험값과 시뮬레이션, 수식 계산값을 비교하였을 때 그 크기와 경향성이 매우 작은 오차를 갖는 것을 알 수 있다. 이론 및 실험에 근거할 때 하단 게이트에 인가되는 전압  $V_{gs2}$ 의 크기를 줄이기 위해서는 상단 게이트 저항의 크기를 키워야 하지만 이는 실제 스위치의 턴-온, 턴-오프 시간을 늘리는 단점이 있어, 사용하고자 하는 어플리케이션 스위칭 주파수에 따라 설계를 해야 한다. 하단 게이트 저항의 경우  $V_{gs2}$ 의 크기를 감소하기 위해서는 작게 선정을 하여야 하지만 하단 스위치에 인가되는 게이트 전류를 제한하기 위해 최소한의 저항은 존재해야 한다.

### 5. 결 론

본 논문에서는 차세대 전력반도체 중 하나인 GaN HEMT를 사용한 Half-Bridge 구조에서 두 개의 상보 동작하는 스위치의 상호작용에 의한 하단 스위치의 게이트 전압을 수식적 모델을 통해 분석하였다. 상단 스위치 턴-온, 오프에 따른 하단 스위치에 생기는 영향을 분석하였고, 이론에 근거하여 하단 게이트 전압에 관련된 수식을 도출하였다. 이때 각각의 모드별 수식은 Si MOSFET과 유사한 형태를 갖고 있지만 GaN HEMT의 작은 기생커패시턴스 및 게이트-소스 정격에 의해 GaN HEMT에서의 분석은 Si MOSFET과는 달리 중요한 의미를 가지게 되었고, 시뮬레이션을 통해 그 값을 비교하여 그 중요성을 나타내었다. 계산된 결과 값과 경향성은 상단 게이트 저항, 하단 게이트 저항의 변화에 따른 시뮬레이션 및 실험에 의해 증명되었다. 제안된 분석모델은 GaN HEMT를 이용한 Half-Bridge 구조를 설계 할 때 가이드가 될 수 있을 것이라 기대한다.

### References

[1] J. Millan, "Survey of Wide Bandgap Power Semiconductor Devices," IEEE Trans. Power Electron. vol. 29, no. 5, pp. 2155-2163, 2014.

[2] N. Kminski, "State of the art and the future of wide band gap devices," in Power Electronics and Applications, 2009. EPE '09.13th European Conference on, pp. 1-9, 2009.

[3] J. Wang, R. T. Li and H. S. Chung, "An Investigation into the Effects of the Gate Drive Resistance on the Losses of the MOSFET-Snubber-Diode Configuration," IEEE Trans. Power Electronics, vol. 27, no. 5, pp. 2657-2672, 2012.

[4] K. Peng, S. Eskandari, and E. Santi, "Analytical Loss Model for Power Converters with SiC MOSFET and SiC Schottky Diode Pair," in Proc. IEEE Energy Conversion Congress and Exposition (ECCE), pp.6153-6160, 2015

[5] K.Wang, X. Yang, H.C Li, H. Ma, X. Zeng and W. Chen, "An

Analytical switching Process Model of Low-Voltage eGaN HEMTs for Loss Calculation," IEEE Trans. Power Electron. vol. 31, no. 1, pp. 635-647, 2016.

[6] M. Rodriguez, A. Rodriguez, P. F. Miaja, D. G. Lamar and J. S. Zuniga, "An Insight into the Switching Process of Power MOSFETs: An Improved Analytical Losses Model," IEEE Trans. Power Electronics, vol. 25, no. 6, pp. 1626-1640, 2010

[7] M.Danilovic, Z. Chen, R. Wang and F. Luo, D. Borovevich, P. Mattavelli, "Evaluation of the Switching Characteristics of a Gallium-Nitride Transistor," in Proc. IEEE Energy Conversion Congress and Exposition (ECCE), pp. 2681-2688, 2011.

[8] D. Johan, J. Pierre, F. David, "Improvement of GaN Transistors Working Conditions To Increase Efficiency Of A 100W DC-DC Converter," in Proc IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 656-663, 2013.

[9] J. Lautner and B. Piepenbreier, "Analysis of GaN HEMT Switching Behavior," 9th International Conference on Power Electronics-ECCE Asia (ICPE-ECCE Asia 2015), pp. 567-574, 2015

[10] Texas Instruments, "High Speed PCB Layout Techniques,"

### 저 자 소 개



#### 채 훈 규 (Hun-Gyu Chae)

1989년 11월 7일생. 2015년 성균관대학교 전자전기컴퓨터공학 졸업. 2015~현재 동 대학원 전자전기컴퓨터공학과 석사과정.



#### 김 동 희 (Dong-Hee Kim)

1984년 5월 27일생. 2009년 성균관대학교 전자전기공학과 졸업 (학사). 2011년 동대학원 태양광시스템협동과정 졸업 (석사). 2015년 동대학원 전기전자컴퓨터공학과 졸업 (박사). 2015년~2016년 성균관대학교 박사후연구원. 2016년~현재 동명대학교 전기공학과 조교수. 주식회사 창성 기술고문.



**김민중 (Min-Jung Kim)**

1986년 8월 24일생. 2012년 성균관대학교 전자전기공학과 졸업(학사). 2012년~현재 동 대학원 전기전자컴퓨터공학과 석박사 통합과정.



**이병국 (Byong Kuk Lee)**

1968년 12월 25일생. 1994년 한양대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 미국 Texas A&M University 전기공학과 졸업(공학박사). 2002년~2003년 Postdoctoral Research Associate, Texas A&M University. 2003년~2005년 한국전기연구원 산업전기연구단 전력전자그룹 선임연구원(팀장). 2006년~현재 성균관대 정보통신공학부 정교수. 2004년~현재 IEEE Senior Member, IEEE VPPC2012 General Chair.