

# 높은 PSRR을 갖는 Low-Dropout(LDO) 레귤레이터

## High PSRR Low-Dropout(LDO) Regulator

김인혜\*, 노정진\*

In-Hye Kim\*, Jeong-Jin Roh\*

### Abstract

As IoT industry are growing fast, The importance of power management system is also being magnified. CMOS High power-supply rejection ratio(PSRR) Low-dropout(LDO) regulator is achieved by the proposed ripple Subtractor, Feed-forward capacitor and OTA in this paper. The LDO is implemented in  $0.18\text{-}\mu\text{m}$  CMOS technology. With the proposed structures, in the maximum loading of 40mA, Simulation result achieves PSRR of  $-73.4\text{dB}$  at 500kHz and PSRR better than  $-40\text{dB}$  when frequency is below 10MHz with  $6.8\text{-}\mu\text{F}$  output capacitor.

### 요약

IoT 산업이 빠르게 성장하면서 전원 관리 집적회로의 중요성이 부각되고 있다. 본 논문에서는 리플 Subtractor, 피드 포워드 커패시터, OTA를 이용한 LDO 구조를 제안한다. 이를 통해 10MHz가 넘는 고주파 영역에서도  $-40\text{dB}$  이상 높은 전원 전압 제거비(PSRR)를 얻었다. 설계된 Low-Dropout(LDO) 레귤레이터는  $0.18\mu\text{m}$  CMOS 공정에서 설계되었으며 시뮬레이션 결과 PSRR은 부하 전류 40mA, 500kHz에서  $-73.4\text{dB}$ 다. 최대 구동 가능 전류는 40mA이다.

*Key words* : Low-Dropout Regulator, Power-supply rejection ratio, supply ripple cancellation, feedforward, operational transconductance amplifier

\* Dept. of Electronics and Communication engineering,  
Hanyang University

★ Corresponding author

[iroh@hanyang.ac.kr](mailto:iroh@hanyang.ac.kr) TEL: 031-400-5168

※ Acknowledgment: "This material is based upon work supported by the Ministry of Trade, Industry & Energy(MOTIE, Korea) under Industrial Technology Innovation Program No.10063683, 'Ultra-precision and ultra-low-power analog circuit IP for smart sensors of mobile devices'.

Manuscript received Sep. 20, 2016; received Sep. 23, 2016.  
accepted Sep. 29, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서론

IoT가 새로운 산업 동력으로 등장하면서 센서 시장이 빠르게 성장하고 있다. 이에 따라 센서에 전원을 공급하는 Low-Dropout(LDO) 레귤레이터의 수요 또한 증가하고 있고 센서 전원의 노이즈를 줄이는 기술 또한 요구되고 있다.

LDO의 노이즈를 측정하는 기준은 전원 전압 제거비(PSRR)이다. 기존 LDO의 PSRR은 수십 kHz 대역의 주파수 대역에서 다뤄졌으나 통신 주파수 증가로 수 MHz 이상의 주파수 영역에서도 높은 PSRR을 유지하는 LDO 기술이 요구되고 있다.<sup>[1]</sup> 높은 PSRR을 얻기 위한 기존 방식은 피드 포워드 증폭기를 설계하는 방식이다. 하지만 이 경우 시스템 복잡성이 증가하고 25mA 이하의 낮

은 전류만 구동할 수 있다.<sup>[5]</sup> 오류 증폭기를 2~3 단계에 걸쳐 설계하는 방식도 제안되나 시스템 안정성이 감소하고 수십 kHz 대역에서 PSRR 성능이 급격하게 떨어진다.

본 논문에서는 수 MHz 대역에서도 높은 전원 전압 제거비(PSRR)를 갖는 Low-Dropout(LDO) 레귤레이터를 설계하였다. 시뮬레이션 결과 PSRR 부하 전류가 40mA일 때 500kHz에서 -73.4dB이 나왔다. 로드 레귤레이션은 0.75mV/mA이다.

## II. 본론

### 1. 회로 구성과 동작 원리

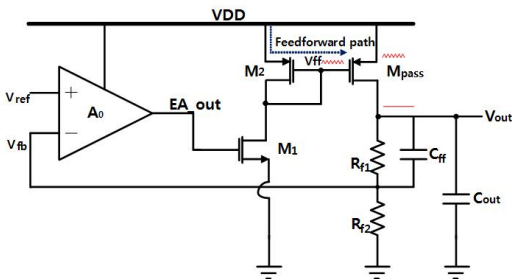


Fig. 1. Block diagram of proposed Low-Dropout Regulator  
그림 1. 제안된 Low-Dropout 레귤레이터

그림 1은 본 논문에서 설계한 Low-Dropout (LDO) 레귤레이터 회로도이다. 에러 앰프는 주파수 특성이 우수한 OTA(Operational Transconductance Amplifier)를 사용하였다. 그리고 PSRR을 향상하기 위해  $M_2$ 를 Subtractor로 설계하여 입력 리플을 상쇄했다. 또한, 피드 포워드 커패시터  $C_{ff}$ 를 사용하여 PSRR 주파수 특성을 변화시켰다. 이를 통해 고주파에서도 높은 PSRR을 얻을 수 있다.

가. 넓은 주파수 대역폭을 갖는 OTA

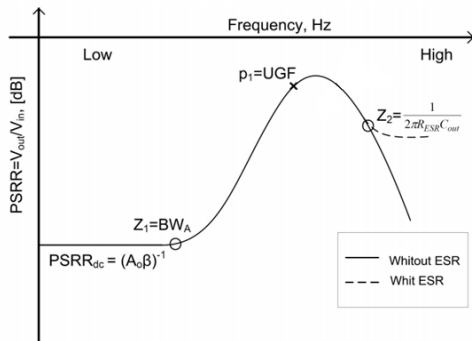


Fig. 2. PSRR curve of a linear regulator  
그림 2. 선형레귤레이터의 PSRR 커브

그림 2는 일반적인 선형레귤레이터의 주파수에 따른 PSRR을 나타낸 것이다.<sup>[2]</sup> 이 때  $A_o$ 는 에러 앰프 DC 게인,  $BW_A$ 는 에러 앰프의 단일 이득 주파수, UGF는 선형레귤레이터 루프의 단일 이득 주파수를 의미한다. 그림 2와 같이 LDO PSRR은 에러 앰프의 단일 이득 주파수 이후에 성능이 악화된다. 따라서 고주파에서의 PSRR을 향상하기 위해서는 넓은 대역폭을 갖는 에러 앰프 설계가 중요하다.

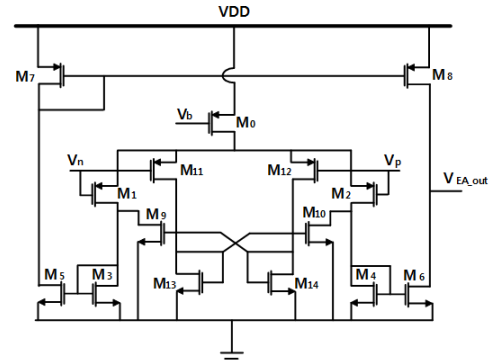


Fig. 3. Proposed Operational Transconductance Amplifier  
그림 3. 제안된 Operational Transconductance Amplifier

그림 3은 제안된 OTA의 회로도를 나타낸다.<sup>[3]</sup> Low-Dropout(LDO) 레귤레이터에서 에러 앰프는 피드백 신호와 기준 전압의 차를 증폭하는 역할을 한다. 높은 PSRR을 갖기 위해 그림 2와 같은 구조를 사용하였고 표 1에 시뮬레이션 결과를 나타내었다.

Table 1. Simulation result of OTA

표 1. OTA 시뮬레이션 결과

Parameter	Simulation	Unit
Supply voltage	3	V
DC Gain	66	dB
UGF	10.7	MHz
Phase Margin	68	degree

나. PSRR 주파수 특성 변화

제안된 논문에서는 피드 포워드 커패시터  $C_{ff}$ 를 사용하여 PSRR에 제로(zero) 주파수를 추가하여 에러 앰프 단일 이득 주파수 이후에도 높은 PSRR이 유지되도록 하였다.  $C_{ff}$ 를 조절하여 에러 앰프 단일 이득 주파수에 가깝게 제로 주파수를 만들 수 있다. PSRR 전달 함수는 다음 식으

로 나타낼 수 있다.

$$PSRR_{prop} = \frac{V_{out}(s)}{V_{DD}(s)} \quad (1)$$

$$V_{out}(s) = [g_{m,pass}(V_{DD}(s) - V_{ff}(s)) + g_{ds,pass}(V_{DD}(s) - V_{out}(s))] \cdot Z_L \quad (2)$$

이 때  $V_{out}(s)$ 는 출력 전압,  $V_{DD}(s)$ 는 입력 전압,  $V_{ff}(s)$ 는 패스 트랜지스터 게이트 전압의 전달 함수를 의미한다. 그리고  $g_{m,pass}$ ,  $g_{ds,pass}$ 는 패스 트랜지스터 transconductance, output conductance를 의미한다.  $Z_L$ 은 부하 임피던스를 나타낸다.  $V_{ff}(s)$ 는 다음과 같다.

$$V_{ff}(s) = \frac{-g_{m1}V_{EA\_out}(s) + g_{m2}V_{DD}(s)}{g_{ds1} + g_{m2}} \quad (3)$$

$V_{EA\_out}(s)$ 는 에러 앰프 출력 전달 함수,  $g_{m1}$ ,  $g_{ds1}$ ,  $g_{m2}$ 는 각각 그림 1의 M1 트랜지스터의 transconductance, output conductance, M2 트랜지스터의 transconductance를 의미한다.  $V_{EA\_out}(s)$ 는 다음 식으로 나타낼 수 있다.

$$V_{EA\_out}(s) = \frac{R_{f2}R_{f1}C_{ff}s + 1}{R_{f2}R_{f1}C_{ff}s + R_{f1} + R_{f2}} \cdot \frac{-A_0}{1 + sR_{EA\_out}C_{EA\_out}} V_{out}(s) \quad (4)$$

$R_{f1}$ ,  $R_{f2}$ ,  $C_{ff}$ 는 피드백 저항, 피드 포워드 커패시터를 의미한다.  $R_{EA\_out}$ ,  $C_{EA\_out}$ 은 그림 1의 OTA의 출력 저항, 기생 커패시터를 의미한다.  $A_0$ 는 에러 앰프 DC 게인을 의미한다. 이를 종합하여 PSRR은 다음과 같다.

$$\therefore \frac{V_{out}(s)}{V_{DD}(s)} = \frac{Z_L g_{m,pass} + g_{m,pass} Z_L \frac{g_{m2}}{g_{m2} + g_{ds1}} + g_{ds,pass} Z_L}{\frac{R_{f1}R_{f2}C_{ff}s + 1}{g_{ds1} + g_{m2}} \frac{A_0}{1 + sR_{EA\_out}C_{EA\_out}} + Z_L g_{ds,pass}}$$

식(5)를 간단히 정리하면 (6)과 같다.

$$\frac{V_{out}(s)}{V_{DD}(s)} \approx \frac{A_0}{1 + A_{ol}} \frac{(1 + sR_{EA\_out}C_{EA\_out})(R_{f1}R_{f2}C_{ff}s + R_{f1} + R_{f2})}{(1 + s \frac{R_{EA\_out}C_{EA\_out}}{1 + A_{ol}})(R_{f1}R_{f2}C_{ff}s + 1)(1 + s \frac{C_{out}}{Z_L + g_{ds,pass}})} \quad (6)$$

$$A_{ol} = \frac{g_{m1}}{g_{m2}} \frac{g_{m,pass}}{Z_L + g_{ds,pass}} \beta A_0 \quad (7)$$

$A_{ol}$ 은 LDO 전체 루프 게인,  $\beta$ 는 피드백 팩터를 의미하고  $C_{out}$ 은 출력 커패시터이다. PSRR 전달 함수는 식(6)과 같고 폴, 제로가 서로 상쇄되어 non-dominant

pole인  $F_{non.dom} = \frac{Z_L + g_{ds,pass}}{C_{out}}$ 에서 PSRR 성능이 떨어진다. 그림 4는 기존 LDO와 제안된 LDO의 PSRR 주파수 과형을 비교한 것이다.

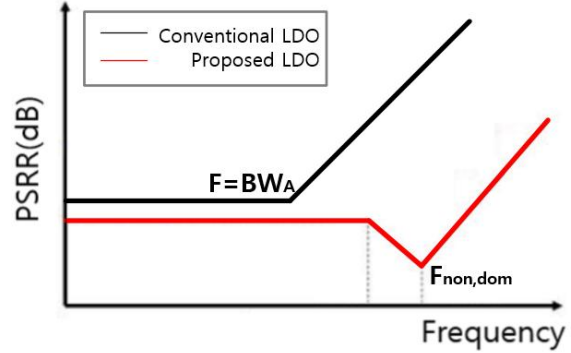


Fig. 4. PSRR curve of Proposed LDO

그림 4. 제안된 LDO PSRR 주파수 과형

### III 측정 결과

설계된 LDO는 0.18 $\mu$ m CMOS 공정으로 제작되었다. 그림 5는 LDO 칩 레이아웃이다.

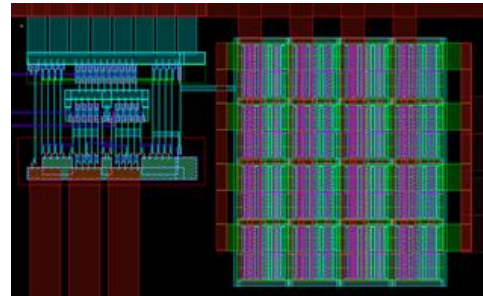


Fig. 5. LDO chip Layout

그림 5. LDO 칩 레이아웃

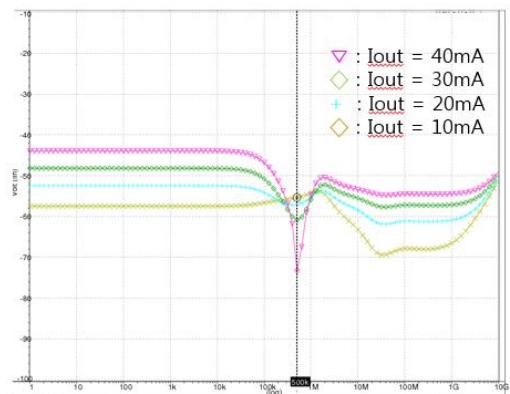


Fig. 6. PSRR simulation result for different load currents

그림 6. 부하전류에 따른 LDO PSRR 시뮬레이션 결과

그림 6은 PSRR 시뮬레이션 결과를 나타낸 것이다. 부하 전류는 10mA에서 40mA까지 변화시키면서 시뮬레이션 하였다. 500kHz에서 최고점을 찍고 다시 감소한다.

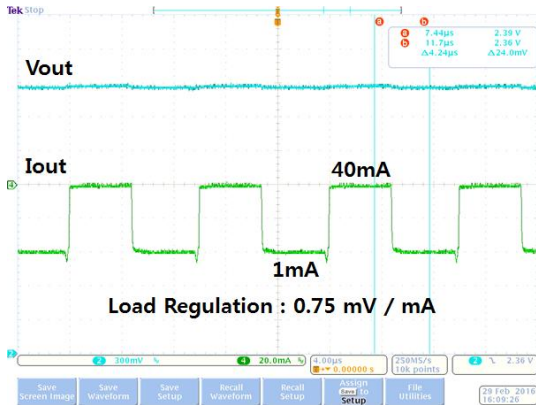


Fig. 7. Load Regulation of LDO  
그림 7. LDO 로드 레귤레이션 파형

그림 7은 제작된 LDO의 로드 레귤레이션 파형을 나타낸 것이다. 로드 레귤레이션은 0.75 mV / mA로 측정 되었다. Table 2는 제안된 LDO와 LDO PSRR에 관련된 논문 2편과 PSRR을 비교한 표이다.

Table 2. LDO PSRR Comparison  
표 2. LDO PSRR 비교

	Unit	[1]	[2]	This work
$I_{out,max}$	mA	50	50	40
Output voltage	V	1	1.6	2.4
Dropout voltage	mV	200	200	200
PSRR	dB	-38	-55	-49
		@1MHz	@1MHz	@1MHz
		-38	-20	-53
		@10MH	@10MH	@10MH
		z	z	z

#### IV 결론

본 논문에서는 생체 신호용 센서의 안정적인 전원 공급을 위한 LDO의 솔루션을 제시하였다. 제

안된 LDO 구조는 헬스 케어 시장에서 센서의 안정성을 높이는 솔루션 개발에 매우 매력적인 기술이 될 것이다.

#### References

[1] Ho-Joon Jang, Yong-Seong Roh, Young-Jin Moon, Jeongpyo Park, and Changsik Yoo, "Low Drop-out(LDO) Voltage Regulator with Improved Power Supply Rejection." *IEEE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, Vol. 12, no. 3, pp. 313-319, September 2012

[2] Saikrishna Ganta, Chang-Joon Park, Daniel Gitzel, Rafael Rivera and Jose Silva-Martinez, "An External Capacitor-less Low Drop-Out Regulator with Superior PSR and Fast Transient Response." *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2013, pp. 137-140

[3] J. Roh, "High-Gain Class-AB OTA with Low quiescent Current." *Analog Integrated Circuits and Signal Processing*, vol.47, No.2, pp.225-228, March 2006.

[4] Ju-Won Park, In-Ho Jun, Jeong-Jin Roh, "An Efficient Voltage Mode 2-Phase Buck Converter for Mobile Systems." *j.inst.Korean.electr.electron.eng*, Vol. 18, no. 3, pp. 320-327, September 2014

[5] Mohamed El-Nozahi; Ahmed Amer; Joselyn Torres; Kamran Entesari; Edgar Sanchez-Sinencio, "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique," *IEEE Journal of Solid-State Circuits*, Vol. 45, no.3, pp. 565-577, March 2010