

# 저 전력 고 이득 주파수 상향변환기를 이용한 Zigbee 송신기 설계

## Zigbee Transmitter Using a Low-Power High-Gain Up-Conversion Mixer

백세영 · 서창원 · 진호정 · 조춘식

Seyoung Baik · Changwon Seo · Ho Jeong Jin · Choon Sik Cho

### 요 약

본 논문에서는 0.18  $\mu\text{m}$  CMOS 공정을 사용한 저 전력 고 이득 주파수 상향변환기를 이용하여 IEEE 802.15.4 규격을 만족하는 직접 변환 송신기를 제안 및 설계한다. 설계된 RF 직접 변환 송신기는 차동입력 디지털-아날로그 변환기, 수동 저역통과 필터, 가변이득 증폭기, Quadrature 주파수 상향 변환기 그리고 차동 출력 구동증폭기로 구성되어 있다. 제안하는 직접변환 송신기에서 핵심적인 부분은 2.4 GHz Zigbee 규격을 저 전력으로 구동하는데 있다. 특히 Quadrature 주파수 상향변환기는 이득 Boosting을 통하여 적은 전류 소모로도 충분한 이득과 선형성을 보이고 있다. 측정결과, 공급전압 1.2 V에서 송신기의 총 소모 전류는 7.8 mA이고, 최대 출력 전력은 0 dBm 이상 그리고 -30 dBc의 ACPR(Adjacent Channel Power Ratio)을 나타내고 있다.

### Abstract

This paper introduces a direct-conversion CMOS RF transmitter for the IEEE 802.15.4 standard with a low-power high-gain up-conversion mixer designed in 0.18  $\mu\text{m}$  process. The designed RF DCT(Direct Conversion Transmitter) is composed of differential DAC(Digital to Analog Converter), passive low-pass filter, quadrature active mixer and drive amplifier. The most important characteristic in designing RF DCT is to satisfy the 2.4 GHz Zigbee standard in low power. The quadrature active mixer inside the proposed RF DCT provides enough high gain as well as sufficient linearity using a gain boosting technique. The measurement results for the proposed transmitter show very low power consumption of 7.8 mA, output power more than 0 dBm and ACPR (Adjacent Channel Power Ratio) of -30 dBc.

Key words: Direct Conversion Transmitter, High-Gain Up-Conversion Mixer, Zigbee, Low Power, ACPR

### I. 서 론

오늘날 전자 장치들 간의 통신 즉, USN convergence에 대한 관심이 증가하면서 장치들 간의 통신규격을 만족하는 시도가 증가하고 있다. 장치들 간의 통신을 지속적으로 지원하기 위하여 저 전력으로 구동하는 요구가 증대

되고 있으며, 이를 이용한 응용 역시 증가하고 있다<sup>[1]</sup>. 그 중에서도 IEEE 802.15.4 규격을 만족하는 Zigbee는 실생활에서도 범용적으로 사용되고 있으며, 저 전력 구동을 위한 노력이 끊임없이 연구되고 있다<sup>[2]</sup>.

IEEE 802.15.4 규격은 크게 세 가지 주파수 대역을 지원한다. 유럽에서는 868 MHz, 북미에서는 915 MHz 그리

「이 연구는 해양수산부 해양시설과 "해양교통 전문인력 양성사업(GNSS 부분)"에 의해 지원되었습니다.

한국항공대학교 항공전자정보공학부(School of Electronics and Information Engineering, Korea Aerospace University)

· Manuscript received July 12, 2016 ; Revised August 25, 2016 ; Accepted September 7, 2016. (ID No. 20160712-074)

· Corresponding Author: Choon Sik Cho (e-mail: cscho@kau.ac.kr)

고 세계적으로는 2.4 GHz 주파수 대역을 지원하고 있다. IEEE 802.15.4의 송신기 규격을 고려했을 때 직접 변환 송신기 구조가 적합하며, 본 논문에서는 저 전력으로 구동하는 2.4 GHz 대역 IEEE 802.15.4 송신기를 제안하였다. 지금까지 저 전력으로 구동하기 위한 IEEE 802.15.4 송신기에 대한 연구는 다음과 같이 요약할 수 있다<sup>[3],[4]</sup>. 송신기 구조를 개선하여 구현하는 방법과, 구조는 Direct Conversion Transmitter(DCT) 구조를 유지하되, 회로 수준의 개선을 이용하여 전체 성능을 개선한 방법이 있다. Zigbee 송신기를 설계할 때 가장 중요하게 고려해야 하는 점은 최종 출력 스펙트럼을 규격에 맞게 Adjacent Channel Power Ratio(ACPR) -30 dB를 만족시키는 것과 최종 출력 전력을 만족하는 것에 있다. 이를 위해 0 dBm 이상의 출력 전력과 이를 만족하는 선형성을 주요한 설계요소로 간주할 수 있다. 이를 만족하는 동시에 저 전력으로 구동하기 위해서 본 논문에서는 DCT를 이용하면서 회로수준에서의 개선을 구현한 상향 주파수 변환기와 DAC를 중점적으로 송신기를 구성하였다.

## II. 제안하는 Zigbee 송신기

### 2.1 송신기 구조

제안하는 송신기는 직접 변환 구조로서 1 MHz 대역의 기저대역 주파수를 2.4 GHz로 변환하는 직접변환 송신기 구조이며 그림 1과 같이 구성하였다. 송신기를 구성할 때 가장 중요한 점은 System budgeting을 하면서 각 블록에서 만족해야 될 성능과 I/O 성능을 규명해야 하는 것이다. 기저대역 모뎀에서 출력되는 신호는 비교적 큰 전력에다 신호가 디지털 신호의 원형에 가까우므로 이 신호를 아날로그 신호로 출력하는 것이 주요한 설계요점이 된다.

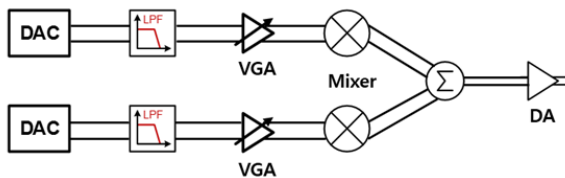


그림 1. 직접 변환 송신기 구조  
Fig. 1. Structure of the direct-conversion transmitter.

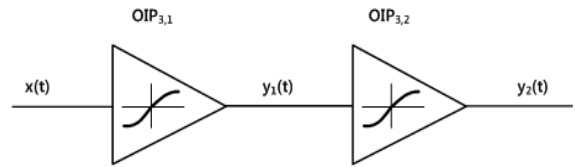


그림 2. RF 단에서의 선형성 분석  
Fig. 2. Linearity of cascaded RF stages.

출력 전력이 0 dBm 이상이 되기 위해서 필수적으로 사용해야 하는 전류량은 최종 블록인 구동증폭기(Driver Amplifier)에서 계산할 수 있다. 0 dBm을 전압 스윙으로 환산하면 최소 4~5 mA의 전류가 필수적으로 사용되어야 한다.

본 논문에서는, 구동증폭기에서 전류를 최소화하기 위해서 이득을 줄여 소모전류를 감소시키고, 그 전 단인 Mixer에서 최소한의 전류를 사용하면서 동시에 이득을 최대로 하고, 선형성을 높게 하는 것이 제안하는 송신기의 주요 특징이다. 여기서 선형성을 지배하는 요소는 3차 항의 신호이며, Intermodulation과 비선형성에 의해 발생하는 3차 항을 IM3(Third Order Intermodulation) 신호라고 하는데, 이는 선형성을 결정하는 OIP3와 밀접한 관련이 있다.

그림 2에서는 송신기 설계를 위하여 반드시 필요한 RF 단에서의 선형성에 대한 이론을 나타내었는데, 첫 단계에 해당하는 증폭기를 Mixer라 하고, 후 단계에서 Cascade 되는 증폭기는 DA라 한다. 입력을  $x$ 로 하고, 첫 번째 단 Mixer를 거친 출력을  $y_1$ 이라 하고, 두 번째 단 DA를 거친 출력을  $y_2$ 라 할 때 각각의 OIP3는  $OIP3_1, OIP3_2$ 로 규명하였다.

제안하는 송신기를 위하여 구성된 블록은 그림 1과 같으며, 디지털 신호를 아날로그 신호로 변환하는 DAC와 20 dB 범위의 이득조절이 가능한 가변이득 증폭기(VGA), 적은 전류로 높은 이득과 선형성을 가지는 Mixer와 최종 출력을 결정하는 Drive Amplifier(DA)로 이루어져 있다.

### 2.2 제안하는 송신기에 적용된 각 회로

각 블록에 적용된 새로운 기술과 제안하는 회로에 대한 설명은 다음과 같다. 제안하는 송신기에 적용된 DAC

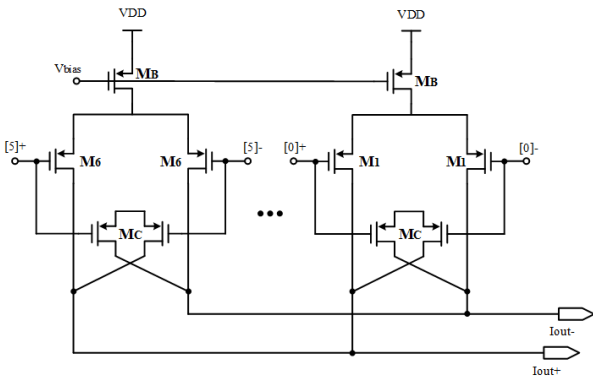


그림 3 . 제안하는 DAC  
Fig. 3. The proposed DAC.

는 그림 3과 같이 전류 모드로 동작하는 DAC이다. LSB 부터 MSB까지 총 Binary weighted current cell로 4 bits로 구성되어 있다.

Binary weighted current cell을 구성하는 PMOS 전류원은 PMOS의 크기를 조절하여 목표로 하는 전류 값을 만족시킬 수 있다. 하지만 DAC에서 불가피하게 발생하는 Glitch는 가장 큰 단점이 된다. 이를 해결하기 위해서 제안하는 DAC는 Glitch를 제거하기 위하여 그림 3과 같이 트랜지스터  $M_c$ 를 추가하였다. 여기서  $M_c$ 는  $M_1 \sim M_6$ 과 크기가 같은 Dummy Transistor로 Source가 Floating 되어 있으며, 항상 off 상태이다. Clock feed-through에 대한 영향을 감소시키기 위하여 Capacitance( $M_c$ 의  $C_{gd}$ )에 의한 채널 용량으로 인해 위상이 바뀐 신호를 서로 상쇄시키는 방법으로 Glitch를 최소화하는 원리를 적용하였다<sup>[5]</sup>.

그리고 그림 4와 같이 제안하는 Mixer는 적은 전류소모로 높은 이득과 선형성을 동시에 만족하도록 설계하였다. 이를 위하여 물리적인 접근과 수식적인 접근 모두를 아래에 서술했다. NMOS를 Mixer의 V-I 변환기 사이에 설계함에 따라 부정저항으로 쓰일 수 있도록 하였다. 입력신호는 V-I 변환기를 거치면서 기본적인 회로특성에 따라 위상이 반대가 된다. 이에 따라 반대편에 오는 신호와 합쳐지면서 신호의 크기가 제한된 전류소모에서 커지게 된다<sup>[6]~[8]</sup>. 이는 부정저항의 기본적인 원리를 사용하여 Mixer에 적용한 것이며 이러한 원리는 제한된 전류소모량에 비해 큰 이득과 IM3 성분 제거로 인하여 높은 선형성을 유지할 수 있다. 아래에 이득과 선형성 모두를 증

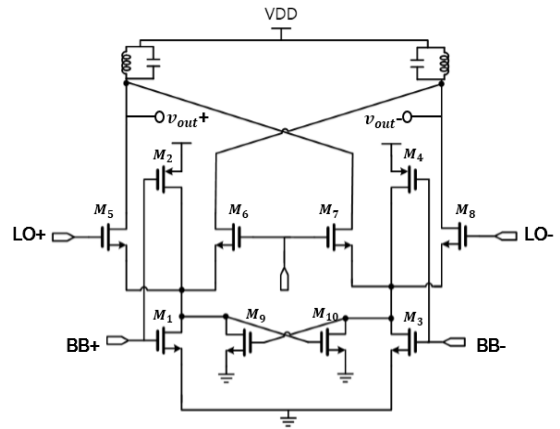


그림 4. 제안하는 mixer  
Fig. 4. The proposed mixer.

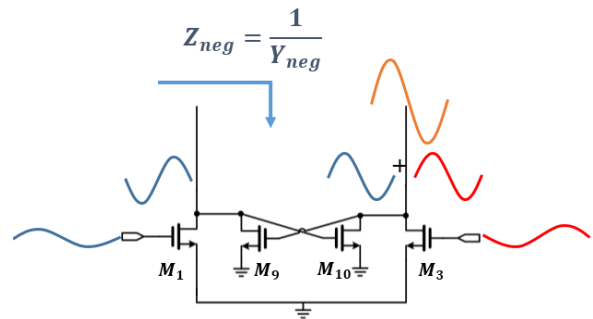


그림 5. 부정저항의 물리적 이해  
Fig. 5. Description of negative resistance.

대시킬 수 있는 원리를 서술하였으며, 한 채널에 해당되는 믹서의 회로를 그림 5와 같이 구성하였다.

그림 4에 나타난 것과 같이  $M_9$ 와  $M_{10}$ 를 추가함으로써 부정저항의 역할을 하는 트랜지스터를 구성하였다. 또한,  $M_1$ 과  $M_2$ 처럼 인버터 증폭기 형태의 V-I 변환기를 구성함으로써 이득을 더욱 증가시켰다. 즉, 기저대역 신호의 전압을 전류값으로 변환하는 V-I 변환기는  $M_1$ 과  $M_2$ 로 구성하였고, 스위칭 단은  $M_5$ 에서  $M_8$ 까지로 구성하였다. 믹서의 부하 값은 인덕터와 커패시터를 이용하여 목표로 하는 주파수에서 공진을 일으켜 LC 병렬저항 값을 얻었다.

그림 5에 보는 것처럼  $Z_{neg}$ 는  $M_9$ 와  $M_{10}$ 가 만드는 부정저항 값을 나타내며,  $-\frac{2}{g_m}$ 의 값을 가진다. Mixer의 이득을 수식적으로 분석하기 위해서는 그림 6과 같이 Half

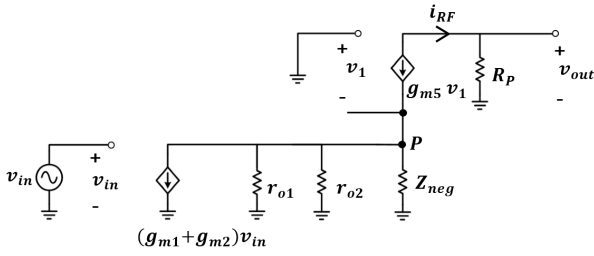


그림 6. 이득분석을 위한 소신호 모델  
Fig. 6. Small signal model for gain analysis.

circuit으로 단순화하여 모델링할 수 있다<sup>[9]-[11]</sup>.

Mixer가 이득을 얻을 수 있는 원리는 크게 세 부분으로 정의할 수 있으며, 저주파수 대역의 전압신호를 전류로 바꾸어주는 V-I 변환기, 국부 발진기로부터 반송파 주파수를 담당하는 LO 스위칭 단 그리고 부하 단으로 나눌 수 있다. Mixer가 수행하는 주파수 곱을 회로로 구현하기 위해서는 전압을 전류신호로 변환하여 구현해야 되기 때문에, LO 신호와 곱해진 기저대역 신호는 Mixer 출력으로 RF 신호가 된다. 이 때, LO switching은 완벽한 구형파를 가정하여 분석하였고, 이를  $S(\omega_{LO}t)$ 라고 규정하였다. 즉, 이를 Taylor series로 Double balanced된 신호를 표현하면 식 (1)과 같이 나타난다<sup>[12]</sup>.

$$S(\omega_{LO}t) = \frac{4}{\pi} \left[ \cos(\omega_{LO}t) + \frac{1}{3} \cos(3\omega_{LO}t) + \dots \right] \quad (1)$$

그림 6을 이용하여 Mixer의 출력 전압은 식 (2)와 같이 나타낼 수 있다<sup>[13]</sup>.

$$v_{out} = i_{RF} R_P S(\omega_{LO}t) \quad (2)$$

여기서  $i_{RF} = -g_{m5} v_1 \cos(\omega_{BB}t)$ 라고 할 수 있으며, 기저대역 신호는 입력되는 신호라고 규정한다. 이를 이용하여 출력에서 보이는 전압의 형태는 식 (3)과 같다.

$$v_{out} = -g_{m5} v_1 R_P \cos(\omega_{BB}t) \frac{4}{\pi} \left[ \cos(\omega_{LO}t) + \frac{1}{3} \cos(3\omega_{LO}t) + \dots \right] \quad (3)$$

그리고  $v_1$ 에 대한 수식을 p노드에서 KCL을 사용하여 식 (4)와 같이 나타낼 수 있다.

$$v_1 \left( g_{m5} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{Z_{neg}} \right) = (g_{m1} + g_{m2}) v_{in} \quad (4)$$

식 (4)를 식 (3)에 대입하여 최종 이득에 대한 수식을 구하면 식 (5)와 같다.

$$\frac{v_{out}}{v_{in}} = -\frac{2}{\pi} g_{m5} \left[ \frac{(g_{m1} + g_{m2})}{\left( g_{m5} + \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + \frac{1}{Z_{neg}} \right)} \right] R_P \quad (5)$$

그러므로 음수인  $Z_{neg}$ 를 조절하여 이득을 조절할 수 있음을 알 수 있다. 하지만 일정범위가 증가하게 되면 발진조건이 되므로 이를 피해서 설계하여야 한다<sup>[14]</sup>.

또한, IM3 신호성분을 상쇄시켜서 선형성을 증대시키는 것을 분석하기 위하여 소신호 모델을 사용하여 그림 7과 같이 모델링할 수 있다.

V-I 변환기에 해당되는 트랜지스터에서 발생하는 IM3 전류성분을  $i_{IM3}^{M1}$ , 스위칭 단에 해당하는 전류성분을  $i_{IM3}^{M5}$ 라고 정의한다. 이 신호는 각각에 대해서 독립적이라고 가정하면  $M_1$ 에 의한 IM3 신호와  $M_5$ 에 의한 IM3 신호를 중첩의 원리에 의해 계산할 수 있다.  $M_1$ 에 의한 IM3 신호 성분을 분석하기 위해서 모델링하면 그림 8과 같이 된다. 그림 8을 분석하여, 출력전압을 식 (6)과 같이 나타낼 수 있다.

$$v_{out, i_{IM3}^{M1}} = -g_{m5} v_1 R_P \quad (6)$$

한편,  $v_1$ 에 대한 식은 KCL을 사용하여 식 (7)과 같이 얻을 수 있다.

$$v_1 = \left( \frac{1}{Y_{M3} + Y_{neg} + g_{m5}} \right) i_{IM3}^{M1} \quad (7)$$

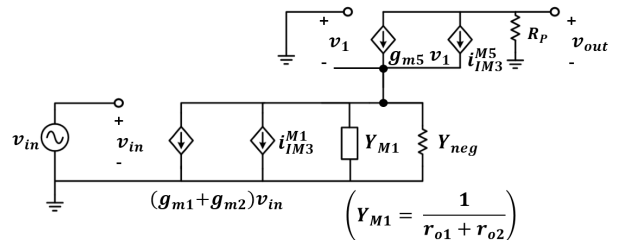


그림 7. IM3 상쇄를 위한 소신호 모델  
Fig. 7. Small signal model for IM3 cancellation.

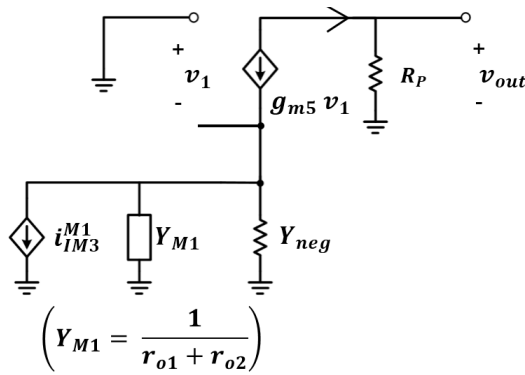


그림 8.  $M_1$ 에 의한 출력 신호 분석  
Fig. 8. Output signal analysis for  $M_1$ .

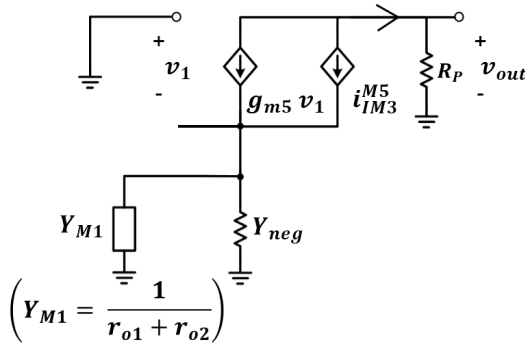


그림 9.  $M_5$ 에 의한 출력신호 분석  
Fig. 9. Output signal analysis for  $M_5$ .

식 (7)을 식 (6)에 대입하여  $M_1$ 에 의한 IM3 출력 전압 성분을 식 (8)과 같이 얻을 수 있다.

$$v_{out, i_{IM3}^{M1}} = \left( \frac{-g_{m5}}{g_{m5} + Y_{M1} + Y_{neg}} \right) R_P i_{IM3}^{M1} \quad (8)$$

그리고  $M_5$ 에 의한 IM3 성분을 표현하기 위해 위와 같은 방법으로 그림 9를 이용하여 전개하면 식 (9)와 식 (10)으로 표현할 수 있다.

$$v_{out, i_{IM3}^{M5}} = (-g_{m5}v_1 - i_{IM3}^{M5})R_P \quad (9)$$

$$v_1 = \left( \frac{-1}{g_{m5} + Y_{neg} + Y_{M1}} \right) i_{IM3}^{M5} \quad (10)$$

$$v_{out, i_{IM3}^{M5}} = \left( \frac{g_{m5}}{g_{m5} + Y_{neg} + Y_{M1}} i_{IM3}^{M5} - i_{IM3}^{M5} \right) R_P$$

$$= - \left( \frac{Y_{neg} + Y_{M1}}{g_{m5} + Y_{neg} + Y_{M1}} \right) i_{IM3}^{M5} R_P \quad (11)$$

마지막으로 중첩의 원리를 사용하면  $M_1$ ,  $M_5$ 에 의한 IM3 성분을 더하여 총 IM3 성분을 알 수가 있으므로 식 (8)과 (11)을 더하게 되면 식 (12)와 같이 전체 IM3 성분을 구할 수 있다<sup>[15]</sup>.

$$v_{out, i_{IM3}^{total}} = \left( \frac{g_{m5}}{g_{m5} + Y_{neg} + Y_{M1}} \right) R_P i_{IM3}^{M1} + \left( \frac{-(Y_{neg} + Y_{M1})}{g_{m5} + Y_{neg} + Y_{M1}} \right) R_P i_{IM3}^{M5} \quad (12)$$

여기서  $Y_{neg}$ 는 음수의 값을 가지므로  $M_1$ 에 의한 IM3 계수의 값은 음수가 되며,  $M_5$ 에 의한 IM3 계수의 값은  $Y_{neg}$ 가  $Y_{M1}$ 보다 작은 경우에는 양수가 된다. 그러므로 위의 식 (12)에 의해  $Y_{neg}$ 의 크기를 조절하면 IM3 성분을 상쇄시킬 수 있다.

구동증폭기는 그림 10과 같이 전형적인 Cascode 차동 증폭기로 구성하였다. RF front-end에서의 신호 합 즉, DA와 Mixer의 신호 합을 위해서 가장 중요한 것은 DA의 입력으로 보이는 임피던스와 Mixer의 부하 값으로 사용되는 인덕터와 커패시턴스의 값을 공진주파수의 값으로 다시 계산하여 설계해야 문제가 발생하지 않는다. Mixer를 거친 후 주파수가 높아지기 때문에 DA의  $C_{gs}$ 가 임피던

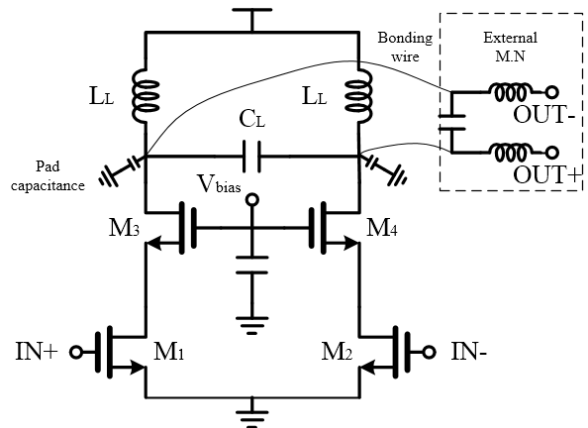


그림 10. DA 회로  
Fig. 10. Circuit diagram for DA.

스를 제공하게 되어 Mixer 부하의 공진주파수에 영향을 끼치게 되기 때문에 이를 주의하여 설계해야 한다. 즉, Layout Extraction 후에 Mixer 출력단에 보이는 기생 커패시턴스 값을 확인하여 Mixer의 부하를 튜닝하여야 한다.

그리고 본 논문에서는 저 전력으로 구동하는 송신기를 설계하기 위해서 DA를 Mixer의 Buffer의 역할로 사용하면서 DA는 적은 전류소모를 하게 된다. 그리고 적은 전류 소모에도 이득이 높고 선형성이 개선된 Mixer를 고안하여 송신기 전체의 전력소모를 줄였다.

### III. 시뮬레이션 및 측정 결과

모든 회로 시뮬레이션 및 측정 결과는 기생 커패시턴스와 저항값을 고려한 Post-layout 시뮬레이션 결과와 PCB 기판 제작 후 측정된 결과를 보여주고 있다. 각 블록에 적용된 기술을 통하여서 주요한 시뮬레이션 및 측정 결과를 분석하고, 이를 적용한 최종 송신기의 성능을 나타낸다. 제안하는 송신기 구조에 따라 가장 지배적으로 고려해야 할 블록은 Mixer이다. Mixer의 출력 전력 및 이득 그리고 선형성이 시스템 성능을 지배하기 때문이다. 따라서 제안하는 Mixer의 시뮬레이션 및 측정결과와 송신기의 측정결과를 나타내었다.

제안하는 Mixer의 부성저항을 조절하여 전류를 적게 사용하더라도 큰 이득과 선형성을 만족하도록 설계하였으며, 그림 11에 시뮬레이션 결과를 나타내었다. 부성저항을 결정하기 위하여 트랜지스터  $M_9$ 와  $M_{10}$ 의 폭을 변경

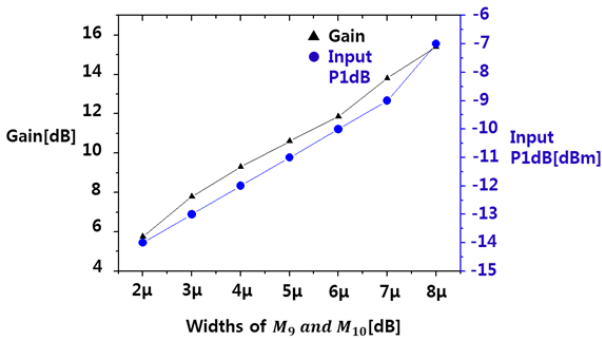


그림 11.  $M_9$ ,  $M_{10}$ 의 폭에 따른 입력  $P_{1dB}$ 와 이득 시뮬레이션 결과

Fig. 11. Simulation results of  $P_{1dB}$  & Gain according to the widths of  $M_9$  and  $M_{10}$ .

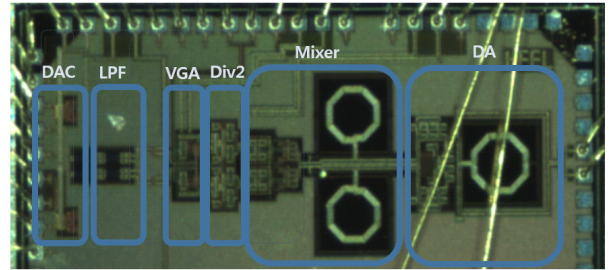


그림 12. 제안하는 송신기 칩 사진  
Fig. 12. Die photo of the proposed transmitter.

시키면서 최적의 입력  $P_{1dB}$ 와 이득을 획득하였다.

그림 12에서는 실제 제작한 칩 사진을 나타내고 있다. 후의 Mixer의 측정결과와 시뮬레이션 결과를 비교하여 그림 13과 같은 결과를 얻을 수 있었다. 전압이득은 측정 결과, 시뮬레이션과 달리 2 dB 정도 손실이 생긴 15 dB, 입력  $P_{1dB}$ 는  $-7$  dBm으로 측정되었다. 시뮬레이션과 측정결과를 분석할 때 비교적 비슷하다고 볼 수 있다. 제안하는 믹서의 선형성 및 이득 비교표를 표 1에 정리하여 나타내었다.

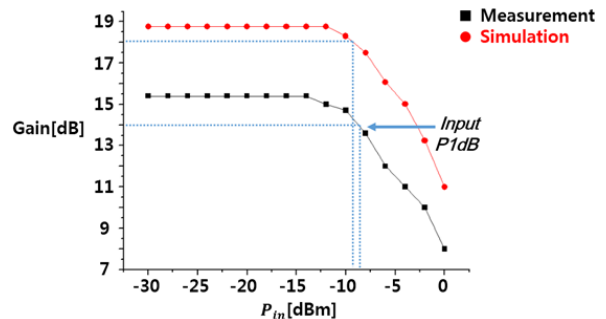


그림 13. Mixer 측정 및 시뮬레이션 결과 비교  
Fig. 13. Simulation and measurement results of mixer.

표 1. 제안하는 믹서 측정 결과 및 비교 요약  
Table 1. Results and comparison of the proposed mixer.

	Ref. [16]	Ref. [17]	Ref. [18]	본 연구
공정	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m
공급전압	1.8 V	3 V	1.8 V	1.2 V
변환이득	2 dB	6 dB	28 dB	15 dB
$P_{1dB}$	$-13$ dBm	5.7 dBm	$< -30$ dBm	$-7$ dBm
소모전류	3.8 mA	1.4 mA	4.8 mA	1.5 mA

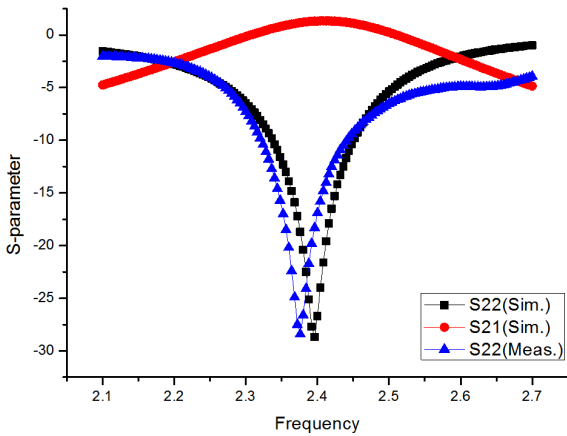


그림 14. DA 시뮬레이션 및 측정결과  
Fig. 14. Simulation and measurement results of DA.

또한 그림 14는 DA의 시뮬레이션 및 측정 결과를 나타내었다. DA의 출력저항은 50 Ω이지만, 본딩 와이어의 인덕턴스 및 패드의 기생 커패시턴스가 보이므로 외부에 Matching 회로를 추가하여 Tuning 하였다. 출력반사계수는 2.4 GHz에서 약 -25 dB가 되며  $S_{21}$ 은 2.4 GHz에서 0 dB를 보이고 있다.

그림 14와 같이 구현한 Mixer 후 단계 DA를 버퍼로 사용하여 안테나와 임피던스를 맞춰주고, 전류소모를 줄이는데, 지속적으로 목표하여 설계한 결과를 그림 15와 같이 스펙트럼으로 나타내었다.

그림 15는 송신기 입력으로 O-QPSK로 변조된 신호를 인가하여 출력신호로 나오는 스펙트럼 마스크를 나타낸 것이다. 스펙트럼 마스크는 순시 값을 기준으로 측정을

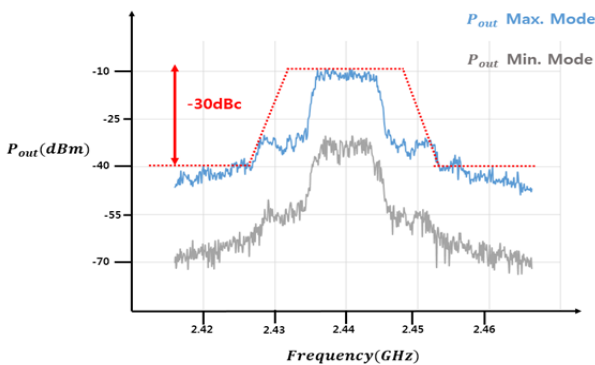


그림 15. 측정결과 출력 스펙트럼  
Fig. 15. Spectrum of output measurement.

표 2. 제안하는 송신기 측정 결과 및 비교 요약.

Table 2. Comparison of transmitters.

	Ref. [19]	Ref. [20]	Ref. [21]	본 연구
동작 주파수	2.4 GHz	2.4 GHz	2.4 GHz	2.4 GHz
공급전압	1.8 V	1.8 V	1.2V	1.2V
전류소모	9 mA	15 mA	8.5 mA	7.7 mA
송신기 출력 전력	-2 dBm	3 dBm	0 dBm	0 dBm
공정	180 nm	180 nm	180 nm	180nm

하였으며, 위의 신호를 적분 값으로 변환하여 나타내면 0 dBm 이상의 신호를 만족한다는 것을 알 수 있다. 또한, 입력 포트에 아무런 신호를 넣지 않고 LO 신호를 인가하여 직접 변환 송신기에서 LO leakage에 대한 실험을 한 결과, 최고 전력에서 -30 dB의 성능을 보인다.

최종적인 송신기 성능 결과를 이전의 다른 연구그룹에서 행한 결과와 비교하여 표 2에 나타내었다. 적은 전류로도 높은 이득과 선형성이 높은 RF front-end를 사용하였기 때문에 전류소모를 줄일 수 있었다. 송신기 출력 전력은 누적 전력이 0 dBm 이상의 값을 가지며, 비교된 이전 논문 결과와 같이 0.180 μm TSMC 공정을 사용하였다. 그리고 -30 dBc ACPR을 만족하고 있음을 알 수 있으며, IEEE 802.15.4의 송신 출력제한과 선형지표를 만족시킨다.

#### IV. 결 론

본 논문에서는 저 전력 고 이득 주파수 상향변환기를 사용하여 적은 전류소모로 동작이 가능한 IEEE 802.15.4에 적합한 송신기를 설계하였다. 부성저항을 사용하여 이득을 최대화하고, 선형성을 향상시킨 주파수 상향변환기를 제안 및 적용하였으며, DAC, VGA 및 Drive 증폭기를 함께 집적화하여 송신기를 구현하였다. 변조된 신호를 인가하여 측정 결과, 최대 출력 전력은 0 dBm 이상, -30 dBc ACPR 그리고 이 때 소모전류량은 7.8 mA를 나타내었다.

#### References

[1] A. Ahidi, G. Pottie, and W. Kaiser, "Power-conscious de-



- sign of wireless circuits and systems", *Proc. IEEE*, vol. 88, no. 10, pp. 1528-1545, Oct. 2000.
- [2] T. -K. Nguyen, V. Krizhanovskii, J. Lee, S. -K. Han, S. G. Lee, N. -S. Kim, and C. -S. Pyo, "A low-power RF direct-conversion receiver/transmitter for 2.4 GHz-band IEEE 802.15.4 standard in 0.18- $\mu$ m CMOS technology", *IEEE Trans. Microw. Theory Tech.* vol. 54, no. 12, pp. 4062-4071, Dec. 2006.
- [3] W. Kluge, "A fully integrated 2.4-GHz IEEE 802.15.4-compliant transceiver for ZigBee applications", *IEEE J. Solid-State Circuits.* vol. 41, no. 12, pp. 2767-2775, Dec. 2006.
- [4] Y. -I. Kwon, S. -G. Park, T. -J. Park, K. -S. Cho, and H. -Y. Lee, "An ultra low-power CMOS transceiver using various low-power techniques for LR-WPAN applications", *IEEE Trans. Circuits Syst.*, vol. 59, no. 2, pp. 324-336, Feb. 2012.
- [5] L. Luh, J. Choma, Jr., and J. Draper, "A high-speed fully differential current switch", *IEEE International Conference on Electronics, Circuits and Systems*, vol. 3, pp. 343-346, 1998.
- [6] K. Wang, K. Ma, W. Ye, K. S. Yeo, H. Zhang, and Z. Wang, "A low voltage low power highly linear CMOS quadrature mixer using transconductance cancellation technique", *IEEE Int. MTT Symp. Dig.*, pp. 1-3, Jun. 2012.
- [7] D. Markovic, L. P. Alarcon, and J. M. Rabaey, "Ultralow-power design in near threshold region", *Proceedings of the IEEE*, 2010.
- [8] S. H. -L. Tu, S. C. -H. Chen, "A 5.26-GHz CMOS up-conversion mixer for IEEE 802.11a WLAN", *IEEE International Conference on Circuits and Systems for Communications*, vol. 59, no. 2, pp. 820-823, May 2008.
- [9] Q. J. Gu, Z. Xu, H.-Y. Jian, B. Pan, X. Xiaojing, M.-C. F. Chang, L. Wei, and H. Fetterman, "CMOS THz generator with frequency selective negative resistance tank", *IEEE Trans. Terahertz Science Technol.*, vol. 2, no. 2, pp. 193-202, Mar. 2012.
- [10] C. S. Aitchison, M. Mbabele, M. R. Moazzam, Dj.-Budir, and F. Ali, "Improvement of third order intermodulation products of RF and microwave amplifiers by injection", *IEEE MTT Transactions on Microwave Theory and Techniques*, vol. 49, no. 6, pp. 1148-1154, Jun. 2001.
- [11] W. Cheng, "Noise and nonlinearity modeling of active mixers for fast and accurate estimation", *IEEE Trans. Circuits and Systems I*, vol. 58, no. 2, pp. 276-289, Feb. 2011.
- [12] B. Razavi, *RF Microelectronics*, 2<sup>nd</sup> Ed. Pearson, 2012.
- [13] J. -H. Kim, H. -W. An, and T. -Y. Yun, "A low-noise WLAN mixer using switched biasing technique", *IEEE Microw. Wireless Compon. Lett.* vol. 19, no. 10, pp. 650-652, Oct. 2009.
- [14] C. H. Wu, W. -H. Huang, "A high-linearity up-conversion mixer utilizing negative resistor", *International Symposium on Signals, Systems and Electronics*. vol. 2, Sept. 2010.
- [15] M. Asghari, M. Yavari, "Using the gatebulk interaction and a fundamental current injection to attenuate IM3 and IM2 currents in RF transconductors", *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, vol. 24, no. 1, pp. 223-232, Jan. 2016.
- [16] X. Fan, C. Zhu, and Z. Lei, "A 2.4 GHz RF CMOS up-conversion mixer for wireless sensor networks nodes", *2009 International Conference on WCSP*, pp. 1-5, Nov. 2009.
- [17] S. A. Z. Murad, R. K. Pokharel, M. A. Abdelghany, H. Kanaya, and K. Yoshida, "High linearity 5.2 GHz CMOS up-conversion mixer using derivative superposition method", *International Technical Conference of IEEE Region 10, TENCON 2010, 21-24*, Nov. 2010.
- [18] S. B. Patil, R. D. Kamphade, "A 2.4 GHz double balanced differential input single output low power transmitting mixer in TSMC 180 nm CMOS RF process", *2015 2nd International Conference on ICECS*, pp. 1181-1186, Feb. 2015.
- [19] Nam et al., "A 2.4-GHz low-power low-IF receiver and



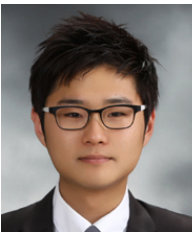
direct-conversion transmitter in 0.18  $\mu\text{m}$  CMOS for IEEE 802.15.4 WPAN applications", *IEEE Trans. Microwave Theory Tech.*, vol. 55, no. 4, pp. 682-689, Apr. 2007.

[20] I. Kwon et al., "A fully integrated 2.4-GHz CMOS RF transceiver for IEEE 802.15.4", *IEEE Radio Freq. Inte-*

*gr. Circuits Symp. Dig.*, San Francisco, CA, pp. 275-278, Jun. 2006.

[21] C. Choi, J. Choi, M. Kim, H. Park, and I. Nam, "A low power 2.4 GHz CMOS Direct-conversion transmitter for IEEE 802.15.4", *Int. Wireless Symp.(IWS)*, Xi'an, China, pp. 1-4, Mar. 2014.

백 세 영



2014년 2월: 한국항공대학교 정보통신공학과 (공학사)  
 2016년 2월: 한국항공대학교 항공전자정보공학부 (공학석사)  
 [주 관심분야] RFIC, Analog IC, 레이더시스템

진 호 정



2015년 2월: 한국항공대학교 정보통신공학과 (공학사)  
 2015년 3월~현재: 한국항공대학교 항공전자정보공학부 석사과정  
 [주 관심분야] RFIC, Analog IC, 무선전력전송, 에너지수집

서 창 원



2015년 2월: 한국항공대학교 정보통신공학과 (공학사)  
 2015년 3월~현재: 한국항공대학교 항공전자정보공학부 석사과정  
 [주 관심분야] RFIC, Analog IC, 레이더시스템

조 춘 식



1987년 2월: 서울대학교 제어계측공학과 (공학사)  
 1998년 12월: 미국 Colorado 대학교 전기 및 컴퓨터공학과 (공학박사)  
 1987년~1993년: LG 정보통신  
 1999년~2003년: 팬택엔큐리텔  
 2004년 3월~현재: 한국항공대학교 항공전자정보공학부 교수

[주 관심분야] RFIC 및 Millimeter-Wave IC 설계, Analog IC 설계, 바이오 센서 및 시스템 설계