

실리콘 나노와이어 N-채널 GAA MOSFET의 항복특성

류인상 · 김보미 · 이예린 · 박종태*

Breakdown Characteristics of Silicon Nanowire N-channel GAA MOSFET

In Sang Ryu · Bo Mi Kim · Ye Lin Lee · Jong Tae Park*

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

요 약

본 논문에서는 나노와이어 N-채널 GAA MOSFET의 항복전압 특성을 측정과 3 차원 소자 시뮬레이션을 통하여 분석하였다. 측정에 사용된 나노와이어 GAA MOSFET는 게이트 길이가 250nm이며 게이트 절연층 두께는 6nm이며 채널 폭은 400nm부터 3.2um이다. 측정 결과로부터 나노와이어 GAA MOSFET의 항복전압은 게이트 전압에 따라 감소하다가 높은 게이트 전압에서는 증가하였다. 나노와이어의 채널 폭이 증가할수록 항복전압이 감소한 것은 floating body 현상으로 채널의 포텐셜이 증가하여 기생 바이폴라 트랜지스터의 전류 이득이 증가한 것으로 사료된다. 게이트 스트레스로 게이트 절연층에 양의 전하가 포획되면 채널 포텐셜이 증가하여 항복전압이 감소하고 음의 전하가 포획되면 포텐셜이 감소하여 항복전압이 증가하는 것을 알 수 있었다. 항복전압의 측정결과는 소자 시뮬레이션의 포텐셜 분포와 일치하는 것을 알 수 있었다.

ABSTRACT

In this thesis, the breakdown voltage characteristics of silicon nanowire N-channel GAA MOSFETs were analyzed through experiments and 3-dimensional device simulation. GAA MOSFETs with the gate length of 250nm, the gate dielectrics thickness of 6nm and the channel width ranged from 400nm to 3.2um were used. The breakdown voltage was decreased with increasing gate voltage but it was increased at high gate voltage. The decrease of breakdown voltage with increasing channel width is believed due to the increased current gain of parasitic transistor, which was resulted from the increased potential in channel center through floating body effects. When the positive charge was trapped into the gate dielectrics after gate stress, the breakdown voltage was decreased due to the increased potential in channel center. When the negative charge was trapped into the gate dielectrics after gate stress, the breakdown voltage was increased due to the decreased potential in channel center. We confirmed that the measurement results were agreed with the device simulation results.

키워드 : 나노와이어 GAA MOSFET, 항복전압, floating body 현상

Key word : Nanowire GAA MOSFET, Breakdown voltage, Floating body effect

Received 10 June 2016, Revised 16 June 2016, Accepted 21 July 2016

* Corresponding Author Jong Tae Park(E-mail:jtpark@inu.ac.kr, Tel:+82-32-835-8445)

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2016.20.9.1771>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

집적회로의 CMOS 소자 크기가 수 십 나노미터 레벨로 축소되므로 단채널현상이 심각하게 발생한다. 단채널 현상을 줄이기 위해서 기존의 단일 게이트 트랜지스터 구조에서 게이트가 여러 개인 multiple gate (MuGFET) 소자 구조로 발전되고 있다. 게이트 수가 증가할수록 구동전류는 증가하게 되고 게이트 전압이 채널 포텐셜을 더 완벽하게 제어 할 수 있게 되므로 단채널 현상이 감소하게 된다[1]. 그 결과로 채널길이가 더 짧은 트랜지스터를 만들 수 있게 된다. 일반적으로 게이트가 채널 또는 실리콘 핀을 둘러싼 gate-all-around (GAA) MOSFET가 단채널현상이 가장 적게 발생하므로 채널길이가 가장 짧은 트랜지스터를 구현할 수 있다 [2, 3]. GAA MOSFET를 제작할 때 공정의 허용 오차로 실제 핀 폭 또는 채널 폭은 마스크에서의 채널 폭보다 크거나 작을 수 있다.

트랜지스터의 채널길이가 감소하므로 소자의 항복전압 (BV_{DS})은 낮아지고 있는데 MuGFET에서 항복전압 특성을 정확하게 분석하는 것은 여러 가지 이유로 중요하다. 첫째로 1T1C DRAM을 대체하기 위한 ZRAM은 프로그램을 위해서 항복전압보다 낮은 드레인 전압을 인가하여 충격이온화와 floating body 현상을 이용하므로 BV_{DS} 보다 낮은 공급 전압을 선택해야 한다[4]. 둘째로 트랜지스터의 크기가 나노미터 레벨로 축소되면 BV_{DS} 이 낮아지게 되므로 소자 스케일링 시 주요한 고려 요소가 된다. 셋째로 단채널 현상을 줄이기 위해 채널의 불순물 농도를 증가 시키면 BV_{DS} 가 감소하게 된다.

지금까지 보고된 결과에 의하면 MuGFET의 채널 폭이 감소하면 floating body 현상이 감소하므로 BV_{DS} 가 증가한다[5]. MuGFET에서는 채널 폭뿐만 아니라 실리콘 두께에 따라 BV_{DS} 가 다르게 된다. 일부 연구에서는 단일 게이트 MOSFET에서 실리콘 두께가 감소하면 수평방향의 전계가 증가하여 BV_{DS} 가 감소하는 것으로 발표되었으나[6], 채널길이가 짧은 MuGFET에서는 실리콘 두께가 감소할수록 BV_{DS} 가 증가하는 것으로 발표되었다[7]. GAA MOSFET는 채널폭 뿐만 아니라 실리콘 두께에 따라 BV_{DS} 가 다르게 되므로 나노와이어 GAA MOSFET의 BV_{DS} 에 관한 연구는 필요하다.

MuGFET의 소자 크기가 축소되는 것만큼 공급전압

이 축소되지 못하므로 소자 내의 전계 증가로 소자 신뢰도에 대한 연구도 중요해 지고 있다. 게이트에 양 또는 음 전압이 인가되면 게이트 산화층에 전하가 포획되어 문턱전압이 감소하거나 증가하게 되어 드레인 전류가 증가하거나 감소하게 된다[8]. 이런 게이트 산화층 내의 포획된 전하로 당연히 BV_{DS} 도 다르게 될 것으로 사료된다. 지금까지 MuGFET의 BV_{DS} 에 대한 연구는 많이 발표되었으나 GAA MOSFET의 BV_{DS} 특성에 대한 연구는 많지 않다[5, 9, 10]. 소자열화로 인한 게이트 산화층 전하가 GAA MOSFET의 BV_{DS} 에 미치는 영향을 분석한 연구는 없는 것으로 사료된다.

본 논문에서는 채널 폭과 게이트 절연층 전하에 따른 나노와이어 GAA MOSFET의 BV_{DS} 특성을 측정과 소자 시뮬레이션을 통하여 분석하였다.

II. 소자 및 시뮬레이션

본 논문에서 사용된 소자는 그림 1와 같이 (100) p-형 벌크 실리콘 웨이퍼를 Bosch 공정으로 식각하여 기판 실리콘으로부터 완전히 분리된 suspended 나노와이어를 형성하여 MOSFET를 제작한 것이다. 소자를 격리 위해 두께가 70nm인 tetraethyl orthosilicate (TEOS) 사용한 shallow trench isolation가 이용되었다. 소자 제작의 자세한 공정은 참고 문헌에 기술되어 있다[11]. 연구에 사용된 소자는 플래시 메모리 특성을 분석하기 위해 제작된 것으로 게이트 절연층은 silicon-oxide-nitride-oxide-silicon(SONOS) 구조이다. 나노와이어의 핀 높이는 10nm 이고 게이트 길이는 250nm 이다. 측정에 사용된 나노와이어 채널폭은 400nm 부터 3.2um 이다. 게이트 절연층의 두께는 6nm로 LPCVD 방법으로 2nm 두께의 SiO_2 층과 2nm 두께의 Si_3N_4 층 그리고 2nm 두께의 SiO_2 층으로 구성되어 있다. 채널 폭과 산화층 전하에 따른 BV_{DS} 특성을 분석하기 위해 3차원 소자 시뮬레이터인 Silvaco사의 ATLAS를 이용하였다[12]. 소자 시뮬레이션에 사용된 소자 변수로는 게이트 절연층 두께가 6nm, 게이트 길이는 250nm 이다. 소자 시뮬레이션에 사용된 물리적인 모델은 전계에 따라 변하는 이동도 모델, 충격이온화 모델, 속도포화 현상을 고려한 모델, SRH 재결합 및 생성 모델, 에너지 밴드갭 narrowing 현상 모델 등을 포함하였다.

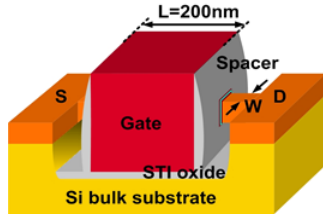


Fig. 1 Schematic diagram of nanowire GAA MOSFET

III. 측정 결과

3.1. 게이트 전압에 따른 항복 특성

그림 2의 나노와이어 채널 폭이 1.28 μm 인 GAA MOSFET의 $I_{\text{DS}}-V_{\text{DS}}$ 특성곡선으로부터 V_{GS} 에 따른 BV_{DS} 의 변화를 알 수 있다. 문턱전압 (V_{TH})은 $0.1 \cdot W/L$ (μA)되는 V_{GS} 로 정의한 결과 약 $V_{\text{TH}}=1.06\text{V}$ 이었다[13]. 트랜지스터가 OFF 상태인 $V_{\text{GS}}-V_{\text{TH}}=-0.5\text{V}$ 에서는 $BV_{\text{DS}}=1.9\text{V}$ 이었으나 $V_{\text{GS}}-V_{\text{TH}}=1\text{V}$ 에서는 드레인 전류가 증가하므로 $BV_{\text{DS}}=1.5\text{V}$ 로 감소함을 알 수 있다. 그림2에서와 같이 $I_{\text{DS}}-V_{\text{DS}}$ 특성곡선으로부터 BV_{DS} 를 추출하는 것은 많은 오차를 수반할 수밖에 없다. 특히 V_{GS} 와 채널 폭에 따른 BV_{DS} 를 비교하기 위해서는 정확하게 BV_{DS} 를 추출하는 것이 중요하다. 본 연구에서는 정확한 BV_{DS} 추출을 위해서 그림 3과 같이 로그 스케일의 드레인 전류 ($\log I_{\text{DS}}$)를 V_{DS} 로 미분하여 최대가 되는 V_{DS} 전압을 BV_{DS} 로 정의 하였다[5]. 그림 3으로부터 비교적 정확하게 BV_{DS} 를 추출할 수 있음을 알 수 있다. 그림 3으로부터 트랜지스터가 OFF 상태에서 ON 상태로 되면서 BV_{DS} 가 감소하다가 $V_{\text{GS}}-V_{\text{TH}}=0.5\text{V}$ 이상에서는 오히려 BV_{DS} 가 증가 하는 것을 알 수 있다. 일반적으로 SOI MOSFET에서의 항복특성은 floating body 현상으로 설명된다[14]. V_{DS} 가 증가하면 전계가 증가하게 되므로 드레인 근처에서 충격이온화에 의한 전자와 홀 쌍이 생성된다. 생성된 전자는 드레인으로 흘러 드레인 전류가 증가하게 되며 생성된 홀은 소스 근처로 드리프트되어 소스-채널-드레인의 NPN 바이폴라 트랜지스터의 베이스 전류 성분이 된다. 홀 생성이 많을수록 소스와 채널 사이의 전위 장벽은 감소하게 되고 floating body의 베이스 전류가 증가하므로 기생 NPN 바이폴라 트랜지스터의 전류 이득 (β)이 증가하게 되므로 식 (1)에서와 같이 BV_{DS} 가 감소하게 된다[15].

$$\frac{BV_{\text{DS}}}{BV_{\text{CBO}}} = \left(\frac{1}{1+\beta}\right)^{\frac{1}{m}} = \left(\frac{1}{\beta}\right)^{\frac{1}{m}} \quad (1)$$

여기서 BV_{CBO} 는 기생 바이폴라 트랜지스터가 없을 때 즉 채널길이가 무한대 일 때의 BV_{DS} 이다. $m=3\sim 6$ 으로 재료와 비저항에 의해 결정되는 상수이다. 그림 3으로부터 $V_{\text{GS}}-V_{\text{TH}}=0.5\text{V}$ 이상에서 BV_{DS} 가 오히려 증가하는 현상은 높은 V_{GS} 가 인가되었을 때 게이트 절연층으로 전자가 주입되었기 때문으로 사료된다. 이는 본 논문의 후 반부에서 게이트 산화층 전하의 종류에 따른 항복특성 분석으로부터 확인 할 수 있다.

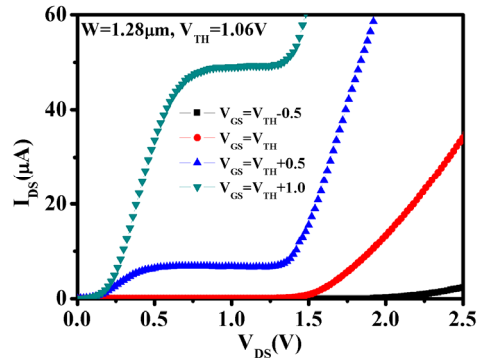


Fig. 2 Measured $I_{\text{DS}}-V_{\text{DS}}$ characteristics showing breakdown

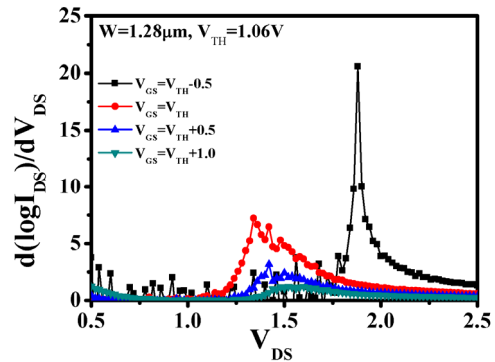


Fig. 3 Extraction of breakdown voltage by the double derivative method

3.2. 나노와이어 채널 폭에 따른 항복 특성

나노스케일 MuGFET에서는 핀 폭 또는 채널 폭이 작을수록 단채널현상이 감소하므로 최적의 채널 폭을 결정하는 것은 소자설계에서 중요하다.

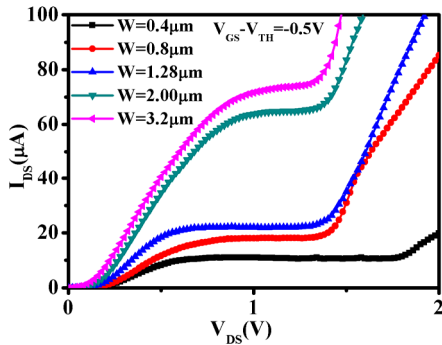


Fig. 4 Measured I_{DS} - V_{DS} characteristics showing breakdown

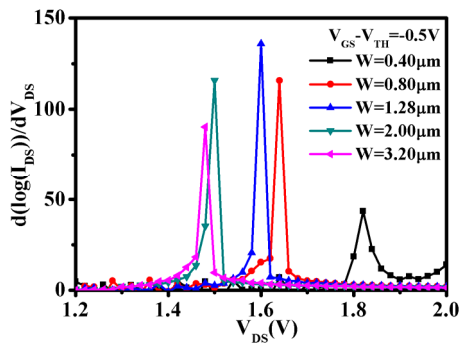


Fig. 5 Extraction of breakdown voltage with different nanowire widths

그림 4와 그림 5는 $V_{GS}-V_{TH}=-0.5V$ 에서 나노와이어 채널 폭에 따른 GAA MOSFET의 I_{DS} - V_{DS} 특성곡선과 BV_{DS} 를 나타낸 것이다. 그림으로부터 채널 폭이 증가할수록 BV_{DS} 가 감소함을 알 수 있다. 채널 폭이 증가할수록 BV_{DS} 가 감소하는 현상을 설명하기 위해 채널 폭에 따른 드레인 근처의 포텐셜 분포를 소자 시뮬레이션

으로 구하였다. 그림 6은 채널 폭이 400nm인 소자와 채널 폭이 800nm인 소자의 채널 폭과 핀 높이에 따른 드레인 근처의 포텐셜 분포를 나타낸 것이다. 그림으로부터 나노와이어의 가장자리 부근의 포텐셜은 $W=400nm$ 소자가 $W=800nm$ 소자 보다 크지만 채널 중앙 쪽에는 $W=800nm$ 소자가 더 큰 것을 알 수 있다. 그림으로부터 채널 중앙 부근의 포텐셜은 $W=400nm$ 소자는 약 0.16V, $W=800nm$ 소자는 약 0.19V인 것을 알 수 있다. 채널 폭이 큰 소자의 포텐셜이 높은 것은 드레인 근처에서 충격이온화로 생성된 홀이 채널 중앙 쪽으로 많이 모였기 때문이다. 채널의 포텐셜이 증가하면 소스와 채널에 순방향으로 전압이 인가되는 효과가 있으므로 전위 장벽이 낮아져 드레인 전류가 증가하게 된다. 이런 드레인 전류의 증가는 드레인 근처의 충격이온화를 증가하게 되므로 결국 BV_{DS} 는 감소하게 된다. 이런 결과는 SOI MOSFET에서 채널 폭이 증가할수록 floating body 현상의 증가로 기생 바이폴라 트랜지스터의 베이스 전류가 증가 BV_{DS} 감소로 이어진다는 기존의 연구결과와 일치한다[5].

3.3. 게이트 산화층의 전하에 따른 항복 특성

게이트에 양 전압 또는 음 전압이 높게 인가되면 게이트 산화층으로 전자 또는 홀이 주입되어 소자의 문턱 전압과 드레인 전류가 변화 할뿐 아니라 항복특성이 다르게 될 것이다. 이런 점에 착안하여 게이트에 양 과 음 전압을 인가하여 게이트에 전하를 생성한 후에 항복전압을 측정하고 소자 시뮬레이터로 비교 분석하였다.

그림 7은 게이트에 전압을 인가하기 전과 $V_{GS}=5V$ 로 1시간 인가한 후의 I_{DS} - V_{GS} 를 비교한 것이다. 게이트에 양의 전압을 스트레스로 인가한 후에 $V_{TH}=1.27V$ 에서

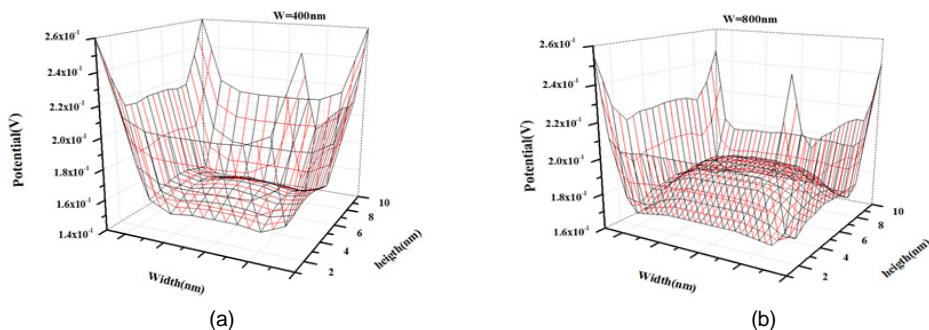


Fig. 6 Plot of potential distribution along nanowire with and height for $W=400nm$ (a) and $W=800nm$ (b)

$V_{TH}=1.02V$ 로 감소하였으며 드레인 전류는 증가하였다. 일반적으로 게이트에 양의 전압을 인가하면 채널에서 전자가 게이트 산화층으로 주입된다.

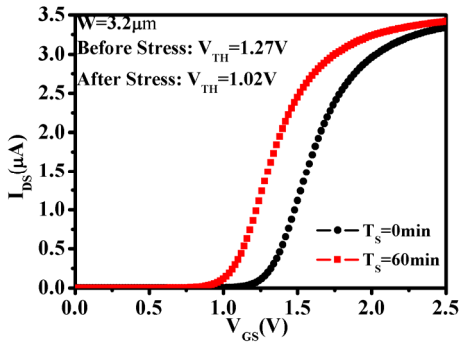


Fig. 7 Measured I_{DS} - V_{GS} characteristics before and after positive gate stress of $V_{GS}=5V$

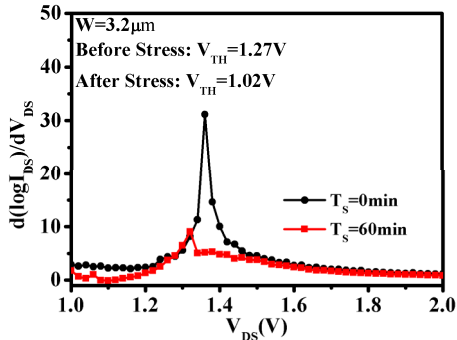


Fig. 8 Extraction of breakdown voltage before and after positive gate stress of $V_{GS}=5V$

그러나 그림 6으로부터 스트레스 후의 문턱전압 감소는 게이트 절연층에 홀이 주입된 것으로 사료된다. 이는 본 논문에서 사용된 나노와이어 GAA MOSFET의 게이트 절연층이 SONOS 구조로 게이트에서 홀이 절연층으로 주입된 것으로 사료된다. 그림 8은 게이트에 스트레스를 인가하기 전과 후의 BV_{DS} 를 추출한 것이다. 그림으로부터 스트레스 후에 BV_{DS} 가 감소된 것을 확인할 수 있다. 이는 포획된 홀로 인하여 채널 중앙부분의 포텐셜이 증가하기 때문인 것을 소자 시뮬레이션 결과로 확인할 수 있다. 그림 9는 $W=400nm$ 소자의 절연층에 양의 전하가 $3 \times 10^{11}/cm^2$ 일 때 채널 폭과 핀의 높이 방향에 따른 드레인 부근의 포텐셜 분포를 나타낸 것이다.

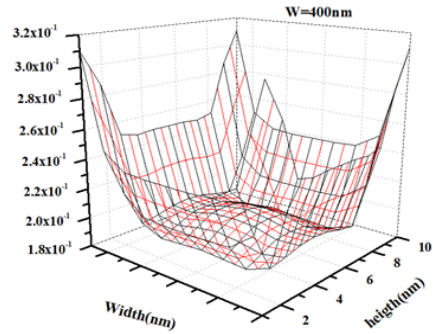


Fig. 9 Plot of potential distribution along nanowire with and height for $W=400nm$ with positive charge in gate dielectric layer

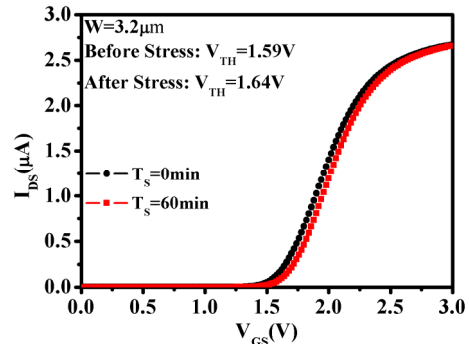


Fig. 10 Measured I_{DS} - V_{GS} characteristics before and negative gate stress of $V_{GS}=-5V$

그림 6 (a)와 비교하면 채널 중앙부근의 포텐셜이 증가된 것을 확인할 수 있다. 결국 포텐셜의 증가로 BV_{DS} 가 낮아진 것으로 사료된다.

그림 10은 게이트에 음의 전압을 인가하기 전과 $V_{GS}=-5V$ 로 1시간 인가한 후의 I_{DS} - V_{GS} 를 비교한 것이다. 게이트에 음의 전압을 스트레스로 인가한 후에 $V_{TH}=1.59V$ 에서 $V_{TH}=1.64V$ 로 증가하였으며 드레인 전류는 감소하였다. 일반적으로 게이트에 음의 전압을 인가하면 채널에서 홀이 게이트 산화층으로 주입된다. 그러나 그림 10으로부터 스트레스 후의 문턱전압 증가는 게이트 절연층으로 전자가 주입된 것으로 사료된다. 이는 본 논문에서 사용된 나노와이어 GAA MOSFET의 게이트 절연층이 SONOS 구조로 게이트에서 전자가 절연층으로 주입된 것으로 사료된다. 그림 11은 게이트에 스트레스를 인가하기 전 후의 BV_{DS} 를 추출한 것이다. 그림으로부터 스트레스 후에 BV_{DS} 가 증가된 것을 확인

할 수 있다. 이는 포획된 전자로 인하여 채널의 중앙부분의 포텐셜 감소 때문인 것을 소자 시뮬레이션 결과로 확인할 수 있다. 그림 12는 $W=400\text{nm}$ 소자의 절연층에 음의 전하가 $3 \times 10^{11}/\text{cm}^2$ 일 때 채널 폭과 핀의 높이 방향에 따른 드레인 부근의 포텐셜 분포를 나타낸 것이다. 그림 6 (a)와 비교하면 채널 중앙부분의 포텐셜이 감소된 것을 확인할 수 있다. 결국 포텐셜의 감소로 BV_{DS} 가 높아진 것으로 사료된다.

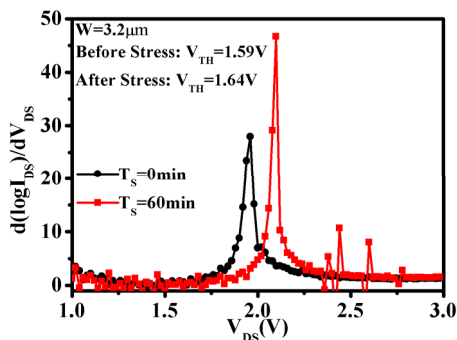


Fig. 11 Extraction of breakdown voltage before and after positive gate stress of $V_{GS}=-5\text{V}$

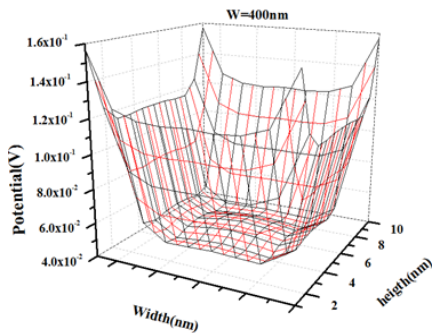


Fig. 12 Plot of potential distribution along nanowire with and height for $W=400\text{nm}$ with negative charge in gate dielectric layer

IV. 결론

나노와이어 GAA MOSFET의 항복전압은 게이트 전압이 증가함에 따라 감소하다가 다시 증가하였다. 이는 게이트 전압이 증가할수록 충격이온화로 생성된 홀이 채널에 더 많이 쌓이면서 소스와 채널 사이의 전위 장

벽을 낮추기 때문이다. 높은 게이트 전압에서는 게이트 절연층으로 홀이 주입되어 채널 포텐셜이 증가되었기 때문이다. 나노와이어의 채널 폭이 증가할수록 항복전압이 감소한 것은 floating body 현상으로 채널의 포텐셜이 증가하여 기생 바이폴라 트랜지스터의 전류 이득이 증가되었기 때문이다. 게이트 스트레스로 게이트 절연층에 양 전하가 포획되면 채널 포텐셜이 증가하여 항복전압이 감소하고 음 전하가 포획되면 포텐셜이 감소하여 항복전압이 증가하는 것을 알 수 있었다.

REFERENCES

- [1] J. T. Park, and J. P. Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," *IEEE Transactions on Electron Devices*, vol. 49, no.12, pp. 2222-2228, Dec. 2002.
- [2] J. P. Colinge, "Multiple-gate SOI MOSFETs," *Solid-state Electronics*, vol.48, no.6, pp.897-905, June 2004.
- [3] M.D. Marchi, D. Sacchetto, J. Zhang, S. Frache, P. Gaillardon, Y. Leblebici, G.D. Micheli, "Top-down fabrication of gate-all-around vertically stacked silicon nanowire FETs with controllable polarity," *IEEE Trans on Nanotechnology*, vol.13, no.6, pp. 1029-1038, Nov. 2014.
- [4] M. Aoulaiche, N. Collaert, R. Degraeve, Z. Lu, B.D. Wachter, G. Groeseneken, M. Jurczak, and L. Altimime. "BJT-mode endurance on 1T-DRAM bulk FinFET device," *IEEE Electron Device Letters*, vol. 31, no. 12, pp. 1380-1382, Dec. 2010.
- [5] C.W. Lee, A. Afzalain, R. Yan, N.D. Akhavan, W. Xiong, and J.P. Colinge, "Drain breakdown voltage in MuGFETs: influence of physical parameters," *IEEE Trans Electron Dev.*, vol. 55, no. 12, pp. 3503-3506, Dec. 2008.
- [6] J.G. Fossum, J.Y. Oh, and R. Sundaresan, "SOI design for competitive CMOS VLSI," *IEEE Trans Electron Dev.* vol. 37, No.3, pp. 3503-3506, March 1990.
- [7] N. Kistler, E. V. Ploeg, J. Woo, and J. Plummer, "Dependence of fully depleted SOI MOSFET breakdown on film thickness and channel length," in *Proc. of IEEE Int. SOI Conf.*, pp.128-129, 1992.
- [8] H. Kufluoglu, and M.A. Alam, "Theory of Interface trap Induced NBTI degradation for reduced cross section MOSFETs," *IEEE Trans. Electron Devices*, vol.53, no.5, pp.1120-1130, May 2006.
- [9] J.Y. Kim, C.H. Yu, and J. T. Park, "Effects of device layout

- on the drain breakdown voltage in MuGFETs,” *Microelectronics Reliability*, vol. 51, no. 9-11, pp.1547-1550, Sep. 2011.
- [10] S. M. Lee, C.G. Yu, S. M. Jeong, W.J. Cho, and J.T. Park, “Drain breakdown voltage: A comparison between junctionless and inversion mode p-channel MOSFETs,” *Microelectronics Reliability*, vol.52, no.9-11, pp.1945-1948, Sep. 2012.
- [11] D. Moon, S. Choi, C. Kim, J. Kim, J. Lee, and J. Oh, “Silicon Nanowire All-Around Gate MOSFETs Built on a Bulk Substrate by All Plasma-Etching Routes,” *IEEE Electron Device Letters*, vol.30, no.4, pp.452-454, Apr. 2011.
- [12] Silvaco TCAD ATLAS(3D) Tools [Internet]. Available: http://www.silvaco.com/products/tead/device_simulation/device_simulation.html.
- [13] D. K. Schroder, *Semiconductor material and device characterization*, New York, NY : A Wiley-Interscience Publication, p.185, 1990.
- [14] K. K. Young, and J. A. Burns, “Avalanche induced drain-source breakdown in silicon-on-insulator n-MOSFET’s,” *IEEE Trans Electron Dev.*, vol. 35, no.4, pp. 426-431, Apr. 1998.
- [15] Y. Tar, and T.H. Ning, *Fundamental of modern VLSI Devices*, Cambridge, U.K.: Cambridge University Press, p.347, 1998.



류인상(In-Sang Ryu)

2016년 인천대학교 전자공학과 학사
 ※관심분야 :CMOS Reliability, Nano-scale CMOS



김보미(Bo-Mi Kim)

2012년 ~ 현재 인천대학교 전자공학과 재학
 ※관심분야 :CMOS Reliability, Nano-scale CMOS



이예린(Ye-Lin Lee)

2012년 ~ 현재 인천대학교 전자공학과 재학
 ※관심분야 :CMOS Reliability, Nano-scale CMOS



박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
 1983년 연세대학교 전자공학과 공학석사
 1987년 연세대학교 전자공학과 공학박사
 1983년 8월 ~ 1985년 8월 금성반도체(주) 연구소 연구원
 1991년 1월 ~ 1991년 12월 MIT Post Doc,
 2000년 7월 ~ 2001년 8월 UC Davis 방문교수
 1987년 3월 ~ 현재 인천대학교 전자공학과 교수
 ※관심분야 :CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS