

## 넓은 부하전력에서 동작하는 전력 효율 향상을 위한 하이브리드 DC-DC 컨버터

우기찬<sup>1</sup> · 목진원<sup>2</sup> · 김태우<sup>1</sup> · 황선광<sup>1</sup> · 양병도<sup>3\*</sup>

### Hybrid DC-DC Converter For Power Efficiency Improvement Operating Over a Wide Load Power

Ki-Chan Woo<sup>1</sup> · Jin-Won Mok<sup>2</sup> · Tae-Woo Kim<sup>1</sup> · Seon-Kwang Hwang<sup>1</sup> · Byung-Do Yang<sup>3\*</sup>

<sup>1</sup>School of Electrical Engineering and Computer Science Graduate School of Chungbuk National University, Chungbuk National University, Cheongju, 28644, Korea

<sup>2</sup>Siliconworks, Daejeon, 34027, Korea

<sup>3</sup>Department of Electronics Engineering, Chungbuk National University, Cheongju, 28644, Korea

#### 요 약

본 논문에서는 넓은 출력 부하 전력에서도 동작하는 하이브리드 변환기를 제안했다. 스위치드 커패시터 변환기는 높은 부하 전력에서 효율이 낮고, 낮은 부하 전력에서는 효율이 높다. 반대로, 벡 변환기는 높은 부하 전력에서는 효율이 높고, 낮은 부하 전력에서는 효율이 낮다. 제안된 하이브리드 변환기는 스위치드 커패시터 변환기와 벡 변환기를 혼합했다. 낮은 부하 전력에서는 스위치드 커패시터 변환기를 동작시키고, 높은 부하에서는 벡 변환기를 동작시켜, 넓은 출력 부하 전력에서 전력 효율을 향상시켰다. 제안된 하이브리드 변환기는 0.18 $\mu$ m CMOS 공정으로 구현되었다. 하이브리드 변환기의 출력 부하 전력 범위는 0.05~100mW이며, 벡 변환기와 스위치드 커패시터 변환기에서 각각 93%와 77%의 최대 전력 효율을 가진다.

#### ABSTRACT

This paper proposed hybrid converter to operate over a wide output load power. The switched-capacitor converter has a high efficiency at low load power and a low efficiency at high load power. On the contrary, the buck converter has a high efficiency at high load power and a low efficiency at low load power. The proposed hybrid converter has combination of the switched-capacitor converter and the buck converter. The switched-capacitor operates at low load power and buck converter operates at high load power, so that the hybrid converter is improved power efficiency at wide output load power. The hybrid converter was implemented with a 0.18 $\mu$ m CMOS process. The hybrid converter has a range of the load power between 50 $\mu$ W and 100mW. The maximum power efficiencies are 93% and 77% at the buck converter and the switched-capacitor converter, respectively

**키워드** : DC-DC 컨버터, 벡 컨버터, 스위치드-커패시터 컨버터, 전력효율

**Key word** : DC-DC Converter, Buck Converter, Switched-Capacitor Converter, Power Efficiency

Received 25 July 2016, Revised 26 July 2016, Accepted 08 August 2016

\* Corresponding Author Byung-Do Yang(E-mail:bdyang@chungbuk.ac.kr, Tel:+82-43-261-3583)

Department of Electronics Engineering, Chungbuk National University, Cheongju, 28644, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2016.20.9.1763>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

노트북, 스마트폰과 같은 휴대기기는 한정된 배터리 용량으로 인해 사용 시간의 제약을 받고 있다. 사용시간을 최대한 향상시키기 위해, 각 모듈의 동작 상태에 따라 공급되는 전력을 조절하여 소비 전력을 줄인다[1,2]. 따라서 모듈에 공급되는 전력에 따라 전력 효율을 최대한 향상시켜 배터리 소비를 감소시켜야 한다.

벅 변환기(Buck converter)는 인덕터를 사용하는 강압형 DC-DC 변환기로서 부하에 큰 전력을 전달할 수 있고, 높은 전력 효율을 가진다. 하지만 적은 부하에서는 스위칭 손실로 인한 전력 효율이 감소하는 문제점이 있다. 이러한 이유 때문에, 적은 부하전력에서는 전력 효율을 높이기 위해서 벅 변환기에 펄스 스킵핑(Pulse skipping) 기법을 이용한다[3,4].

그림 1은 펄스 스킵핑 동작을 설명하고 있다. 벅 변환기는 출력 부하 전류( $I_{LOAD}$ )가 감소함에 따라, PWM의 듀티비(Duty ratio)가 감소한다.  $I_{LOAD}$ 가 일정 기준( $I_{REF}$ ) 이하로 감소하게 되면, PWM의 듀티비는 감소하지 않

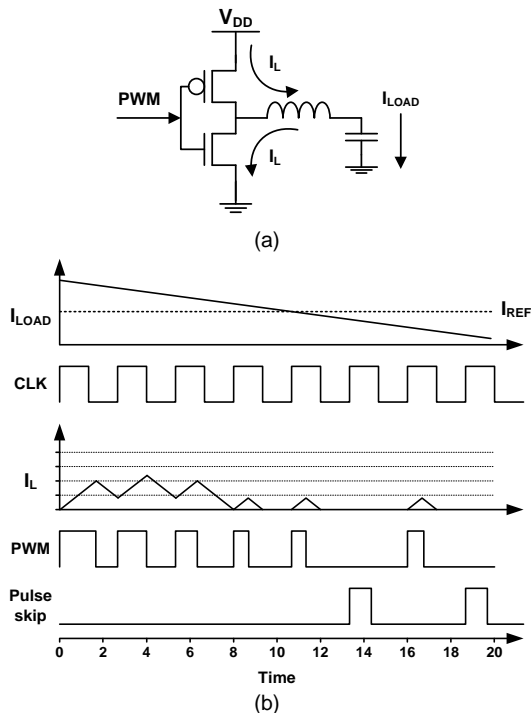


Fig. 1 (a) Buck converter circuit (b) Pulse skipping waveform diagram

고 일정하게 유지하게 된다. 또한, 펄스 스킵(Pulse skip) 신호가 발생하면서 PWM의 발생 횟수를 감소시킨다. PWM이 스킵핑 되면서 스위칭 동작을 하지 않아, 낮은 부하 전력에서 효율을 증가시킨다. 그러나, 더 낮은 부하 전류에서 아날로그 회로의 전력 소비가 인덕터의 전력 소비보다 크기 때문에, 펄스 스킵핑을 사용하는 벅 변환기라도 전력 효율이 크게 떨어진다.

스위치드 커패시터 변환기(Switched capacitor converter)는 디지털 회로로 이루어져 있기 때문에, 낮은 부하에서도 높은 전력 효율을 가진다[5,6]. 또한 커패시터를 사용하기 때문에, 칩 안으로 집적 가능하다. 하지만 집적할 수 있는 커패시터의 용량에 한계가 있기 때문에, 부하에 공급할 수 있는 전력에 제한이 있으며 부하가 증가할수록 전력 효율이 낮아지게 된다.

본 논문에서는 벅 변환기와 스위치드 커패시터 변환기를 하이브리드 하여, 넓은 출력 부하에서도 높은 전력 효율을 유지하도록 제안하였다.

## II. 본 론

그림 2는 벅 변환기와 스위치드 커패시터 변환기의 전력효율 그래프이다. 부하전력이  $P_2$ 보다 클 경우에는 (Load power >  $P_2$ ) 벅 변환기의 전력효율이 가장 높고, 부하전력이  $P_1$ 과  $P_2$ 사이에서는 ( $P_1 < \text{Load power} < P_2$ ) 펄스 스킵 벅 변환기의 전력효율이 가장 높다. 부하전력이 작을 경우에는 (Load power <  $P_1$ ) 스위치드 커패시터 변환기의 전력효율이 가장 높다. 제안된 하이브리드 변환기는 부하전력이 클 경우에는 (Load power >  $P_2$ ) 벅 변환기를 동작 시키고, 부하전력이 작아지면( $P_1 <$

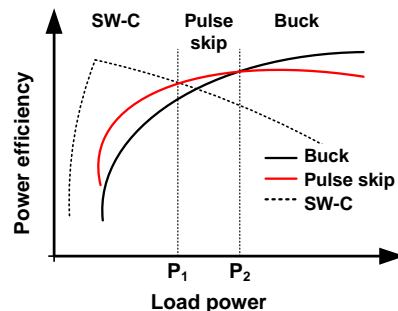


Fig. 2 Power efficiency of switched capacitor converter versus buck converter

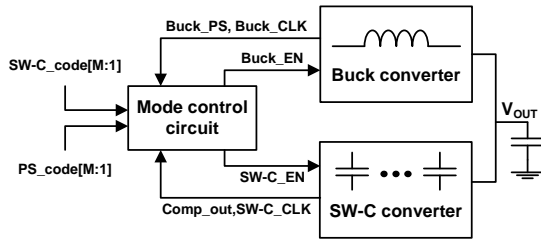


Fig. 3 The proposed structure of the hybrid converter

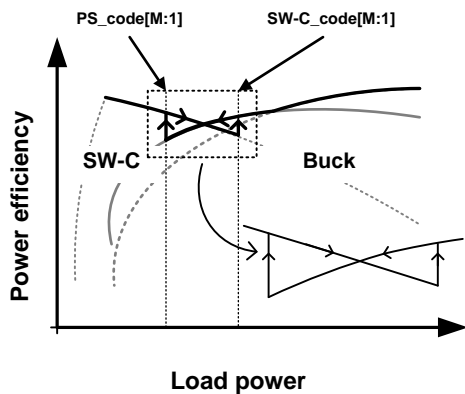


Fig. 4 The proposed hybrid power converter efficiency

Load power <  $P_2$ ) 펄스 스킵핑을 동작시킨다. 그러다 부하전력이 더 작아지면(Load power <  $P_1$ ) 스위치드 커패시터 변환기를 동작시켜, 전체적인 전력효율을 증가시킨다.

그림 3은 제안된 하이브리드 변환기 구조이다. 하이브리드 변환기는 펄스 스킵핑 모드를 사용하는 벅 변환기, 스위치드 커패시터 변환기, 모드 제어 회로로 구성되어 있다. 모드 제어 회로는 벅 변환기와 스위치드 커패시터 변환기의 동작 전환 시점을 알아내기 위해서, 벅 변환기로부터 펄스 스킵핑 신호(Buck\_PS), 벅 변환기 클럭(Buck\_CLK)을 받고, 스위치드 커패시터 변환기로부터는 비교기 출력(Comp\_out)과 스위치드 커패시터 클럭(SW-C\_CLK)을 받아들인다. 위의 신호들과 스위치드 커패시터 코드(SW-C\_code[M:1]), 펄스 스킵핑 코드(PS\_code[M:1])를 비교하여 각 변환기의 동작 시점을 판단한다. 그 후, 모드 제어 회로로부터 벅 변환기 또는 스위치드 커패시터 변환기 중 하나만 동작시킨다. 예를 들어, 벅 변환기가 동작을(Buck\_EN=1) 하면, 스위치드 커패시터 변환기는 동작을 하지 않는다. (SW-C\_EN=0)

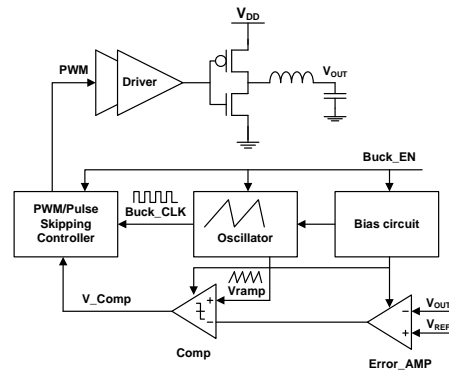


Fig. 5 The structure of the pulse skipping converters used in hybrid Converter

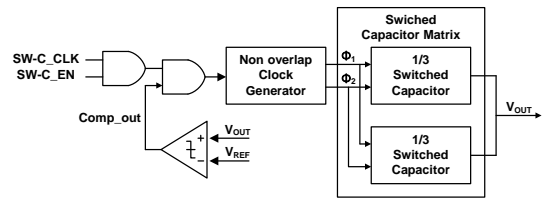


Fig. 6 The structure of the switched capacitor converter used in hybrid Converter

그림 4는 제안된 하이브리드 컨버터의 전력효율 그래프이다. 부하전력이 큰 상태에서는 벅 변환기가 동작을 하다가, 부하전력이 PS\_code[M:1] 이하로 감소하게 되면, 스위치드 커패시터 변환기가 동작을 하게 된다. 부하전력이 작은 상태에서는 스위치드 커패시터 변환기가 동작을 하다가, 부하 전력이 SW-C\_code[M:1] 이상으로 증가하게 되면 벅 변환기를 동작시킨다. 그 결과, 전체적으로 전력 효율을 향상시킬 수 있다.

그림 5는 하이브리드 변환기에서 사용되는 펄스 스킵핑 벅 변환기 구조이다. 펄스 폭 변조/펄스 스킵핑 제어(PWM/Pulse skipping controller)는 벅 변환기의 부하전력이 작아지면, PWM 발생 횟수를 줄인다. PWM을 적게 발생시켜, 스위칭 손실을 줄여 전력효율을 상승시킨다. 하지만, 전력부하가 더 작아지면 벅 변환기의 전력효율이 크게 떨어지기 때문에, 벅 변환기의 동작을 멈추고 스위치드 커패시터 변환기를 동작시킨다. 벅 변환기의 전력 소모를 없애기 위해서, Buck\_EN를 통해 Bias circuit, Oscillator, Comp, Error\_AMP, PWM/Pulse skipping controller를 끈다.

그림 6은 하이브리드 변환기에서 사용되는 스위치드

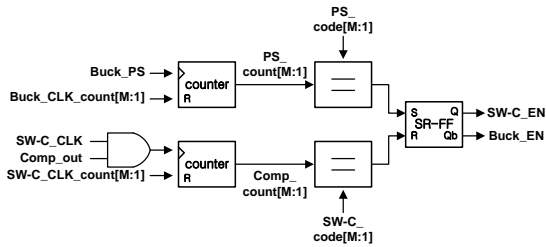


Fig. 7 Mode control circuit

커패시터 변환기 구조이다. 스위치드 커패시터 매트릭스는 작은 부하전력에서만 사용되며, 입력전압의 1/3에 해당하는 출력전압을 생성한다. 또한, 출력 전압의 리플을 감소시키기 위해서 인터리브 구조로 구성되었다. 부하전력이 클 경우 SW\_C\_EN 신호를 통해서 스위치드 커패시터 변환기를 끈다.

그림 7은 모드 제어 회로이다. 모드 제어 회로는 2개의 카운터와 2개의 Equal 회로, SR 플립플롭으로 구성되어 있다. Equal 회로는 디지털 코드 PS\_code[M:1]과 SW-C\_code[M:1]를 PS\_count[M:1]과 Comp\_count[M:1]이 같은지 비교한다. 두 디지털 코드가 같으면 'High' 신호를 출력한다. 벡 변환기 또는 스위치드 커패시터 변환기의 변경 시점을 알기 위해서 벡 펄스 스킵핑 (Buck\_PS), 벡 클럭 카운트 (Buck\_CLK\_count[M:1]), 비교기 출력 (Comp\_out), 스위치드 커패시터 클럭 (SW-C\_CLK) 및 스위치드 커패시터 클럭 카운트 (SW-C\_CLK\_count[M:1])를 이용한다. 그림 8은 부하전력 감소에 따른 모드 제어 회로의 동작 파형이다. Buck\_count[M:1]과 PS\_count[M:1]은 각각 벡 변환기 클럭 (Buck\_CLK)과 벡 펄스 스킵핑 (Buck\_PS)을 센다. 부하전력 (Load power)이 작아지면 Buck\_PS가 자주 발생하면서 PS\_count[M:1] 코드가 빠르게 증가한다. PS\_count[M:1]이 PS\_code[M:1]과 같아지기 전에 Buck\_count[M:1]의 값이  $2^M$ 이 되면 부하전력이 크다고 판단하여, 벡 변환기의 동작을 유지시킨다. 그리고 Buck\_count[M:1]와 PS\_count[M:1]을 리셋하고 다시 카운트를 시작한다. 부하전력이 작아져 Buck\_PS가 자주 발생하면 Buck\_count[M:1]이  $2^M$ 이 되기 전에 PS\_count[M:1]이 PS\_code[M:1]이 같아진다. 그 결과, 그림 7의 Equal 회로에서 'High' 신호가 발생하며 SR 플립플롭이 Set(S) 되면서 스위치드 커패시터 변환기를 동작 (SW-C\_EN=1)시키고 벡 변환기의 동작을 정지 (Buck\_EN=0)시킨다.

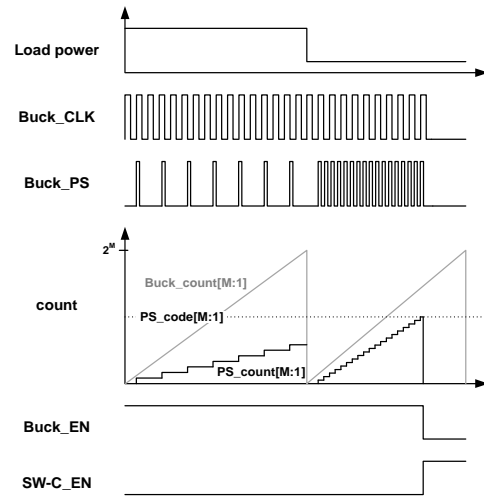


Fig. 8 Waveform of control circuit in accordance with the load power reduction

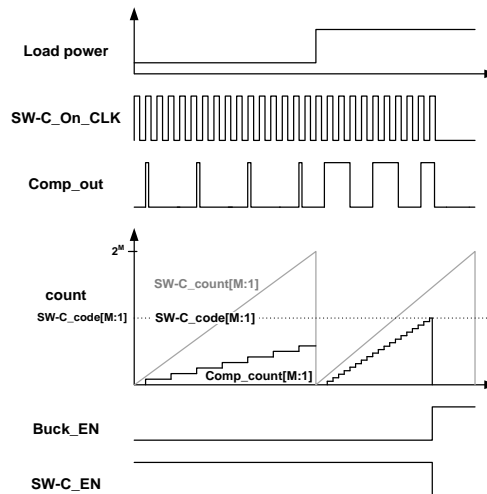


Fig. 9 Waveform of control circuit in accordance with the load power increase

그림 9는 부하전력 증가에 따른 모드 제어회로의 동작 파형이다. 스위치드 커패시터 변환기가 동작하면 SW-C\_On\_CLK에 의해서 SW-C\_count[M:1]이 증가한다. 또한 비교기로부터 부하 상태에 따라 펄스폭이 변하는 Comp\_out에 따라 Comp\_count[M:1]이 증가한다. Comp\_out은 부하가 증가할수록 펄스폭이 넓어지면서 Comp\_count[M:1]를 빠르게 증가시킨다. SW-C\_code[M:1]이 Comp\_count[M:1]과 같아지기 전에 SW-C

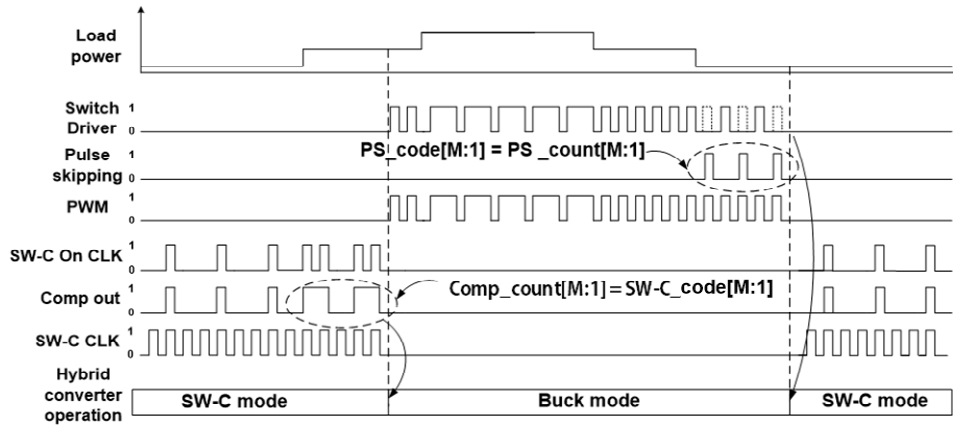


Fig. 10 Waveform of proposed hybrid converter

\_count[M:1]의 값이  $2^M$ 이 되면 부하전력이 작다고 판단하여, 스위치드 커패시터 변환기의 동작을 유지시킨다. 그리고 SW-C\_count[M:1]와 Comp\_count[M:1]을 리셋하고 다시 카운트를 시작한다. 부하가 커져서 Comp\_out 펄스폭이 넓어지면 SW-C\_count[M:1]이  $2^M$ 이 되기 전에 Comp\_count[M:1]이 SW-C\_code[M:1]이 같아진다. 그 결과, 그림 7의 Equal 회로에서 'High' 신호가 발생하며 SR 플립플롭이 Reset(R) 되면서 벡 변환기를 동작(Buck\_EN=1)시키고 스위치드 커패시터 변환기의 동작을 정지(SW-C\_EN=0)시킨다.

그림 10은 하이브리드 변환기의 동작 파형을 보여준다. 부하전력이 작을 경우 스위치드 커패시터 변환기가 동작한다. 부하 전력이 증가함에 따라 Comp\_out의 펄스폭이 넓어지면서 Comp\_count[M:1]이 빠르게 증가한다. Comp\_count[M:1]이 SW-C\_code[M:1]과 같아지면, 스위치드 커패시터 변환기는 동작을 멈추고 벡 변환기가 동작한다. 벡 변환기가 동작하다가, 부하전력이 감소하면 펄스 스킵핑(Pulse skipping)이 발생한다. 펄스 스킵핑이 발생하면서 PS\_count[M:1]을 증가시켜 PS\_code[M:1]과 같아지면, 벡 변환기를 멈추고 스위치드 커패시터 변환기를 동작시킨다.

### III. 실험

제안된 하이브리드 변환기는 0.18 $\mu$ m CMOS로 구현하였다. 그림 11은 제안된 하이브리드 컨버터의 레이아웃

아웃이다. 제안된 하이브리드 컨버터는 벡 변환기, 스위치드 커패시터 변환기, 모드 제어 회로로 구성되어 있다.

그림 12는 스위치드 커패시터 변환기의 시뮬레이션 파형이다. 그림 12(a)는 로드 전류가 100 $\mu$ A, 그림 12(b)는 로드 전류가 2mA일 때의 출력 전압 및 CMP\_clock의 시뮬레이션 결과를 보여준다. 출력 전압 리플은 둘 다 19.82 $\mu$ V이다. 로드 전류가 증가 할수록 부하전력이 증가하기 때문에, CMP\_clock이 자주 발생하게 된다.

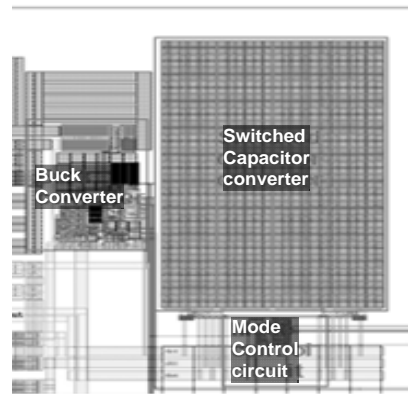


Fig. 11 Layout of hybrid converter

그림 13는 펄스 스킵핑 벡 변환기의 시뮬레이션 파형이다. 그림 13(a)와 같이 출력 전류 100mA일 경우, 펄스 스킵핑 벡 변환기의 PWM 펄스 폭은 280ns으로 듀티비는 28%이고, 인덕터 전류 리플은 73.8mA, 출력전압 리플은 1.12mV이다.

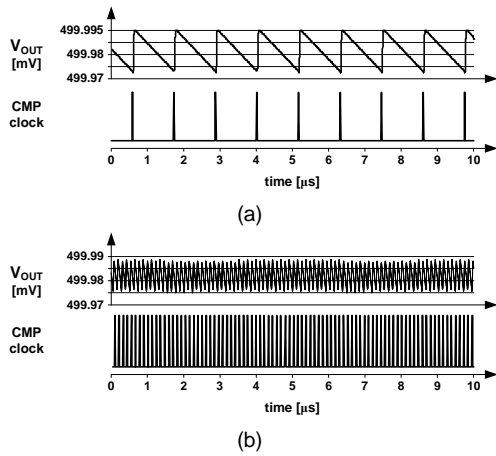


Fig. 12 Waveform of the switched capacitor converter (a) 100µA (b) 2mA

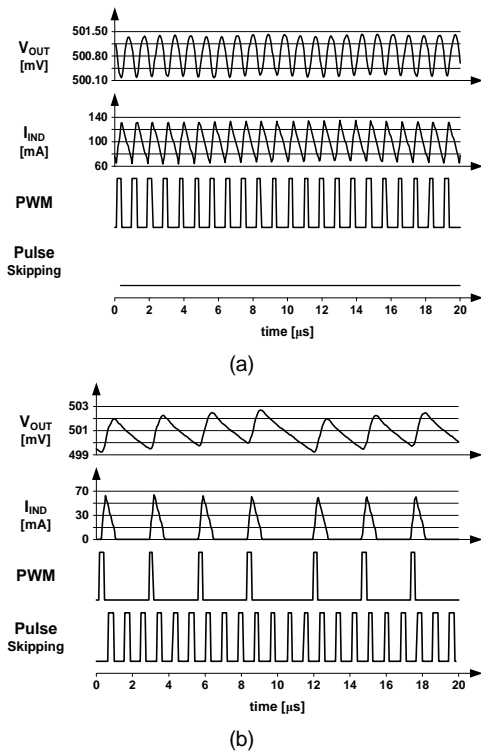


Fig. 13 Waveform of the Pulse-skipping buck converter (a) 100mA (b) 10mA

그림 13(b)와 같이 출력 전류 10mA일 경우, 펄스 스킵핑 벡 변환기의 PWM 펄스 폭은 220ns으로 듀티비는 22%이고, 인덕터 전류 리플은 66.3mA, 출력전압 리플

은 3.45mV이다. 10mA일 경우, 출력 부하 전력이 낮기 때문에, 펄스 스킵핑 (Pulse skipping)이 발생하며 이때는 PWM을 스킵한다.

표 1은 하이브리드 변환기의 시뮬레이션 특성 및 환경을 보여준다. 벡 변환기는 1MHz의 속도로 동작하며, 부하전력은 2mW~100mW의 범위를 갖는다. 스위치드 커패시터 변환기는 25MHz의 속도로 동작하며, 부하전력은 0.5µW~2mW의 범위를 갖는다. 벡 변환기와 스위치드 커패시터 변환기의 최대전력 효율은 각각 93%와 77%이다.

Table. 1 Hybrid Converter simulation features & environment

Technology		0.18µm CMOS
V <sub>IN</sub>		1.8V
Capacitor		4.7µF
Buck converter	Inductor	4.7µH
	Frequency	1MHz
	Area	0.092mm <sup>2</sup>
	Load range	2m ~ 100mW
Max efficiency		93%
Switched capacitor converter	Frequency	25MHz
	Area	0.4914mm <sup>2</sup>
	Load range	0.5µ ~ 2mW
	Max efficiency	77%
mode controller	Frequency	1.25MHz
	static current	1.89µA
	Area	0.01mm <sup>2</sup>

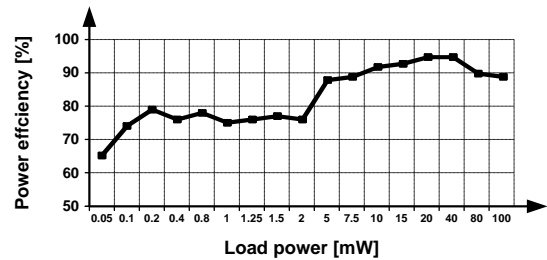


Fig. 14 Power efficiency of hybrid converter

그림 14는 제안된 하이브리드 변환기의 전력 효율을 보여준다. 제안된 하이브리드 변환기는 작은 부하전력에서는 스위치드 커패시터 변환기가 동작하고 큰 부하전력에서는 벡 변환기가 동작함으로써, 넓은 범위의 부하전력에서 전력효율을 증가시켰다.

표 2는 변환기 비교결과이다. [6]번은 Tri-gate CMOS

**Table. 2** Converter comparison table

	[6]	[7]	[8]	This work
Technology	22 nm Tri-gate CMOS	0.35 $\mu\text{m}$ CMOS	64nm CMOS	0.18 $\mu\text{m}$ CMOS
Converter Type	SW capacitor	Buck	Buck + SW capacitor	Buck + SW capacitor
$V_{\text{IN}}$	1.23 V	3.3~4.2 V	1.2 V	1.8 V
$V_{\text{OUT}}$	0.45-1V	1.2 V	0.3-1.1V	0.5 V
Inductor	-	4.7 $\mu\text{H}$	0.5nH	4.7 $\mu\text{H}$
Capacitor	-	8.9 $\mu\text{F}$	10nF	4.7 $\mu\text{F}$
Frequency	250MHz	750 KHz	350MHz	1~25MHz
Max efficiency	70%(0.55V) 84%(1.1V)	86.6%	87%	93%(Buck) 77%(SW-capacitor)
Area	0.2 $\text{mm}^2$	1.9 $\text{mm}^2$	-	0.5934 $\text{mm}^2$

를 이용한 스위치드 커패시터 변환기이다. 1:1 변환 비 (출력 전압 1.1V)에서는 84%의 효율을 보여주지만 1:3 변환 비(출력전압 0.55V)에서는 70% 정도의 효율을 보여준다. 또한 부하전력이 0.1mW~40mW의 범위를 갖는다. [7]번은 AOT(adaptive on-time)를 사용하여 부하전류에 따른 온타임을 조절하여, 전력효율을 향상시킨다. 부하전력은 최소 60mW 이상이다. [8]번은 스위치드 커패시터 변환기와 벡 변환기를 직렬로 연결하여, 낮은 부하에서만 전력 효율을 향상시켰다. 제안된 하이브리드 변환기는 0.5 $\mu\text{W}$ ~100mW까지 넓은 범위의 부하전력에서 동작이 가능하며, 스위치드 커패시터 변환기에서는 77%, 벡 변환기에서는 93%의 전력 효율을 보여주고 있다.

#### IV. 결 론

본 논문에서 제안된 하이브리드 변환기는 벡 변환기와 스위치드 커패시터 변환기를 하이브리드하여 넓은 부하전력에서 높은 전력효율을 갖는다. 작은 부하전력에서는 스위치드 커패시터 변환기를 동작시키고, 큰 부하전력에서는 벡 변환기를 동작시켜 전체적인 효율을 증가시켰다. 변환기의 동작 전환 시점은 모드 제어 회로로 디지털 코드에 의해서 조절이 가능하다. 제안된 하이브리드 변환기는 0.18 $\mu\text{m}$  CMOS 공정으로 구현되었으며 벡 변환기는 1MHz 주파수, 스위치드 커패시터 변환기는 25MHz로 동작한다. 시뮬레이션 결과 벡 변환기의 부하 전력 범위는 2mW~100mW, 최대 효율은 93%이며, 스위치드 커패시터 변환기의 부하 전력 범위는 0.5 $\mu\text{W}$ ~2mW이며 최대 효율은 77%이다.

#### ACKNOWLEDGMENTS

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Education, Science and Technology (2015R1D1A3A01017756).

The chip fabrication was supported by the IC Design Education Center (IDEC).

#### REFERENCES

- [1] J. M. Kim, H. H. Chu, C. W. Kim, "Current-mode DC-DC buck converter with reliable hysteretic-mode control and dual modulator for fast dynamic voltage scaling," *Circuits and Systems, 2009. MWSCAS '09. 52nd IEEE International Midwest Symposium on*, pp.941-944, Aug. 2009.
- [2] A. emira, H. Elwan, S. Abdelaziz, "DC-DC converter with ON-time control in pulse-skipping modulation," *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, pp.2746-2749, May 2010.
- [3] P. J. Liu, Y. C. Hsu, Y. H. Chang, "A current-mode buck converter with a pulse-skipping soft-start circuit," *Power Electronics and Drive Systems (PEDS), 2013 IEEE 10th International Conference on*, pp.22-25, June 2013.
- [4] W. Sun. et al, "A Ripple Control Dual-Mode Single-Inductor Dual-Output Buck Converter With Fast Transient Response," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 23, no. 1, pp. 107-117, Jan. 2015.
- [5] Y. K. Ramadass, A. P. Chandrakasan, "Voltage Scalable

- Switched Capacitor DC-DC Converter for Ultra-Low-Power On-Chip Applications," 2007 IEEE Power Electronics Specialists Conference, pp.2353-2359, June 2007.
- [6] R. Jain. et al., "A 0.45 - 1V fully integrated reconfigurable switched capacitor step-down DC-DC converter with high density MIM capacitor in 22nm tri-gate CMOS," 2013 Symposium on VLSI Circuit, pp. 174-175, June 2013.
- [7] C. H. Tsai, S. M. Lin, C. S. Huang. "A Fast-Transient Quasi-V2 Switching Buck Regulator Using AOT Control With a Load Current Correction (LCC) Technique," IEEE Transaction on Power Electronics., vol. 28, no. 8, pp. 3949-3957, Aug. 2013.
- [8] A. Abdulslam, Farid E. S. Y. Ismail. "Five-level hybrid DC-DC converter with enhanced light-load efficiency," 2016 IEEE International Symposium on Circuits and Systems (ISCAS), pp.22-25, May 2016.



**우기찬(Ki-Chan Woo)**

2014년 충북대학교 전자공학부 학사 졸업  
2014년 ~ 현재 충북대학교 전기전자정보컴퓨터학부 석·박사 통합 과정  
※관심분야 : 전력변환 IC 설계, 아날로그 디지털 변환기 설계



**목진원(Jin-Won Mok)**

2012년 충북대학교 전자공학부 학사 졸업  
2014년 충북대학교 전자공학부 석사 졸업  
2015년 ~ 현재 실리콘웍스 연구원  
※관심분야 : 아날로그 IC 설계, 전력변환 IC 설계



**김태우(Tae-Woo Kim)**

2016년 충북대학교 전자공학부 학사 졸업  
2016년 ~ 현재 충북대학교 전기전자정보컴퓨터학부 석사 과정  
※관심분야 : 아날로그 IC 설계, 아날로그 디지털 변환기 설계



**황선광(Seon-Kwang Hwang)**

2016년 충북대학교 전자공학부 학사 졸업  
2016년 ~ 현재 충북대학교 전기전자정보컴퓨터학부 석사 과정  
※관심분야 : 아날로그 IC 설계, 전력변환 IC 설계



**양병도(Byung-Do Yang)**

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업  
2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업  
2005년 한국과학기술원 전자전산학과 전기및전자공학전공 박사 졸업  
2005년 ~ 2006년 삼성전자 반도체 사업부 책임 연구원  
2006년 ~ 2007년 충북대학교 전자공학부 전임강사  
2008년 ~ 2011년 충북대학교 전자공학부 조교수  
2012년 ~ 2015년 충북대학교 전자공학부 부교수  
2016년 ~ 현재 충북대학교 전자공학부 정교수  
※관심분야 : 아날로그 IC 설계, 전력변환 IC 설계, 메모리 설계