

## 멀티 레벨 셀 플래시 메모리 신뢰성 분석을 통한 항공 전자장비용 내결함성 메모리 설계 연구

# Research on Fault Tolerant Avionics Memory Design through Multi Level Cell Flash Memory Reliability Analysis

정상규\* · 전병규 · 김영목 · 장인기

국방기술품질원 사천3팀

Sang-gyu Jeong\* · Byung-kyu Jun · Young-mok Kim · In-ki Chang

3rd Sacheon team, Defense Agency of Technology and Quality, Gyeongsangnam-do 52851, Korea

### [요 약]

일반적으로 MLC NAND 플래시 저장장치는 SLC NAND 플래시 기반의 장치에 비해 정보 신뢰성이 낮은 것으로 평가된다. MLC 플래시는 SLC 플래시 보다 약 1000배 이상의 RBER (raw bit error rate)을 갖는다고 평가되나 최근 Google 데이터 센터에서 수집된 결과로부터 수행된 연구를 통해 실제 RBER은 이보다 훨씬 낮은 것으로 확인되었다. 이런 연구 결과를 바탕으로 우리는 MLC 플래시의 여유 저장 공간과 SSD 내부에 존재하는 Firmware 층을 활용하여 하드웨어적 구조 복잡성의 증가 없이 정보 신뢰성을 향상시키는 방법인 IDDD (in drive data duplication) 방식을 고안하였고 실 측정결과와 계산을 통해 MLC 플래시의 정보 신뢰성이 SLC 플래시 대비 상당히 높아질 수 있음을 보였다. 우리가 연구한 총 48개 상황 중 44개의 상황에서 SLC 플래시의 RBER이 MLC 플래시보다 낮았음에도 불구하고 IDDD방식을 적용함으로써 48개의 모든 상황에서 MLC 플래시의 RBER이 SLC 플래시보다 낮으며, 43개의 상황에서 UBER (uncorrectable bit error rate) 또한 SLC 플래시 대비 낮음을 보였다.

### [Abstract]

Typical MLC NAND flash devices are considered less reliable than SLC NAND flash devices. Although raw bit error rate (RBER) of MLC flash had been considered approximately 1000times or more higher than that of SLC flash, recent research conducted on Google's data center shows that it is much lower than such expectation. Based on the research, we devised In Drive Data Duplication (IDDD) scheme that efficiently exploit MLC flash's sufficient capacity to improve its data reliability without structural complexity increment using SSD intrinsic firmware layer, and showed the data reliability expectation of MLC flash could be significantly higher than that of SLC flash from measured and calculated error rates. Even though RBER of SLC flash was lower than that of MLC flash in 44 out of 48 cases we studied, applying IDDD scheme, RBER of MLC flash was became lower than that of SLC in all 48 cases and uncorrectable bit error rate (UBER) of MLC flash was became lower than that of SLC flash in 45 out of 48 cases.

**Key word** : Solid state drive, Single level cell, Firmware layer, Error rate.

<http://dx.doi.org/10.12673/jant.2016.20.4.321>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 21 June 2016; Revised 20 July 2016

Accepted (Publication) 29 August 2016 (30 August 2016)

\*Corresponding Author : Sang-gyu Jeong

Tel: +82-55-751-5871

E-mail: net777oz@gmail.com

## I. 서론

항공기 전자장비의 중 비행데이터를 수집 저장하는 장비는 해당 장비가 포함된 개별 시스템이 보유한 고유의 비휘발성 메모리에 데이터를 저장한다. 현대 항공기에 사용되는 이런 비휘발성 메모리는 진동 등의 기계적 충격에 대한 내성을 갖기 위해 HDD (hard disk drive) 대신 주로 NAND 플래시 메모리 기술기반의 SSD (solid state drive)로 구성된다.

NAND 플래시 메모리는 저장용량을 늘리기 위해 한 메모리 셀에 두 bit 이상의 정보를 저장하는 기술을 발전시켜 왔다. 그러나 이런 기술을 적용한 MLC (multi level cell) 플래시의 경우 SLC (single level cell) 플래시에 비해 저장 정보의 신뢰성이 낮아 정보손실 가능성이 높다. 이런 특성 때문에 MLC 플래시의 SLC 플래시 대비 높은 용량 효율성에도 불구하고 일반적인 경우 개인용도 외의 많은 분야(항공, 산업용, 의료, 군수 등)에서 MLC 플래시의 활용이 제한되고 있다.

MLC 플래시의 신뢰성 향상을 위하여 업계에서는 셀 자체의 수명연장을 위한 제조 기술 및 셀 간 부하 분배를 위한 wear-leveling 기술을 계속해서 발전시켜 왔다[1]. 또한, 플래시 메모리 기술 발전에 따른 메모리 셀의 신뢰성 변화를 정량적으로 측정하기 위한 실험실 단위에서의 시험이 과거부터 계속 수행되어 왔고, 최근 들어서는 Google의 data center에서 6년 동안 수백만 drive days에 대해 측정한 실 산업환경에서의 신뢰성 관련 측정수치들이 공개되었다. 이러한 자료를 바탕으로 SLC 플래시 대비 MLC 플래시의 결함 유형별 발생빈도의 통계적 예측이 가능해졌고 따라서 NAND 플래시 메모리 셀의 신뢰성 증대를 위한 다양한 기법을 고안하고 그에 따른 overhead 및 신뢰성-용량 간 trade off 효과를 정량적으로 예측하는 것 또한 가능해졌다.

본 논문에서는 MLC 플래시에 데이터 이중화를 효율적으로 적용하는 방식의 소개하고 BER (bit error rate) 실측값을 바탕으로 MLC 플래시에 이 방식의 적용을 통해 SLC 플래시 대비 높은 신뢰성을 얻을 수 있음을 보였다.

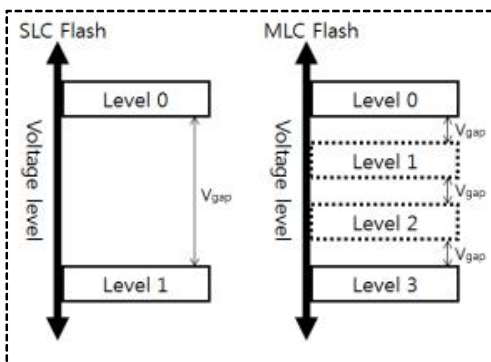


그림 1. SLC와 MLC 플래시 간의 전위 값 비교  
 Fig. 1. Voltage level comparison between SLC and MLC flash.

논문의 구성은 다음과 같다:

- 관련기술 특성 (Section 2)
- 신뢰성 분석 (Section 3)
- In Drive Data Duplication (Section 4)
- 신뢰성(Section 4-1)
- 오버헤드(Section 4-2)
- 결론(Section 5)

## II. 관련기술 특성

### 2-1 플래시 메모리 기술

플래시 메모리 셀은 반복적인 읽기 쓰기에 대한 내구성이 HDD대비 낮은 것으로 밝혀졌다. 이러한 경향은 SLC 플래시보다 MLC에서 더욱 두드러지는 경향을 보인다[2]. MLC 기술은 1개의 물리적 셀에 2bit의 자료를 저장하여 반도체 기판(die) 사이즈를 줄이는 기술이다. 1개의 셀에 한 bit의 자료를 저장하는 전통적인 SLC 방식 대비 저장 밀도가 증대되는 반면 일반적으로 정보 신뢰성과 읽기/쓰기 속도 등의 드라이브 성능은 감소한다 [3].

SLC 방식의 플래시 메모리는 floating gate에 고립된 전자 수의 변화에 의한 source-drain간의 전압(vgap)을 두 단계로 구분하여 0과 1을 저장한다. MLC 기술을 적용하면 Vgap값을 4단계로 구분하여 “00, 01, 10 또는 11”의 두 bit를 한 셀에 저장한다. 이때, 그림 1과 같이 Vgap값을 세분화 할수록 각 레벨 별 에너지 준위의 차이가 작아져 정보 신뢰성 및 드라이브 성능이 감소하는 원인이 된다[4].

### 2-2 오류 유형

플래시 메모리에서 발생하는 오류의 유형별 빈도가 표 1과 같이 실험실 환경 및 실사용 환경에서 통계적으로 측정되었고[5], 이러한 에러 유형은 사용자에게 전달되기 전에 드라이브 단위에서 차단(mask) 가능한 오류와(transparent error)와 그것이 불가능하여 보다 심각한 결과를 초래할 수 있는 오류 (non-transparent error)로 구분할 수 있다.

- Transparent errors 유형
  - Correctable error: Error correcting code(ECC)에 의해 식별되어 교정(corrected)된 오류
  - Read/Write error: 읽기/쓰기에 실패하였으나 재시도하여 성공한 오류
  - Erase error: block erase에 실패한 오류(해당블록 사용 불가)
- Non-transparent errors 유형
  - Uncorrectable error: ECC에 의해 식별은 가능하나 교정할 수 있는 수를 초과하는 bit에서 발생한 오류
  - Final read/write error: 읽기/쓰기의 재시도 까지 실패한 오류

표 1. 다양한 오류 유형들의 운용 drive days 당 발생 빈도

Table 1. The prevalence of different types of errors. Fraction of drive days affected.

	MLC-A	MLC-B	MLC-C	MLC-D	SLC-A	SLC-B	SLC-C	SLC-D
final read error	1.02e-03	1.54e-03	1.78e-03	1.39e-03	1.06e-03	9.90e-04	7.99e-04	4.44e-03
uncorrectable error	2.14e-03	1.99e-03	2.51e-03	2.28e-03	1.35e-03	2.06e-03	2.96e-03	6.07e-03
final write error	2.67e-05	2.13e-05	1.70e-05	3.23e-05	2.63e-05	4.21e-05	1.21e-05	9.42e-06
correctable error	8.27e-01	7.53e-01	8.49e-01	7.33e-01	7.75e-01	6.13e-01	6.48e-01	9.00e-01
read error	7.94e-05	2.75e-05	3.83e-05	7.19e-05	3.07e-05	5.85e-05	1.36e-05	2.91e-05
write error	1.12e-04	1.40e-03	1.28e-04	1.52e-04	2.40e-04	2.93e-04	1.21e-03	4.80e-04
erase error	2.63e-04	5.34e-04	1.67e-04	3.79e-04	1.12e-04	1.30e-03	4.16e-03	1.88e-04

2-3 RAID 1

RAID (redundant array of inexpensive disks) level 1은 대표적인 high-level architecture 기반의 데이터 이중화 방법이다. 이 방식은 물리적으로 독립적인 disk에 동일한 정보를 중복 저장하여 정보의 손실가능성을 줄이기 위해 고안된 저장방식으로서 정보 신뢰성이 중요한 산업 및 일부 가정에서도 이미 사용 중인 기술이다. Host가 전달한 정보를 RAID controller가 블록화하여 복수의 드라이브에 중복 기록하므로 기존의 호스트 입장에서는 단일 드라이브에 정보를 기록하는 것과 완전히 동일하게 동작하며 모든 작업은 RAID system에서 host와는 독립적으로 수행된다. 그러므로 host 단에서의 RAID 적용을 위한 변경이 필요하지 않다. 또한 RAID controller가 물리적으로 독립된 별도의 드라이브에 이중화된 정보를 저장하므로 모든 정보에 대해 1개 이상의 backup 정보가 존재하기 때문에 특정 정보가 하나의 드라이브에서 손실되어도 완벽히 복구가 가능해 신뢰성이 매우 높은 저장 시스템이다[6]-[8].

2-4 정보 특성

항공기 전자장비는 흔히 블랙박스로도 불리는 비행자료 기록기 (FDR; flight data recorder)와 같은 기본적인 비행 정보를 기록하는 장치에서부터 군용 광학장비 (TADS; target acquisition and designation system) 영상과 같은 고해상도/고용량의 영상 정보를 기록하는 장치까지 다양한 범위(중요도/용량측면)의 정보를 처리/저장한다. 일반적인 FDR은 몇 백 Mbyte수준의 용량만을 필요로 하나 항공기 사고조사 등의 유사시 활용을 위한 고 신뢰성이 요구된다.

반면 TADS 저장정보는 수십 Gbyte의 고 용량을 필요로 하는 고해상도 영상자료이나 대개의 압축영상 정보가 그러하듯 높은 bit error tolerance를 가지고 있어 특별히 높은 신뢰성이 요구되지 않는다. 이렇듯 항공전자장비용 플래시 메모리가 과거 단순 비행사고조사용 저 용량 메모리부에서 고화질 영상 저장용 고용량 메모리까지 범위가 확대됨에 있어 저 신뢰성이 허용되는 분야에서 MLC 플래시 활용에 대한 검토가 필요한 실정이다.

III. 신뢰성 분석

NAND 플래시 메모리에 MLC 기술을 적용함으로써 같은 용량의 메모리를 만들기 위해 소요되는 실리콘 웨이퍼의 면적이 크게 감소하게 되어 더 작은 크기에 더 큰 용량의 장치를 만들 수 있게 되었다. 그러나 MLC 적용을 위해 플래시 메모리 장치의 구조는 보다 복잡해졌고 그 결과 메모리에 저장된 정보의 신뢰성 또한 낮아지게 되었다.

RBBER (raw bit error rate)은 플래시 메모리의 신뢰성을 평가하기 위한 metric으로서 대상 플래시 메모리 장치의 bit 단위 오류 발생률을 의미하며, 총 읽어 들인 bit 수에 대한 오류가 발생한 bit수의 비로 정의된다.

일반적으로 업계에서 MLC 플래시의 RBBER이 표 2와 같이 SLC 플래시의 1000배에 해당하는 것으로 추정하고 있으며 이는 2장에서 설명한 바와 같이 MLC 한 개의 셀의 전압 레벨간 에너지 차가 SLC 플래시 에 비해 작다는 것이 이런 현상의 주된 요인이다[3].

MLC 플래시의 높은 RBBER에 기인한 자료신뢰성에 대한 불신은 산업분야(특히 금융, 의료, 항공 등)에서의 MLC 플래시 활용 가능성을 제한하는 요소로 작용되어 왔다. 그러나 최근 실제 산업환경 (Google's data center)에서 수집된 자료를 바탕으로 발표된 바에 따르면 MLC 플래시의 실제 RBBER은 SLC 플래시 대비 대체로 100배 이하의 수준이며(표 3) 이는 예상치(1000배)에 크게 밑도는 수준이다. 특히, 실제 사용자에게 제공되는 정보에 문제가 발생하는 non-transparent Error 발생률은 표 1과 같이 보다 낮은 차를 보인다[5]. 이는 raw bit error가 발생하더라도 특정 수 이하의 bit에서 발생한 오류에 대해서는 error correcting code에 의해 수정되기 때문이다.

표 2. NAND 플래시 유형 별 특성비교

Table 2. Comparing NAND flash alternatives.

	SLC flash	MLC flash
Size	100%	55~60%
Write Performance	~800kB/sec	350kB/sec
RBBER	1e-9	1e-6
Error Rate	1 bit every 119MB	1 bit every 100KB

표 3. 다양한 모델 별 RBER 측정값

Table 3. Summary of RBERs for different models.

	MLC-A	MLC-B	MLC-C	MLC-D	SLC-A	SLC-B	SLC-C	SLC-D
Median	2.1e-08	3.2e-08	2.2e-08	2.4e-08	5.4e-09	6.0e-10	5.8e-10	8.5e-09
95%ile	2.2e-06	4.6e-07	1.1e-07	1.9e-06	2.8e-07	1.3e-08	3.4e-08	3.3e-08
99%ile	5.8e-06	9.1e-07	2.3e-07	2.7e-05	6.2e-06	2.2e-08	3.5e-08	5.3e-08

우리는 SLC와 MLC 두 플래시 메모리의 종류 간 정보저장 신뢰성 차가 기존의 예상에 비해 작은 차이를 보인다는 것에 착안하여 이 차이가 부가적인 기술의 적용을 통해 극복가능한 수준인지 여부에 관심을 가지게 되었다. 다음 장에서는 MLC 플래시의 장점인 SLC 플래시 대비 증가된 용량(2배)을 활용하는 방법을 소개하고 용량-신뢰성 trade off의 효과를 예측해 보았다.

#### IV. In Drive Data Duplication (IDDD)

MLC 플래시는 저장용량을 늘리기 위해 동일한 수의 셀에 SLC 플래시 대비 두 배 정보를 저장할 수 있고 높아진 용량에 대한 대가로 낮은 저장신뢰성 특성을 보인다. 그러나 MLC 플래시의 SLC 플래시 대비 높은 용량은 다시 정보 신뢰성을 높이기 위해 활용될 수 있다. 즉, 저장 정보의 신뢰성을 높이는 방법으로서 저장하고자 하는 정보 외에 부가적인 정보를 추가로 저장하여 uncorrectable error 발생에 의한 해당정보 손실 가능성을 낮추는 방법을 적용할 수 있다.

컴퓨터 저장장치의 용량과 신뢰성문제는 MLC 플래시의 등장으로 새로이 대두된 문제가 아니며, 과거로부터 이어져온 저장장치의 용량-신뢰성간 Trade off 문제로 생각할 수 있다. 용량-신뢰성 Trade off 문제는 많이 연구된 분야로서 저장 공간을 추가로 할애함으로써 신뢰성을 향상시키는 대표적인 방법은 아래와 같다.

첫째, 저장하는 정보 외에 ECC (error correcting code)를 추가하여 약간의 용량적 손해를 감안하고 bit error를 식별/정정하는 방법. 둘째, 복수의 독립적인 저장장치에 같은 정보를 중복해서 저장하는 방법. 셋째, 동일한 저장장치 내에 같은 정보를 중복해서 저장하는 방법을 들 수 있다. 이 중 첫 번째로 ECC를 적용하는 방법은 이미 Hard disk 또는 SLC기술 기반 플래시 드라이브를 포함한 거의 모든 메모리 장치에 적용되는 방법으로 낮은 신뢰성 특성을 보완하기 위해 MLC 플래시에도 기본적으로 적용되며 현재에도 관련분야가 활발히 연구되고 있다[9]. 이 논문에서는 ECC에 강화에 추가적인 용량을 극단적으로 할애하는 상황이 저장 정보가 완벽히 이중화된 상황과 저장 효율성 측면에서 유사하다는 점을 바탕으로 ECC 강화보다는 정보 이중화에 초점을 맞추어 신뢰성 향상방안을 연구하였다.

두 번째와 세 번째 방법은 근본적으로 같은 정보를 중복해서 기록한다는 공통점을 가지고 있다. 같은 정보를 두 번 중복하여

기록하면 저장 용량은 두 배로 소비되며 특정 bit의 정보가 복구불가능하게 손상될 가능성은 제곱으로 줄어들게 된다.

RAID 시스템과 같이 물리적으로 독립된 드라이브에 정보를 backup하는 방식은 하나의 드라이브에 이상이 생기더라도 다른 드라이브에서 정보를 복구할 수 있는 장점이 있다. 그러나 플래시 메모리는 SLC 플래시와 MLC 플래시 모두 HDD와 같은 기계구동부가 없어 물리적인 충격에 강하며 정보 오류가 발생하는 주된 이유는 드라이브 내부 메모리셀 이상에 의한 것이므로 backup 정보를 별도의 드라이브에 저장할 필요성은 크지 않다. 셀 단위의 오류는 단순히 동일 드라이브 내의 정상 동작하는 다른 셀에 백업된 정보로도 복구가 가능하며 이는 RAID 시스템과 같이 RAID controller의 적용 등의 상위레벨 구조의 복잡성을 증가시킬 필요 없이 그림 2와 같이 드라이브 내부적인 변경만을 통해 구현이 가능하다.

본 논문에서는 이러한 점들에 착안하여 MLC 플래시의 여유 용량을 활용하여 정보를 이중화하면서도 이중화를 위한 물리적인 장치 없이 해당 기능을 SSD firmware 레이어에서 소프트웨어적인 형태로 구현하는 방식 고안하였고 IDDD (in drive data duplication)라고 칭하였다.

#### 4-1 신뢰성

이 장에서는 정보 이중화 방법의 적용을 통해 MLC 플래시가 SLC 플래시 대비 높은 신뢰성을 보이는 조건에 대해 연구하였다. SLC 플래시의 RBER을 baseline으로 하여 Google data center에서 실측정한 SLC 플래시 및 MLC 플래시의 RBER로부터 정보 이중화 적용시의 RBER을 산출하였다.

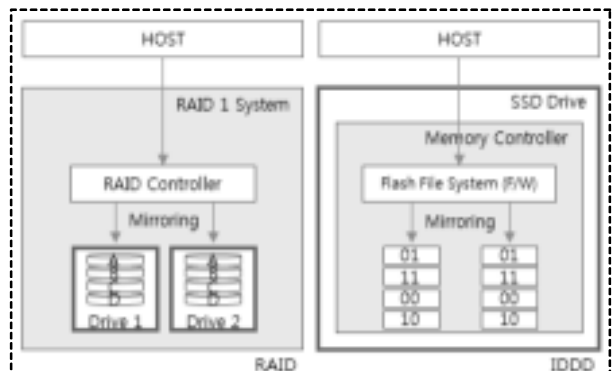


그림 2. RAID 1과 IDDD 방식의 구조 비교  
Fig. 2. Hierarchy comparison between RAID 1 and IDDD.

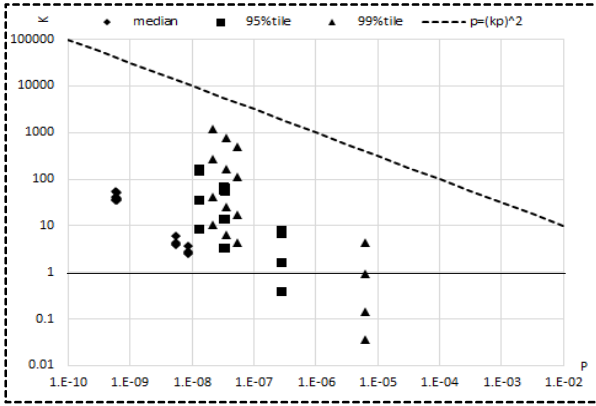


그림 3. RBER 분포 및  $p > p_D$  영역 표현  
**Fig. 3.** RBER distribution and  $p > p_D$  region plotting.

RAID 1과 IDDD 방식은 한 쌍의 이중화된 정보를 보유하며 이중화 정보 양쪽 모두에 오류가 발생할 경우에 한해 정보를 잃게 된다. 정보 이중화된 MLC플래시에 정보 손실이 발생할 확률은 아래와 같다.

$$p_R = p_D = p'^2 = k^2 p^2 \quad (1)$$

SLC플래시 보다 MLC플래시에 IDDD 방식을 적용시의 저장정보 신뢰성이 높기 위해서는 아래의 조건을 만족하여야 한다.

$$p > p_D \quad (2)$$

식(1)과 식(2)로부터 다음 조건을 얻을 수 있다.

$$p = k^2 p^2 \Leftrightarrow 1 > k^2 p \quad (3)$$

여기서,  $p$  : Bit Error Rate of SLC flash memory,  $p'$  : Bit Error Rate of MLC flash memory,  $k$  : Error Rate Ratio ( $p'/p$ ),  $p_R$  : Error Rate of RAID 1 device,  $p_D$  : Error rate of IDDD device

그림 3은 식(3)의 그래프 위에 표 3의 SLC - MLC 플래시의 조합 16쌍을 median, 95percentile, 99percentile 조건에서 plotting 한 결과이다. 48개의 점 모두  $p = k^2 p^2$  그래프 아래범위에 위치하였다. 이는 실제 SLC 플래시와 MLC 플래시에서 대부분의 경우(44 /48) SLC 플래시의 신뢰성이 높으나, MLC 플래시에 IDDD방식을 적용할 경우 모든 경우에 있어(48 /48) SLC 플래시보다 신뢰성이 높아진다는 것을 뜻한다.

ECC로부터 교정 가능한 수 이상의 RBE(raw bit error)가 발생할 경우 UBE(uncorrectable bit error)가 발생하게 되며 RBER로부터 UBER을 계산하는 식은 아래와 같다[10].

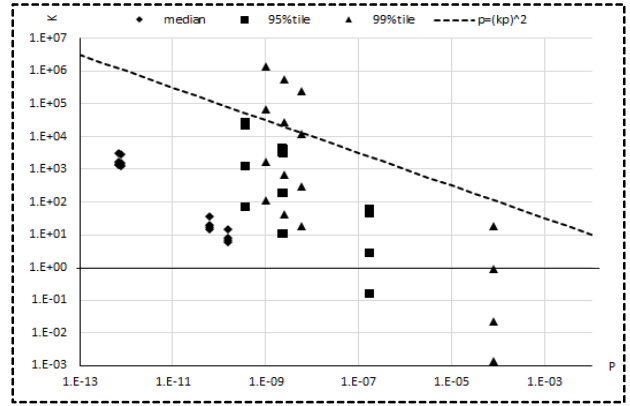


그림 4. UBER 분포 및  $p > p_D$  영역 표현  
**Fig. 4.** UBER distribution and  $p > p_D$  region plotting.

$$UBER = \frac{\sum_{n=t+1}^{N_{CW}} \binom{N_{CW}}{n} \cdot RBER^n \cdot (1 - RBER)^{(N_{CW} - n)}}{N_{User}} \quad (4)$$

$N_{CW}$  : number of bit in codeword

$N_{User}$  : number of user data bit in codeword

$t$  : maximum number of correctable bit errors

적용된 ECC에 따라 한 codeword에서 correction과 detection 가능한 RBE의 수는 달라지며 대표적인 ECC 유형인 SECDED(single error correction, double error detection) hamming code 적용 시, 한 codeword에서 1bit 오류 발생시 ECC 자체적으로 오류 교정이 가능하고 2bit 오류 발생시 ECC에서 오류를 검출하고 IDDD방식에 의해 백업된 자료로부터 오류 교정이 가능하다. 그러나 표 4와 같이 3bit 이상의 오류 발생시 IDDD방식 적용을 통해 이중화 정보간의 차이는 식별가능하나 오류가 발생한 정보와 정상 정보를 구별할 수 없어 적용효과를 기대할 수 없다.

식(4)에 따라 RBE의 수  $X$ 는 RBER이 충분히 작고  $N_{CW}$ 가 충분히 크다는 가정 하에 아래 푸아송 분포를 따른다.

$$X \sim Pois(N_{CW} \cdot RBER) \quad (5)$$

codeword의 크기는 다양하나 일반적으로 2~4kbyte의 크기를 갖는다[11]. 표 3의 SSD 모델 별 RBER과 식(5)의 푸아송 분포로부터 계산한 SECDED ECC 환경에서의 UBER은 표 5와 같다. 해당 표로부터 SECDED ECC환경에서 플래시 종류 별 한 codeword에서 2bit 오류가 발생할 확률을 알 수 있다.

표 4. IDDD 방식 적용에 따른 특성 비교

Table 4. Comparing IDDD scheme and baseline.

The number of errors	SECDED		SECDED + IDDD	
	Detection	Correction	Detection	Correction
1 bit	O	O	O	O
2 bit	O	X	O	O
3 bit or more	X	X	O	X

표 5. 다양한 모델 별 UBER 측정값

Table 5. Summary of UBERs for different models.

	MLC-A	MLC-B	MLC-C	MLC-D	SLC-A	SLC-B	SLC-C	SLC-D
Median	9.3E-10	2.2E-09	1.0E-09	1.2E-09	6.1E-11	7.6E-13	7.0E-13	1.5E-10
95%ile	1.0E-05	4.4E-07	2.5E-08	7.5E-06	1.6E-07	3.5E-10	2.4E-09	2.3E-09
99%ile	7.0E-05	1.7E-06	1.1E-07	1.4E-03	8.0E-05	1.0E-09	2.6E-09	5.9E-09

그림 4는 식(3)의 그래프 위에 표 5의 SLC - MLC 플래시의 조합 16쌍을 median, 95percentile, 99percentile 조건에서 plotting 한 결과이다. 43개의 점이  $p = k^2 p^2$  그래프 아래범위에 위치하였다. 이는 SECDED ECC가 적용된 환경에서 MLC 플래시에 IDDD방식을 적용할 경우 대부분의 경우(43 /48) SECDED ECC가 적용된 SLC 플래시 보다 reliability가 높다는 것을 뜻한다.

그림 5는 MLC 플래시, SLC 플래시 및 MLC 플래시에 IDDD방식을 적용한 상황에서 UBER을 산출한 결과를 표현한 것이다. 표본 SSD 장치들의 Median, 95 percentile, 99 percentile 모두 MLC, SLC, MLC+IDDD 순으로 UBER이 낮아지는 경향을 보인다.

그림 3, 4, 5을 통해 SLC 플래시 대비 상대적으로 높은 RBER 및 UBER을 보이던 MLC 플래시가 IDDD방식의 적용으로 SLC 플래시 대비 낮은 RBER 및 UBER을 보이게 됨을 보였다.

4-2 오버헤드

MLC 플래시를 RAID 1 또는 IDDD방식을 적용한 경우에 발생하는 overhead를 분석해보았다. RAID 시스템의 적용을 위해서는 SSD보다 상위 레벨에 RAID controller 등의 부가적인 high-level architecture가 적용되어 시스템의 구조의 복잡성을 증가시키는 단점이 있다. 반면, 그림 6과 같이 IDDD방식은 SSD 내부 firmware layer(혹은 software layer)의 저장 로직의 수정만으로 적용이 가능하므로 저장시스템 구조의 복잡도가 증가하지 않는다. 이는 SSD의 구조가 기존 HDD의 interface 방식을 그대로 따르면서 wear-leveling, garbage collection, bad block management 등 NAND플래시 메모리 셀의 단점을 극복하

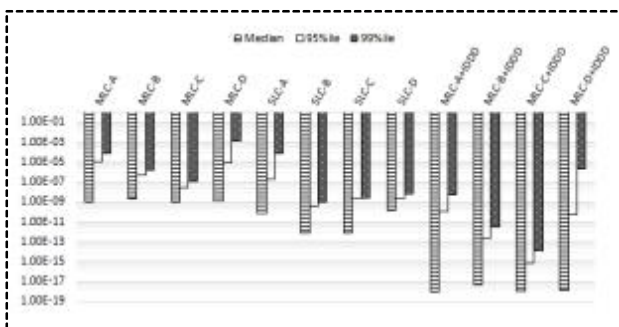


그림 5. SECDED ECC환경에서 다양한 모델의 UBER 값  
Fig. 5. UBERs for different models in SECDED ECC environment.

기 위해 SSD에만 필요한 기능들이 구동하기 위한 firmware layer를 가지고 있기 때문이다 [12],[13]. 이 firmware layer를 활용하면 background에서 저장 정보의 back-up 정보를 생성하는 기능을 추가하는 것만으로 SSD 외부적 변경 없이 용량과 신뢰성의 trade off를 유도할 수 있다.

그러나 IDDD적용은 back-up 정보 생성을 위해 플래시 메모리의 저장용량의 절반을 할애하여야 한다. 이 때문에 일반적인 자료 저장 용도보다는 저장신뢰성이 매우 중요하여 플래시 메모리의 높은 BER과 HDD의 외부 충격 취약성이 모두 문제시 되는 특수한 시스템을 위한 용도로 적용이 제한될 것으로 보인다.

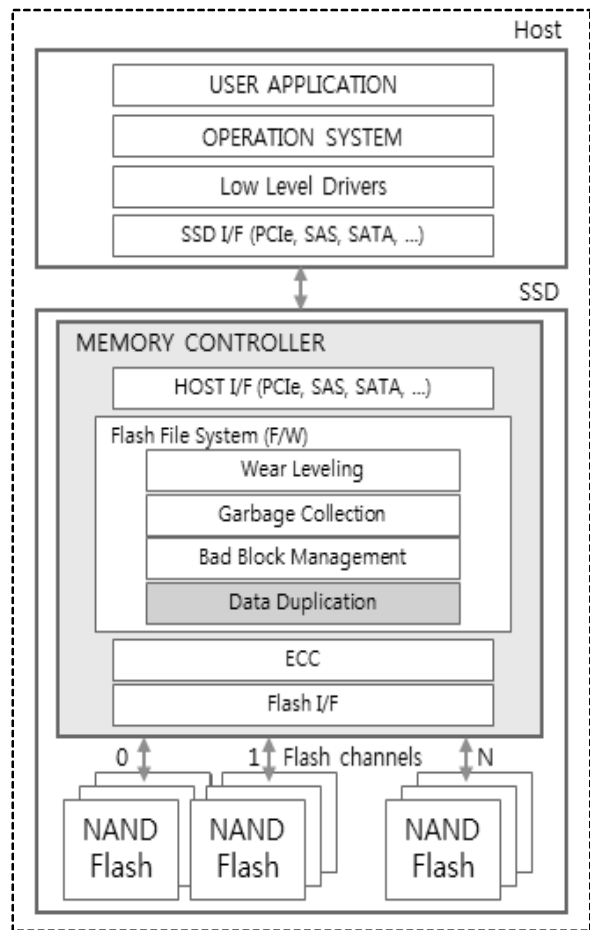


그림 6. Data Duplication 블록을 포함한 플래시 컨트롤러의 상위레벨 구조도

Fig. 6. High level view of a Flash controller including Data Duplication block.

## V. 결 론

현재 많은 분야에서 HDD를 대체하고 있는 SSD에 대해 SLC 플래시의 정보 신뢰성이 HDD대비 낮은 것으로 밝혀졌고 MLC 플래시는 SLC 플래시 보다 그 신뢰성이 더욱 낮은 것으로 여겨진다. MLC 플래시의 신뢰성이 SLC 플래시 대비 낮은 것은 사실이나 산업 환경에서의 실 측정 결과로부터 기존에 학계 및 업계의 예측치에 비해 MLC와 SLC 플래시의 신뢰성이 차이가 크지 않다는 것이 밝혀졌다.

본 연구에서는 이러한 연구결과를 바탕으로 MLC 플래시의 정보저장 신뢰성을 SLC 플래시 보다 높이기 위한 방법 연구하였고 그 결과 IDDD방식을 적용함으로써 특정 조건에서 MLC 플래시가 SLC 플래시 보다 높은 신뢰성을 보일 것을 예측하였고 실 측정결과와 계산을 통해 MLC 플래시의 정보 신뢰성이 SLC 플래시 대비 상당히 높아질 수 있음을 보였다. 우리가 연구한 총 48개 상황 중 44개의 상황에서 SLC 플래시의 RBER이 MLC 플래시보다 낮았음에도 불구하고 IDDD방식을 적용함으로써 48개의 모든 상황에서 MLC 플래시의 RBER이 SLC 플래시보다 낮으며, 43개의 상황에서 UBER 또한 SLC 플래시 대비 낮음을 보였고 이를 통해 MLC 플래시 메모리가 SSD의 HDD대비 낮은 신뢰성 문제를 효율적으로 해결할 수 있는 하나의 방법이 될 수 있음을 보였다.

특히 IDDD방법의 적용은 추가적인 hardware 장치 소요를 필요로 하지 않으며 firmware layer의 수정만으로 구현이 가능하다. 단 이를 적용할 경우 MLC 적용을 통해 확보할 수 있는 유일한 장점인 부가 용량을 모두 잃게 된다. 그러므로 고용량을 요구하며 저신뢰성을 허용하는 분야에 MLC 플래시를 적용하고 고신뢰성이 요구되거나 저용량이 허용되는 분야에 SLC 플래시를 대신하여 MLC 플래시에 IDDD방식을 적용하여 용량 및 신뢰성 요구도를 모두 만족시킬 수 있을 것으로 예상된다. 또한, 향후 MLC 또는 TLC(triple level cell) 플래시의 신뢰성이 보다 높아지게 되면 전체 정보를 이중화 하지 않더라도 적정 수준의 bit를 ECC에 추가 할애하는 방법의 적용을 통해 시스템의 신뢰성 목표수준에 맞는 맞춤형 저장장치의 구현이 가능할 것으로 보인다.

## 참고 문헌

[1] S. S. Rizvi, and T. S. Chung, "Flash SSD vs HDD: High performance oriented modern embedded and multimedia storage systems," in *2010 2nd International Conference on Computer Engineering and Technology (IC CET)*, Chengdu:

China, pp. 297-299, 2010.

[2] N. Agrawal, and V. Prabhakaran, "Design tradeoffs for SSD performance," in *USENIX Annual Technical Conference*. San Diego: CA, pp. 57-70, 2008.

[3] R. Dan, and R. Singer, Implementing MLC NAND flash for cost-effective, high-capacity memory, M-systems, Kfar Saba, White paper 91-SR-014-02-8L, 2003.

[4] K. Yoshikawa, "Impact of cell threshold voltage distribution in the array of flash memories on scaled and multilevel flash cell design," in *1996 Symposium on VLSI Technology*, Honolulu: HI, pp. 240-241, 1996.

[5] B. Schroede, and R. Lagisetty, A. Merchant. "Flash reliability in production: the expected and the unexpected," in *14th USENIX Conference on File and Storage Technologies (FAST 16)*, Santa Clara: CA, pp. 67-80, 2016.

[6] K. H. Park, "Reliability and performance enhancement technique for SSD array storage system using RAID mechanism," in *9th International Symposium on Communications and Information Technology 2009 (ISCIT 2009)*, Icheon, pp. 140-145, 2009.

[7] M. Balakrishnan, "Differential RAID: rethinking RAID for SSD reliability," *ACM Transactions on Storage (TOS)*, Vol. 6, No. 2, pp. 55-59, July 2010.

[8] J. Elerath, and M. Pecht, "Enhanced reliability modeling of RAID storage systems," in *7th Annual IEEE/IFIP International Conference on Dependable Systems and Network 2007 (DSN'07)*, Edinburgh; Netherlands, pp. 175-184. 2007.

[9] B. Chen, X. Zhang, and Z. Wang, "Error correction for multi-level NAND flash memory using Reed-Solomon codes," in *Workshop on Signal Processing Systems 2008 (SiPS 2008)*, Washington: DC, pp. 94-99, 2008.

[10] R. S. Liu, C. L. Yang, and W. Wu, "Optimizing NAND flash-based SSDs via retention relaxation," in *Proceedings of the 10th USENIX conference on File and Storage Technologies (FAST'12)*, San Jose: CA, pp.125-135, 2012.

[11] K. Zhao, "LDPC-in-SSD: making advanced error correction codes work effectively in solid state drives," in *Presented as part of the 11th USENIX Conference on File and Storage Technologies (FAST 13)*, San Jose: CA, pp. 243-256, 2013.

[12] A. Kawaguchi, S. Nishioka, and H. Motoda, "A Flash-Memory Based File System," in *Proceedings of the USENIX 1995 Winter Technical Conference*, New Orleans: LA, pp. 155-164, 1995.

[13] R. Micheloni, A. Marelli, and K. Eshghi, SSD Architecture and PCI Express Interface, in *Inside Solid State Drives (SSDs)*, 1st ed. Dordrecht: Springer, ch. 2, pp. 19-45, 2012.



**정 상 규 (Sang-Gyu Jeong)**

2013년 2월 : 포항공과대학교 전자전기공학과 (공학석사)  
2013년 3월 ~ 현재 : 국방기술품질원 연구원  
※관심분야 : 임베디드 시스템, 컴퓨터 아키텍처, 센서 네트워크



**전 병 규 (Byung-Kyu Jun)**

2011년 8월 : 한국항공대학교 항공전자공학과 (공학석사)  
2011년 10월 ~ 현재 : 국방기술품질원 연구원  
※관심분야 : 항공전자, 감항인증, IMA, 항행시설, 소프트웨어 인증



**장 인 기 (In-Ki Chang)**

2000년 8월 : 창원대학교 기계공학과 (공학석사)  
1995년 1월 ~ 현재 : 국방기술품질원 선임연구원  
※관심분야 : 유압시스템, 착륙시스템, 추진, 구조설계



**김 영 목 (Young-Mok Kim)**

2009년 2월 : 포항공과대학교 전자전기공학과 (공학석사)  
2009년 5월 ~ 2010년 12월 : 국방과학연구소 연구원  
2011년 1월 ~ 현재 : 국방기술품질원 연구원  
※관심분야 : 컴퓨터 시스템, 전자제어, 보안 알고리즘