

논문 2016-53-8-5

## 멀티 핀/핑거 FinFET 트랜지스터의 열 저항 해석과 모델링

( Analysis and modeling of thermal resistance of  
multi fin/finger FinFETs )

장 문 용\*, 김 소 영\*\*

( MoonYong Jang and SoYoung Kim<sup>©</sup> )

## 요 약

본 논문에서는 소스와 드레인의 구조가 육각형인 FinFET에서 구조 변수 및 핀/핑거 개수 증가에 따른 열 저항 모델을 제안한다. 소자의 크기가 감소하여 발열 효과 및 열 특성의 영향이 커졌으며, 이를 분석하기 위해 소자의 열 저항은 중요한 요소이다. 열 저항 모델은 소자에서 열이 생성되는 열원과 열이 빠져나가는 contact를 설정했으며, 도메인은 열원과 4 부분의 소스, 드레인, 게이트, 서브스트레이트 contact를 통해 나누어진다. 또 각각의 contact 열 저항 모델은 TCAD의 시뮬레이션 결과의 온도 및 열 흐름을 분석하여 해석이 용이한 형태로 세분화하였다. 도메인들은 그 구조에 따라 구조 변수를 통한 적분 및 등각 매핑 방식을 기반으로 모델링하였다. 먼저 싱글 핀으로 열 저항을 분석하여 모델링하였으며, 멀티 핀/핑거의 열 저항 모델의 정확도를 높이기 위해 채널증가에 따른 파라미터의 변화를 적용하였다. 제안한 열 저항 모델은 3D Technology CAD 시뮬레이션을 해석하여 얻은 열 저항 결과와 비교하였으며, 싱글 핀 및 멀티 핀의 전체 열 저항 모델은 3 % 이하의 오차를 얻었다. 제안한 열 저항은 핀/핑거 개수의 증가에 따른 열 저항을 예측할 수 있으며, 발열효과 및 열 특성 분석을 계산하여 회로 특성을 개선할 수 있다.

## Abstract

In this paper, we propose thermal resistance compact model of FinFET structure that has hexagon shaped source/drain. The heating effect and thermal properties were increased by reduced size of the device, and thermal resistance is an important factor to analyze the effect and the properties. The heat source and each contact that is moved heat out were set up in transistor, and domain is divided by the heat source and the four parts of contacts : source, drain, gate, substrate. Each contact thermal resistance model is subdivided as a easily interpretable structure by analyzing the temperature and heat flow of the TCAD simulation results. The domains are modeled based on an integration or conformal mapping method through the structure parameters according to its structure. First modeled by analyzing the thermal resistance to a single fin, and applying the change in the parameter of the channel increases to improve the accuracy of the thermal resistance model of the multi-fin/ finger. The proposed thermal resistance model was compared to the thermal resistance by analyzing results of the 3D Technology CAD simulations, and the proposed total thermal resistance model has an error of 3 % less in single and multi-fin. The proposed thermal resistance model can predict the thermal resistance due to the increase of the fin/finger, and the circuit characteristics can be improved by calculating the self-heating effect and thermal characterization.

Keywords : Thermal Resistance, FinFET, modeling

\* 학생회원, \*\* 정회원 성균관대학교 정보통신대학  
(College of Information and Communication Engineering,  
Sungkyunkwan University)

© Corresponding Author (E-mail : ksyong@skku.edu)

※ 이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임  
(No. NRF-2014R1A2A2A01006595).

※ 이 논문은 IC Design Education Center (IDEC)의 지원을 받아 수행된 연구임.

Received : May 28, 2016

Revised : July 25, 2016

Accepted : July 28, 2016

## I. 서 론

FinFET(Fin Field Effect Transistor)은 게이트 제어 및 누설전류 감소, SCE(Short Channel Effect) 문제점 해결에 효과적이며, 차세대 소자로 선택되었다<sup>[1]</sup>. 현재 FinFET 소자는 22 nm에서 16 nm, 10 nm 등 점점 공정 스케일을 다운시키는 소자의 연구가 진행 되고 있다<sup>[2]</sup>. 공정 스케일이 줄어들어 따라 열 저항과 열량이 커져 발열 효과로 인한 온도의 영향이 커지게 된다<sup>[3]</sup>. 또

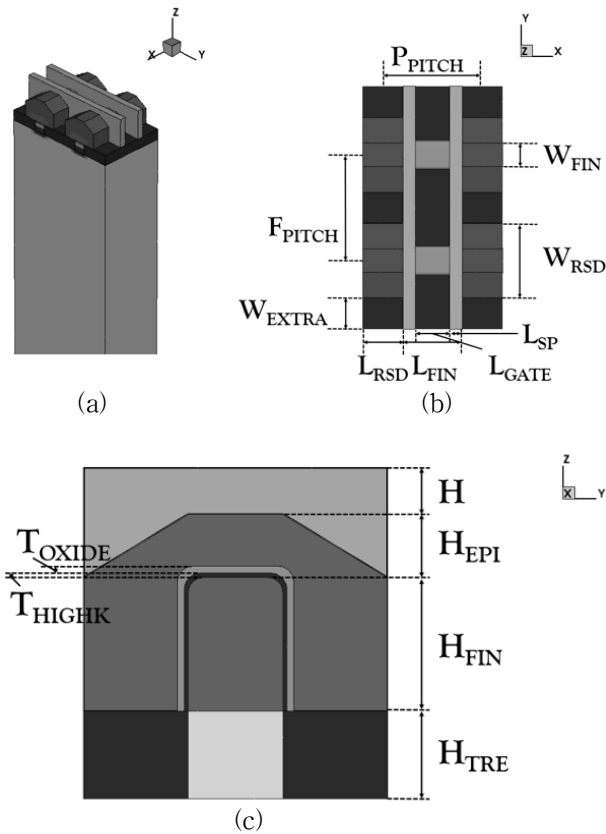


그림 1. 시뮬레이션을 진행한 FinFET 구조 (a) 3차원 구조 (b) 상단에서 바라본 구조 (c) 채널 단면부에서 측면으로 바라본 구조

Fig. 1. FinFET structure for simulation (a) 3D structure (b) Top view (c) Side view from channel cut section.

한 FinFET의 3차원 구조의 특성은 기판의 열 커플링이 감소하며 발열 효과의 영향을 증대시킨다<sup>[4~5]</sup>.

온도가 전류의 미치는 영향은 전자 이동도, 전류 포화 속도를 통해 설명할 수 있다. 식 (1)에서  $T_0$ 는 기본 온도이며,  $\mu_{eff,0}$ 는  $T_0$ 에서의 전자 이동도,  $k$ 는 온도 지수이다. 산란효과에 의해서 온도가 증가하면 전자 이동도는 감소하며, 식 (2)와 같이 포화 속도도 감소한다. 전자 이동도와 포화속도의 감소는 결국 전류의 감소에 영향을 미치게 된다<sup>[6]</sup>.

$$\mu_{eff} = \mu_{eff,0} \left( \frac{T}{T_0} \right)^{-k} \text{ cm}^2/\text{Vs} \quad (1)$$

$$v_{sat} = 2.4 \times 10^{-7} \left( 1 + 0.8e^{\left( \frac{T}{600} \right)} \right) \text{ cm/s} \quad (2)$$

따라서 열 영향에 의한 소자특성을 연구할 필요성이 있으며 각 구조 변수 변경에 따라 TCAD를 시뮬레이션

표 1. FinFET 시뮬레이션의 구조 변수  
Table1. Parameters for FinFET simulation.

구조변수	설명	값
$L_{SP}$	spacer length	8 nm
$F_{PITCH}$	Fin pitch	68 nm
$P_{PITCH}$	Finger pitch	64 nm
$L_{FIN}$	Fin length	38 nm
$W_{FIN}$	Fin width	15 nm
$H_{FIN}$	Fin height	21.18 nm
$L_{RSD}$	RSD length	26 nm
$W_{RSD}$	RSD width	48 nm
$H_{SUB}$	Substrate height	1000 nm
$L_{GATE}$	Gate length	22 nm
$H$	Spacer Additional height	7.4 nm
$T_{OXIDE}$	Oxide thickness	0.6 nm
$T_{HIGHK}$	High-k thickness	1.7 nm
$H_{TRE}$	Insulator height	13.82 nm
$H_{EPI}$	Epitaxial RSD height	10 nm
$W_{EXTRA}$	Extra substrate width	20 nm
$\rho_{Silicon}$	Thermal resistivity of silicon	5.895e+6 nm·K/W
$\rho_{Oxide}$	Thermal resistivity of oxide	7.143e+8 nm·K/W
$\rho_{HfO3}$	Thermal resistivity of HfO <sub>3</sub>	4.348e+8 nm·K/W
$\rho_{Si3N4}$	Thermal resistivity of Si <sub>3</sub> N <sub>4</sub>	5.405e+7 nm·K/W
$N_0$	S/D region doping concentration	2e+20 cm <sup>-3</sup>
$N_{CH}$	Channel doping concentration	2e+18 cm <sup>-3</sup>
$L_D$	Doping diffusion length of the Gaussian profile	1 nm

참고 문헌 : [1], [7~9], [13].

을 통해 온도 측정을 하기에 시간적 제약이 따른다. 따라서 회로의 발열 특성을 분석하기 위해 열 저항 모델에 대한 연구가 필요하다<sup>[10~12]</sup>. BSIM-CMG는 버클리에서 개발한 멀티 게이트 트랜지스터의 압축 모델로 열 저항 수식은 실험에 의한 기본 값으로 설정되어 있으며 단순히 핀과 핑거의 증가에 대해 선형적으로 증가한다.<sup>[13]</sup> TCAD의 결과와 비교하였을 경우, 이는 정확한 값이 아니며 기본 소자 및 핀/핑거 개수의 증가에 따른 파라미터의 영향을 고려하여 열 저항 모델을 개발해야 한다.

본 연구는 22 nm 공정의 bulk FinFET을 기준으로 열 생성과 열 흐름에 따른 열 저항 도메인을 정하였으며, 도메인을 기준으로 파라미터를 통해 열 저항을 모델링한다. 싱글 핀을 기준으로 소스, 드레인, 게이트, 서브스트레이트 각각의 도메인의 열 저항으로 나누어 병렬 합을 통해 총 열 저항을 얻었다. 그리고 FinFET에서의 싱글 채널의 열 저항 모델에서 채널 증가에 따른

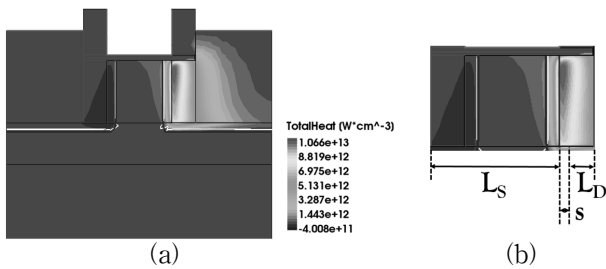


그림 2. (a) FinFET의 y축 단면도에 따른 열 생성 분포 (b) 열원 및 s의 정의

Fig. 2. (a) Y-axis cross section of FinFET depending on heat generation (b) Definition of heat source and s.

파라미터의 변화를 모델링에 추가하여 멀티 핀/핑거의 열 저항으로 확장하였다. 제안한 열 저항 모델은 열 흐름과 열 생성을 고려하여 개발한 열 저항의 압축 모델로서 BSIM-CMG의 열 저항 부분에 구현할 수 있다. 그리고 Synopsys의 TCAD Sentaurus 시뮬레이션 결과의 열량과 온도 변화를 분석해 열 저항을 구하여 모델과의 오차 비교를 통해 제안한 모델의 정확도를 검증하였다<sup>[14]</sup>.

## II. FinFET 구조 및 시뮬레이션 환경

본 논문에서 사용한 트랜지스터의 각 파라미터들의 기본 값은 표 1과 같으며 그림 1은 시뮬레이션에 사용된 FinFET의 구조와 파라미터의 정의를 보여준다. 서브스트레이트의 폭과 길이는 핀/핑거 개수의 증가에 따라 결정되며, 기본 모델링에 사용한 싱글 핀의  $L_{SUB}$ 와  $W_{SUB}$ 는 각각 90 nm, 88 nm이다. 구조를 살펴보면 게이트 옥사이드는 채널 실리콘을  $SiO_2$ 가 덮고 그 위를 High-k 물질  $HfO_2$ 가 덮었다. 또한 기생 커패시턴스를 줄여주기 위해 소스/드레인과 게이트 사이에 Nitride로 이루어진 스페이서를 넣었다. 그리고 실제 공정을 반영하여 소스와 드레인을 다각형으로 증가시킨 Raised Source Drain(RSD) 구조와 bulk 기판 구조로 구현하였다<sup>[7]</sup>. N type의 FinFET을 사용하였고, 위치 x에서의 도핑농도  $N_{dop}$ 는 식 (3)과 같이 소스/드레인의 끝단에서 원점으로 갈수록 줄어드는 최대치가  $N_0$ 이고 분포도가  $L_D$ 인 함수를 따라 정해진다.

$$N_{dop} = N_0 \exp\left(-\frac{(x-x_{SD})^2}{L_D^2}\right) - N_{CH} \quad (3)$$

전기적, 열적 조건 설정을 위해 트랜지스터의 소스와 드레인, 게이트, 서브스트레이트에 각각 메탈이 연결된 것처럼 contact를 정하여 시뮬레이션을 진행하였다. 게

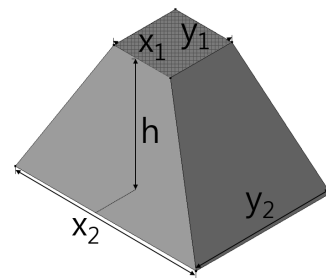


그림 3. 적분으로 계산하는 열 저항 기본 구조

Fig. 3. Basic structure of thermal resistance calculation by integral.

이트의 경우 High-k와 스페이서 안쪽을 모두 덮었으며, 소스와 드레인의 경우 메탈의 연결을 그림 4 (a)와 같이 다각형 가장 윗면에 연결한 공정을 이용하고, 서브스트레이트의 경우 1  $\mu m$ 의 아래의 단면으로 설정하였다.

## III. 열 저항 모델

본 논문에서 제안하는 열 저항은 열이 생성되는 부분과 열이 빠져나가는 끝단을 통해 도메인을 설정하였으며, 이를 근거로 입체구조의 도메인을 설정하여 구조 변수를 통해 계산하였다. 그림 2 (a)는 구현한 FinFET 시뮬레이션의 y축 중앙 단면도를 보여주고 있다. 단면도에서 열의 생성량의 분포를 보여주고 있으며, 열의 생성의 대부분은 드레인과 채널 사이의 핀 부분에서 생성된다.

구조에 따른 열 저항의 도메인을 설정하기 위해 열이 생성되는 열원을 정의해야한다. 그림 2 (b)는 열원이 정의된 부분을 나타내고 있다. 본 연구에서는 열 생성부분에서 최대 열의 약 50%의 크기가 생성되는 부분을 열원으로 보았다. 열원의 모양은 x축 단면은 채널이고 s의 두께를 갖는 육면체이다. s는 열원의 x축 길이로 정의했으며, 그 크기는 약 1.5 nm이다.  $L_S$ 와  $L_D$ 는 각 열원에서부터 채널과 소스/드레인 다각형에 접촉하는 각각의 길이를 말하며 크기는 각각 31 nm, 5.5 nm이다. 열원으로부터 contact에 따라 도메인을 나누어 열 저항을 구하고, 각각의 병렬 합을 통해 싱글 핀의 총 열 저항을 식 (4)와 같이 모델링한다.

$$R_{th} = R_{th,drain} \parallel R_{th,source} \parallel R_{th,gate} \parallel R_{th,substrate} \quad (4)$$

열 저항 모델은 각각의 구조 변수를 통해 이루어지며 도메인의 분할을 통해 계산한다. 모든 도메인에서 비슷한 형태의 도메인 해석이 필요하며, 그림 3의 기본 형

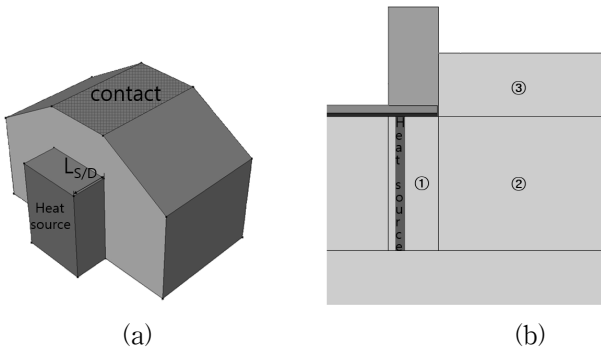


그림 4. 소스와 드레인의 열 저항 도메인 (a) 3차원 구조 (b) y축 단면  
 Fig. 4. Domain of thermal resistance of source/drain (a) 3D view (b) Y-axis cross section view.

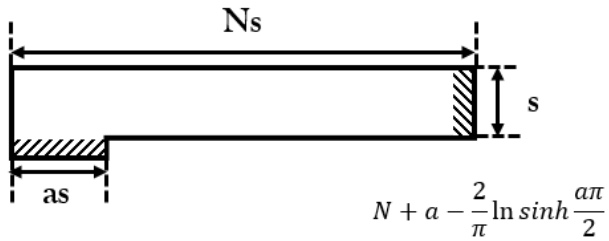


그림 5. 열 저항 계산에 사용된 등각 매핑 변환<sup>[14]</sup>  
 Fig. 5. Conformal mapping transform used in thermal resistance equation<sup>[14]</sup>.

태의 적분을 통해 해석이 가능하다. 그림 3은 직사각형의 단면을 갖는 평면의 x축과 y축의 길이가 각각 z축의 증가에 비례하며 각각 증가하는 구조이다. 기본 구조의 윗면과 아랫면 사이의 열 저항 공식은 물질의 비저항과 구조 변수에 따른 적분을 통해 계산하였으며, 그림 3에서의 열 저항 값은 식 (5)와 같다.

$$R_{th,structure} = \rho h \frac{\ln(x_2 y_1 / x_1 y_2)}{x_2 y_1 - x_1 y_2} \quad (5)$$

#### IV. 소스/드레인 모델링

소스와 드레인의 열 저항 모델은 열원의 큰 단면적에서 각각의 contact 부분으로 열이 흐름에 따라 도메인을 정하였다. 소스와 드레인의 열 저항 도메인은 그림 4 (a)와 같으며, 채널부분의 도메인의 길이가 각각  $L_S$ 와  $L_D$ 이다. 그림 4 (a)에서 나타나  $L_{S/D}$ 는 나타낸  $L_{S/D}$ 는 소스 및 드레인에 따라  $L_S$ 와  $L_D$ 를 표현한다. 소스와 드레인의 경우 메탈의 연결을 그림 4 (a)와 같이 다각형 가장 윗면에 연결한 공정을 이용하고, 서브스트레이트의 경우 1  $\mu$ m의 아래의 단면으로 설정하였다.

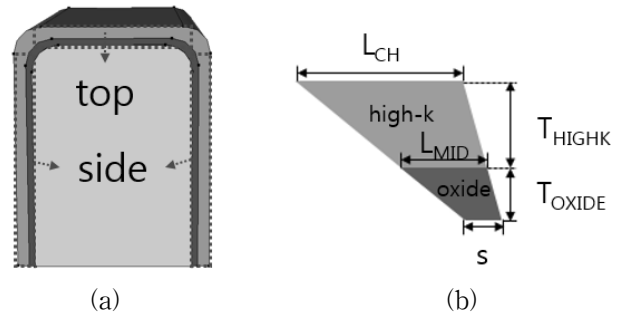


그림 6. (a) 옥사이드 열 저항의 도메인 (b) 옥사이드 열 저항의 단면 및 구조 변수  
 Fig. 6. (a) Domain of  $R_{th,gate-oxide}$  (b) Section view of  $R_{th,gate-oxide}$  domain and parameters.

그림 4 (b)는 도메인의 y축 중앙을 단면으로 자른 도면으로 그림 5의 등각 매핑 변환을 이용하였다<sup>[15]</sup>. 그림 4 (b)에서 ① 채널부분, ② 회전부분, ③ 에피텍셜 부분으로 분할하였다. 등각 매핑 변환에서 s를 소스/드레인의 contact부분으로, as의 길이를 열원의 높이로 설정하였다.

수식을 확인하면 드레인/소스와 에피텍셜의 식은 단순계산의 형태로 식에 표현되며, 에피텍셜은 기본 적분 구조를 이용하였다. 소스/드레인의 경우는 정해진 열 흐름 외의 아래의 bulk를 통해서도 열이 이동하고 그에 따른 열 저항의 변화는 약 10 %이다. 이에 따른 오차는 피팅 파라미터  $k_1, k_2, k_3$ 을 통해 모델링에 반영하였다. 등각 매핑 변환 식에서 채널과 에피텍셜의 항을 제외하고 남은 항은 회전하는 부분의 식이다. 에피텍셜의 접촉 면적의 차이에 따른 열 저항의 변화는 크지 않았으며, 그 차이는 전체 소스/드레인 열 저항의 1 % 미만이기 때문에 피팅 파라미터로 조절하였다.

분할된 부분은 각각 치환된 부분의 수식을 보면 식 (6), (7), (8)으로 구할 수 있다. 각각의 직렬 합을 통해서 소스와 드레인의 열 저항을 구할 수 있으며, 식 (9)로 귀결된다.

$$R_{th.S/D-1} = k_1 \frac{\rho_{Silicon}}{W_{FIN}} \frac{L_{S/D}}{H_{FIN}} \quad (6)$$

$$R_{th.S/D-2} = k_2 \frac{\rho_{Silicon}}{W_{RSD}} \left( a - \frac{2}{\pi} \ln \sinh \left( \frac{a\pi}{2} \right) \right) \quad \left( a = \frac{H_{FIN}}{L_{RSD}} \right) \quad (7)$$

$$R_{th.S/D-3} = k_3 \frac{\rho_{Silicon} \cdot H_{EPI}}{L_{RSD}} \left( \frac{\ln(W_{RSD}/W_{FIN})}{W_{RSD} - W_{FIN}} \right) \quad (8)$$

$$R_{th.S/D} = R_{th.S/D-1} + R_{th.S/D-2} + R_{th.S/D-3} \quad (9)$$

## V. 게이트 모델링

게이트의 열 저항은 contact의 구조상 열의 흐름이 많아 다양한 경로의 열 저항을 계산해야 한다. 총 3가지 열 흐름 경로를 확인할 수 있으며 ① 게이트 옥사이드

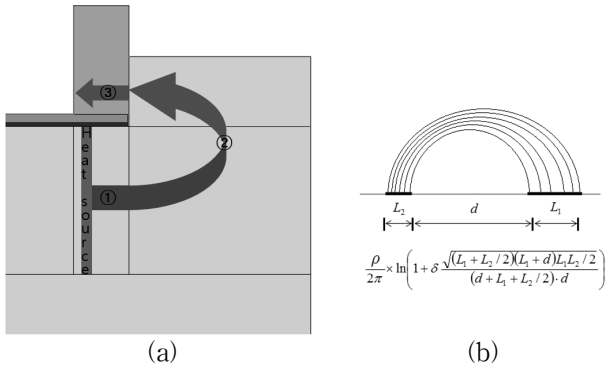


그림 7. (a) 스페이서를 통한 게이트 열 저항 도메인 (b) Schwarz - Christoffel 방식의 등각 매핑<sup>[16]</sup>  
Fig. 7. (a)  $R_{th, gate-spacer}$  Domain (b) Conformal mapping of Schwarz - Christoffel method<sup>[16]</sup>

드를 통한 열 흐름, ② 스페이서를 통한 열 흐름, ③ 옥사이드 기판을 통한 열 흐름으로 나뉘어진다. 옥사이드 기판을 통한 열 흐름은 나머지 저항에 비해 매우 큰 저항 값을 가지기 때문에 병렬 합 계산에서 제외할 수 있다. 게이트 옥사이드의 열 저항은 그림 6 (a)와 같이 측면과 윗면의 3면으로 나누어 계산했다. 각각의 면은 옥사이드 층과 high-k 물질 층에 따라 그림 6 (b)의 형태로 구분하고 기본 적분 구조를 통해 계산하였다. 그림에서  $L_{CH}$ 는 게이트의 contact이 존재하는 길이로 전체 채널 길이에서 양 옆의 스페이서 길이를 제외한 크기이며,  $L_{MID}$ 는  $L_{CH}$ 와  $s$ 의 길이를 high-k물질의 두께와 옥사이드의 두께의 비율을 통해 나온 값으로 각각 식 (10)과 (11)로 표현할 수 있다. 각 변수를 통해서 게이트 옥사이드의 열 저항을 식 (12)으로 모델링 할 수 있다.

$$L_{CH} = L_{GATE} - 2L_{SP} \quad (10)$$

$$L_{MID} = \frac{s \cdot T_{HIGHK} + L_{CH}T_{OXIDE}}{T_{HIGHK} + T_{OXIDE}} \quad (11)$$

$$R_{th, gate-ox} = \frac{\rho_{oxide} T_{OXIDE}}{W_{FIN} + 2H_{FIN}} \left( \frac{\ln(L_{MID}/s)}{L_{MID} - s} \right) + \frac{\rho_{HfO2} T_{HIGHK}}{W_{FIN} + 2H_{FIN}} \left( \frac{\ln(L_{CH}/L_{MID})}{L_{CH} - L_{MID}} \right) \quad (12)$$

스페이서의 열 저항은 그림 7 (a)의 도메인을 가지며 게이트 옥사이드의 열 저항과 마찬가지로 세 면으로 나누어 계산하였다. 확장된 소스/드레인과 스페이서가 겹치는 접촉면의 넓이를 통해 열 저항 모델링을 진행하였다. 그림 7 (a)에서 회전하는 부분의 수식은 그림 7 (b)와 같이 등각 매핑 중 Schwarz - Christoffel 방식을 이용하였다<sup>[16]</sup>. 수식에서 동심원에 의한 오차 해결을 위해

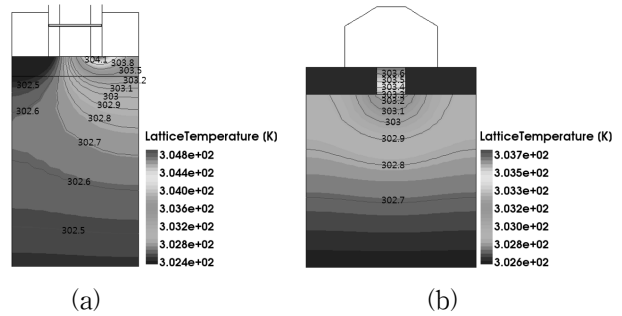


그림 8. (a) y축 단면도의 서브스트레이트 등온선 (b) 드레인 부분 x축 단면도의 서브스트레이트 등온선  
Fig. 8. (a) Substrate isotherm of y-axis section (b) Substrate isotherm of x-axis section at drain.

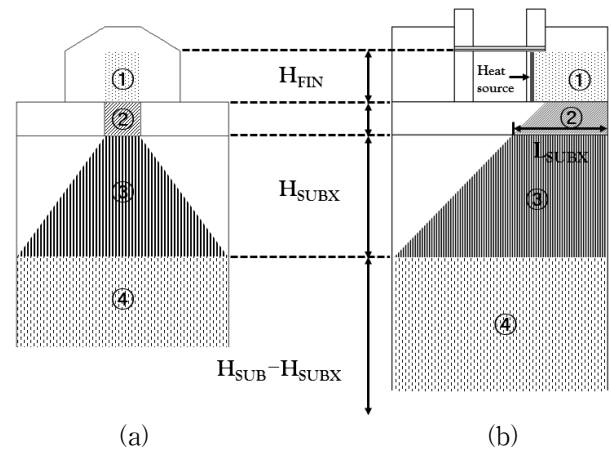


그림 9. 서브스트레이트 열 저항의 도메인 및 변수  
(a) 드레인 부분의 x축 단면도 (b) y축 중앙 단면도  
Fig. 9.  $R_{th, substrate}$  domain and parameters (a) x-axis section view at drain (b) y-axis central section view.

$\delta$ 를 대입하였다<sup>[2]</sup>. 나눠진 도메인에 따라 윗면에 대한 식을 계산하면 (13), (14)의 실리콘과 스페이서에 대한 식으로 나눌 수 있다. 계산 결과 실리콘의 열 저항 값은 스페이서의 열 저항 값에 비해 약 1%의 크기이지만 식이 복잡하기 때문에 실리콘에 의한 열 저항을 생략하여 단순화하였다. 측면의 열 저항도 같은 방법으로 모델링하였으며, 병렬 합을 통해 게이트 contact에 의한 열 저항을 식 (15)과 같이 모델링하였다.

$$R_{th, gate-sp(si)} = \frac{\rho_{Oxide}}{2\pi W_{FIN}} \left( \frac{2\pi L_S}{H_{FIN}} + \ln\left(1 + \delta \frac{\sqrt{(H_{FIN} + H_{SP}/2)(H_{FIN} + d)H_{FIN}H_{SP}/2}}{(d + H_{FIN} + H_{SP}/2)d}\right)\right) \quad (13)$$

$$(d = T_{OXIDE} + T_{HIGHK}, H_{SP} = H_{EPI} - d)$$

$$R_{th, gate-sp(sp)} = \delta \frac{\rho_{Si3N4} L_{SP}}{W_{FIN} H_{SP}} \quad (14)$$

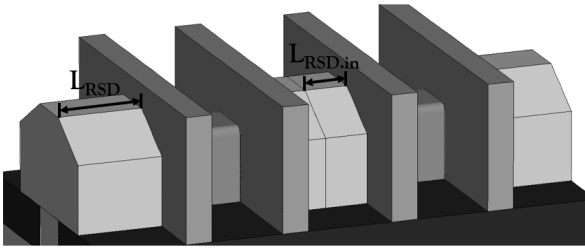


그림 10. 핑거 증가에 따른 LRSD 변화  
Fig. 10. Change of LRSD depending on finger increasing.

$$R_{th, gate} = \left( \frac{\rho_{Oxide} T_{OXIDE}}{W_{FIN} + 2H_{FIN}} \left( \frac{\ln(L_{MID}/s)}{L_{MID} - s} + \frac{\rho_{HfO3} T_{HIGHK}}{W_{FIN} + 2H_{FIN}} \left( \frac{\ln(L_{CH}/L_{MID})}{L_{CH} - L_{MID}} \right) \right) \right) \quad (15)$$

$$\parallel \delta \frac{\rho_{Si3N4} L_{SP}}{W_{FIN} H_{SP}} \parallel \delta \frac{\rho_{Si3N4} L_{SP}}{2H_{FIN} W_{SP}} \left( W_{SP} = \frac{W_{RSD} - W_{FIN}}{2} \right)$$

## VI. 서브스트레이트 모델링

서브스트레이트 열 저항은 열 흐름을 등온선을 기준으로 분석하여 모델링하였다. 그림 8 (a)는 채널 중심에서의 y축 단면의 서브스트레이트 등온선을 나타낸다. 열 흐름은 드레인에서 서브스트레이트 contact로 흐르고 있으며, 소스에서 서브스트레이트 contact로 흐르는 열은 거의 없음을 확인할 수 있다. 따라서 드레인에서의 x축 단면도에서의 서브스트레이트의 온도를 확인하였고 그 결과 그림 8 (b)와 같이 확인할 수 있다. 두 가지 등온선을 통해 ① 열원에서 드레인 아래 부분, ② 드레인 아래 벌크 부분, 서브스트레이트 부분으로 열 흐름을 나눌 수 있었다. ③ 서브스트레이트에서는 열이 퍼지는 부분과 ④ 수직 아래로 흐르는 부분으로 나누어진다. 열의 이동에 따라 서브스트레이트의 열 저항 도메인을 그림 9 와 같이 구분하였다. 그림 9 에 사용된 변수  $H_{SUBX}$ 는 드레인의 아래 면부터 열이 아래로 흐르

게 되는 부분까지의 약 110  $\mu\text{m}$ 의 길이로 측정수치를 사용하였고 1  $\mu\text{m}$ 의 차이에서 열 저항의 변화는 약 0.17%의 차이가 생긴다.  $L_{SUBX}$ 는 열 저항 모델에서 사용된 변수로, 드레인 아래의 그림 9 (b)의 드레인 접촉선에서부터  $H_{SUBX}$ 의 접촉선까지 연결했을 때,  $H_{TRE}$  아래에서의 접촉선의 길이를 말한다.

먼저 ① 드레인 부분의 저항은 그림 5의 등각 매핑 변환을 사용하였으며, ② 벌크 부분은 기본 적분 구조 계산을 사용하였다. 그리고 ④ 서브스트레이트 하단 부분의 경우 비저항을 통한 저항 계산식을 사용했다. ③ 벌크와 서브스트레이트 하단의 연결 부분의 경우, 그림 9의 (a)와 (b)의 등온 단면도를 통해 기본 적분 구조로 해석하여 모델링하였다.

도메인에 따라 나눈 각각의 열 저항 모델 식은 식 (16), (17), (18), (19)으로 구할 수 있으며, 서브스트레이트 열 저항의 모델 식은 각각의 도메인을 더한 식 (20)로 결정된다.

$$R_{th, sub-1} = \frac{\rho_{Silicon}}{W_{FIN}} \left( \frac{1}{a} - \frac{2}{\pi} \ln(\sinh(\frac{\pi}{2a})) \right) \quad \left( a = \frac{H_{FIN}}{L_{RSD}} \right) \quad (16)$$

$$R_{th, sub-2} = \frac{\rho_{Silicon} H_{TRE} \ln(L_{SUBX}/L_{RSD})}{W_{FIN} (L_{SUBX} - L_{RSD})} \quad (17)$$

$$R_{th, sub-3} = \frac{\rho_{Silicon} H_{SUBX} \ln(L_{SUB} W_{FIN}/L_{SUBX} W_{SUB})}{(L_{SUB} - L_{SUBX}) W_{FIN} - (W_{SUB} - W_{FIN}) L_{SUBX}} \quad (18)$$

$$R_{th, sub-4} = \frac{\rho_{Silicon} (H_{SUB} - H_{SUBX})}{W_{SUB} L_{SUB}} \quad (19)$$

$$R_{th, sub} = R_{th, sub-1} + R_{th, sub-2} + R_{th, sub-3} + R_{th, sub-4} \quad (20)$$

## VII. 핀/핑거 개수 증가에 따른 열 저항 모델 적용

소자에서 사용되는 트랜지스터는 싱글 핀으로 사용되지 않으며, 핀/핑거 개수 증가에 따라 열 저항에 영향을 받는다<sup>[17]</sup>. 본 연구에서는 모델링에 사용된 구조 변수를 통해 핀/핑거 개수 변화에 따른 열 저항의 영향을 더 정확히 반영하여 모델링하였다. 핀/핑거 개수 증가로 인해 영향을 받는 구조는 크게 핀과 핀 사이의 거리에 따른 열 저항 변화와 핑거 증가에 따른 소스/드레인의 상대적 크기 감소 두 가지이다.

핀과 핀 사이의 거리에 따른 변화는 서브스트레이트의 크기와 관련이 있으며, 구조변수의 값을 핀/핑거 변

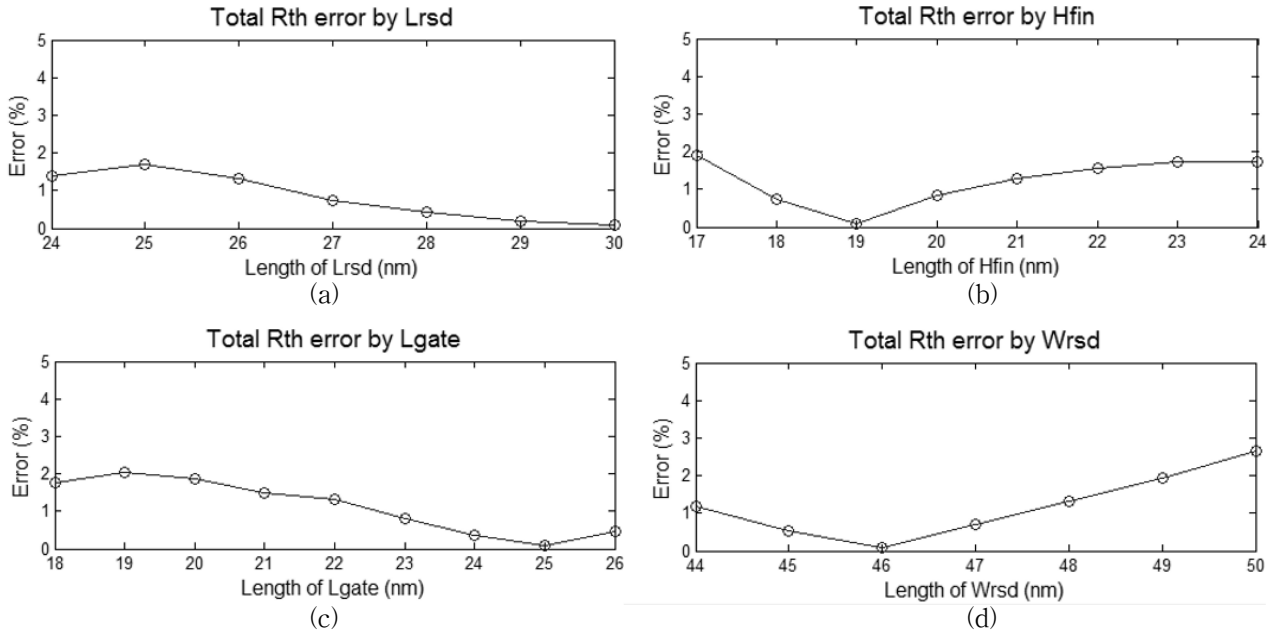


그림 11. 구조 변수 변화에 따른 제안한 모델의 열 저항과 TCAD 열 저항 오차

(a) Lrsd (b) Hfin (c) Lgate (d) Wrsd

Fig. 11. Thermal resistance error according to structure parameter variation between proposed model and TCAD

(a) Lrsd (b) Hfin (c) Lgate (d) Wrsd

화에 관한 식 (21)과 같이 적용한다. 식 (21)에서  $W_{EXTRA}$ 는 시뮬레이션에서 사용된 핀의 양 끝단에 위치한 여분의 길이이다.

$$W_{SUB} = N_{FIN} \cdot F_{PITCH} + W_{EXTRA} \quad (21)$$

핑거가 증가하게 되면 그림 10과 같이 핑거와 핑거 사이의 소스(드레인)는 핑거 맞은편의 드레인(소스)과 열원을 공유한다. 따라서 핑거와 핑거사이의 소스/드레인의 경우  $L_{RSD}$ 의 값을 식 (22)와 같이 적용한다. 소스/드레인 외에 서브스트레이트의 길이도 변하며 식 (23)을 통해 계산할 수 있다.

$$L_{RSD.in} = \frac{L_{RSD}}{2} \quad (22)$$

$$L_{SUB} = N_{FINGER} \cdot P_{PITCH} + L_{RSD} \quad (23)$$

## VIII. 모델 검증 및 분석

TCAD Sentaurus 시뮬레이션을 통해서 구한 열 저항과 제안한 열 저항 모델의 비교를 통해 정확도를 검증하였다. Sentaurus를 사용하면 다양한 구조의 소자를 설계하여 설계한 소자의 전기적 특성, 열적 특성, 시각

적 특성 등을 선택하여 푸아송 방정식과 연속방정식을 통해 계산을 할 수 있다. TCAD를 통해 구한 열 저항은 식 (24)에 보인 바와 같이 각각의 contact를 통해서 나간 열량과 온도를 통해서 구했다.

$$R_{th.contact.TCAD} = \frac{T_{max} - T_0}{Q_{contact}} \quad (24)$$

식에 사용된  $T_{max}$ 는 시뮬레이션 후의 가장 온도가 높은 지점의 온도를 의미하며 열원에 위치하고  $T_0$ 는 시뮬레이션의 기준 온도로 300 K로 설정하였다.  $Q_{contact}$ 는 각각의 contact를 통해서 빠져나가는 열의 양을 의미하며 단위는 W이다. 제안한 열 저항 모델의 검증은 싱글 핀의 TCAD의 열 저항을 계산하여 각 contact와 전체 열 저항을 비교하였다. 그리고 핀과 핑거를 증가시켜 시뮬레이션을 진행한 뒤, 싱글 핀과 동일하게 열 저항 모델의 비교를 통해 오차를 측정하였다. 모델의 Total 열 저항은 앞서 제시한 열 저항 모델 각각의 병렬합인 식 (4)에서 구할 수 있다. 싱글 핀에서의 드레인, 게이트, 소스, 서브스트레이트 각각의 열 저항 모델과 TCAD 열 저항의 오차는 0.42 %, 3.16 %, 1.53 %, 3.00 %이며, 전체 열 저항의 오차는 1.31 %이다. 또한 싱글 핀의 열 저항 모델에서  $L_{GATE}$ ,  $L_{RSD}$ ,  $H_{FIN}$ ,  $W_{RSD}$ 의 변화에 따라 Total 열 저항의 계산하였다. 각 구조 변수 변화에 따른 열 저항의 오차율은 그림 11과 같다.

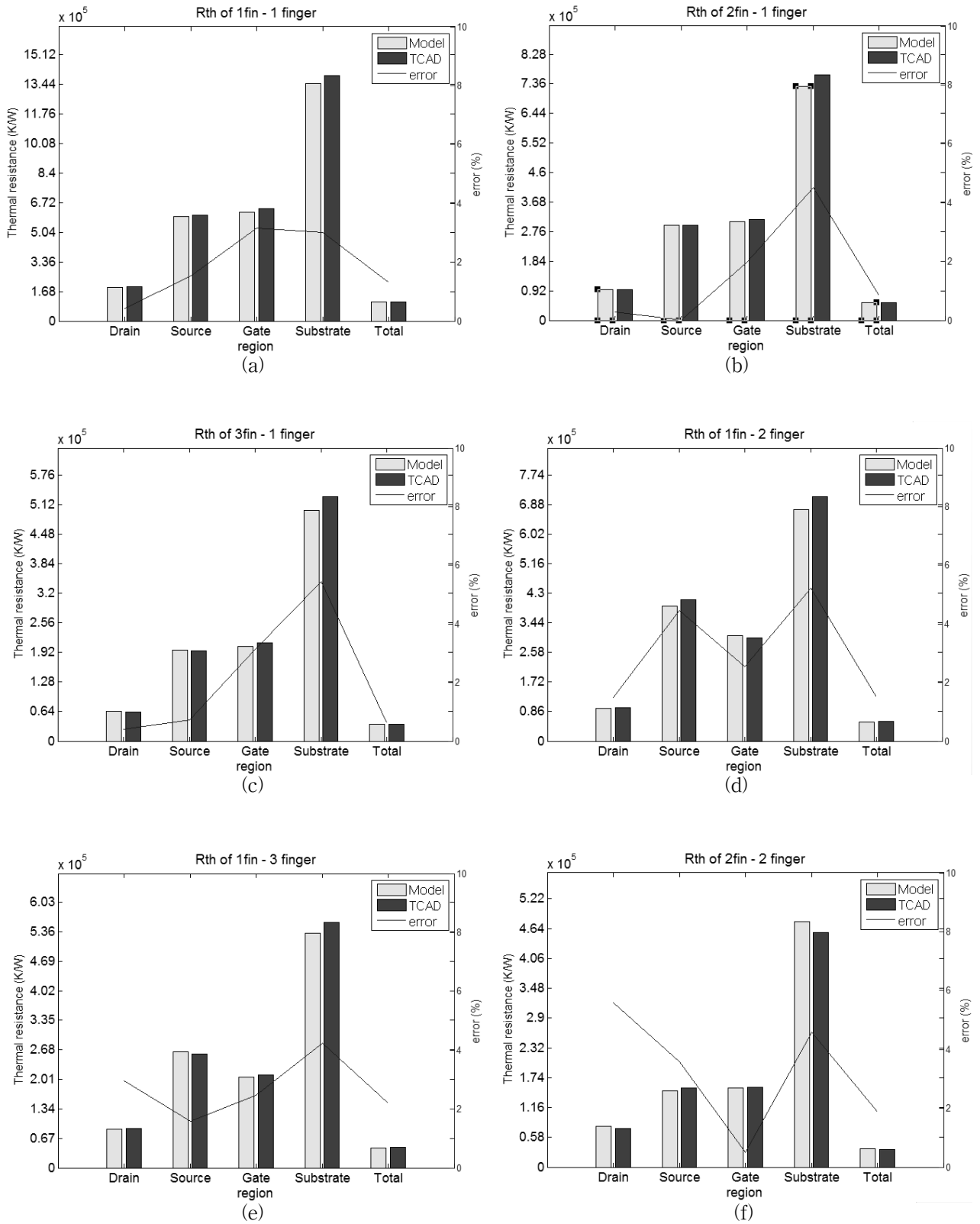


그림 12. 제안한 모델과 TCAD의 부분 열 저항과 오차

(a) 싱글 핀 (b) 2핀-1핑거 (c) 3핀-1핑거 (d) 1핀-2핑거 (e) 1핀-3핑거 (f) 2핀-2핑거

Fig. 12. Thermal resistance of each part and error between proposed model and TCAD

(a) one channel (b) 2fin-1finger (c) 3fin-1finger (d) 1fin-2finger (e) 1fin-3finger (f) 2fin-2finger.



$L_{GATE}$ ,  $L_{RSD}$ ,  $H_{FIN}$ 의 경우, 구조 변수에 의한 오차가 비교적 정확하며,  $W_{RSD}$ 의 오차는 46 nm를 기준으로 증가하는 경향을 보인다. 이는 소스/드레인의 열 저항 모델이 아닌 게이트 열 저항 모델에서 생기는 오차이며  $R_{th, gate-sp}$ 에서 소스/드레인의 접촉 면적이 커질수록 스페이서에서 열 전달방향의 영향이 커지기 때문이다. 각 구조 변수의 값에 변화를 주며 모델의 정확도를 확인했다. 구조 변수에 따른 오차율은  $L_{GATE}$ ,  $D$ ,  $H_{FIN}$ ,  $W_{RSD}$  각각 평균 0.83 %, 1.24 %, 1.13 %, 1.19 %로 측정되었다. 싱글채널에서 핀과 핀/핑거의 개수를 증가시켜 비교한 결과는 그림 12와 같이 확인할 수 있다.

## IX. 결 론

본 논문에서는 소자의 구조 변수 및 핀/핑거 개수의 변화에 따른 열 저항 압축 모델을 제안하였다. 열 저항 모델은 열원과 열이 빠져나가는 contact를 기준으로 TCAD 시뮬레이션을 통한 열 생성과 열 흐름의 분석을 통해 도메인을 설정하였다. 구조 파라미터를 통해 싱글 핀에 대한 각 contact의 열 저항 모델링을 하였으며, 각 contact의 열 저항을 세분화 하여 싱글 핀에 대한 열 저항 모델을 개발하였다. 싱글 핀에 대한 모델을 기준으로 핀/핑거 개수 증가에 따른 열 저항의 모델로 확장하였다. 모델에 대한 검증은 시뮬레이션의 온도 및 열량을 측정하여 계산한 열 저항과 비교하였으며, 각 구조 변수의 값에 변화를 주며 모델의 정확도를 확인했다. 구조 변수에 따른 오차율은  $L_{GATE}$ ,  $L_{RSD}$ ,  $H_{FIN}$ ,  $W_{RSD}$  각각 평균 0.83 %, 1.24 %, 1.13 %, 1.19 %로 측정되었다. 제안한 모델의 오차는 싱글 핀에서 1.32 %, 멀티채널에서 각각 0.85 %, 0.63 %, 1.50 %, 2.19 %, 1.87 %이다. 버클리에서 개발한 트랜지스터 압축모델인 BSIM-CMG에서는 열 저항의 값이 측정값에 의한 기본 값으로 적용되어 있으며, 핀/핑거 개수의 증가에 따라 선형적인 증가로 구현되어 있다. 제안한 열 저항 모델은 BSIM-CMG의 열 저항 부분을 대체하여 적용할 수 있으며, FinFET의 열 특성과 온도 변화의 정확한 예측 및 설계에 도움이 될 것이다.

## REFERENCES

[1] C. Auth et al., "A 22nm High Performance and Low Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistor, Self-Aligned Contacts and High Density MIM Capacitors", Symposium

on VLSI Technology, pp. 131-132, June. 2012.  
[2] K. K. Choe, K. W. Kwon, S. Y. Kim, "Circuit Performance Prediction of Scaled FinFET Following ITRS Roadmap based on Accurate Parasitic Compact Model", The Institute of Electronics Engineers of Korea, vol 52, pp. 33-46, Oct. 2015.  
[3] E. Pop, R. Dutton and K. Goodson, "Thermal Analysis of Ultra-Thin Body Device Scaling", Electron Devices Meeting, Technical Digest, IEEE International, pp. 36.6.1-36.6.4, Dec. 2003.  
[4] S. Kumar et al., "Self-consistent and efficient electro-thermal analysis for poly/metal gate FinFETs", IEDM Tech. Dig, pp. 1-4, Dec. 2006.  
[5] H. Gossner et al., "Unique ESD failure mechanism in a MuGFET technology", IEDM Tech. Dig, pp. 1-4, Dec. 2006.  
[6] B. M. Tenbroek, M. S. L. Lee, W. Redman-White, J. T. Bunyan, and M. J. Uren, "Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques" IEEE Trans. Electron Devices, vol. 43, no. 12, pp. 2240-2248, Dec. 1996.  
[7] J. H. Kim, S. Y. Kim, "The Effect of Contact Boundary on Bulk Resistance in Hexagonal Shaped Source/Drain in FinFETs", International Technical Conference on Circuits Systems-Computers and Communications, pp. 366-369, June. 2015.  
[8] J. C. Guo, "Halo and LDD Engineering for Multiple VTH High Performance Analog CMOS Devices", IEEE Trans on Semiconductor Manufacturing, vol. 20, no. 3, pp. 313-322, Aug. 2007.  
[9] M. M. Frank, "High-k/metal gate innovations enabling continued CMOS scaling", 2011 Proceedings of ESSDERC, pp. 25-33, Sept. 2011.  
[10] S. Kolluri, K. Endo, E. Suzuki, K. Banerjee, "Modeling and Analysis of Self-Heating in FinFET Devices for Improved Circuit and EOS/ESD Performance", IEEE International Electron Devices Meeting, pp. 177-180, Dec. 2007.  
[11] S. Makovejev, S. Olsen, J. P. Raskin "RF Extraction of Self-Heating Effects in FinFETs", IEEE Transactions on Electron Devices, vol. 58, no. 10, pp. 3335-3341, Oct. 2011.  
[12] U. S. Kumar, V. R. Rao, "A Thermal-Aware Device Design Considerations for Nanoscale SOI and Bulk FinFETs", Electron Devices, IEEE Transactions on, vol. 63, pp. 280-287, Dec. 2015.  
[13] BSIM-CMG108.0.0 Technical Manual, Aug. 2014.  
[14] TCAD Sentaurus User's Guide, Synopsys.  
[15] P. M. Hall, "Resistance calculations for thin film

- patterns” Thin Solid Films, pp. 277-295, Sept. 1967.
- [16] Ivanov, Valentin I., and M. K. Trubetskov. Handbook of conformal mapping with computer-aided visualization. CRC press, 1994.
- [17] N Lu, S. J. Lee, R. A. Wachnik, “Symmetry Breaking in the Drain Current of Multi-Finger Transistors”, Custom Integrated Circuits Conference IEEE, pp. 1-4, Sept. 2015.

---

 저 자 소 개
 

---



장 문 용(학생회원)  
 2015년 성균관대학교 반도체시스템공학 학사 졸업.  
 2015년~현재 성균관대학교 반도체디스플레이대학원 석사과정

<주관심분야: Device Simulation and Modeling>



김 소 영(정회원)-교신저자  
 1997년 서울대학교 전기공학부 학사 졸업.  
 1999년 Stanford University 전기공학과 석사 졸업.  
 2004년 Stanford University 전기공학과 박사 졸업.

2004년~2008년 Intel Corporation  
 2008년~2009년 Cadence Design Systems  
 2009년~현재 성균관대학교 정보통신대학 반도체시스템공학과 부교수

<주관심분야: Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility>