

전류모드논리 주파수 분할기를 통한 기저대역 AM 변조 신호의 왜곡 특성 연구

Analysis of Distortion Characteristic of Amplitude Modulated Signal through a Current-Mode-Logic Frequency Divider

김 혁 · 박 영 철

Hyeok Kim · Youngcheol Park

요 약

본 논문은 AM 변조 신호를 전송하기 위한 전류모드논리 주파수 분할기를 설계하고, 모의실험 결과를 통해 입출력 파형과 bias 포인트의 변화에 따른 출력 전압을 분석하였다. 또한, 입력 주파수 1,400 MHz에서 최적화되어 동작하는 주파수 분할기를 설계하였으며, 이를 통해 700 MHz 변조 신호의 전송 가능성을 확인하였다. 설계된 주파수 분할기는 100 MHz부터 3,000 MHz까지 동작하며, 2,900 MHz의 대역폭을 가지고 입력 주파수 1,400 MHz에서 -33 dBm의 입력 전력으로 변환 이득 14 dB를 갖도록 설계되었다. DC 전압 $V_{DD}=3$ V에서 입력 전압 $V_{Peak}=0.2$ V일 때 $I_{total}=30$ mA가 흐르며, 변조 지수 $m=0.5$ 인 진폭 변조 신호의 반송파 주파수가 1,400 MHz에서 700 MHz로 분주되는 것을 확인하였다.

Abstract

In this paper we designed a current mode logic frequency divider to transmit a baseband amplitude modulated signal. From simulation result, we studied input and output waveforms according to the variation of input bias voltage. For the purpose of the verification of the study, we designed a current mode logic frequency divider at 1,400 MHz. The designed frequency divider operates between 100 MHz and 3,000 MHz, for -33 dBm input power. The circuit draws $I_{total}=30$ mA from $V_{DD}=3$ V supply, and the simulation result shows that an amplitude modulated signal at 1,400 MHz with the modulation index of 0.5 was successfully downconverted to 700 MHz.

Key words: CMOS, CML Frequency Divider, Static Frequency Divider

I. 서 론

통신 신호를 효율적으로 전송하기 위한 다양한 연구가 이루어져 왔으며, 그 일환으로 최근 주파수 변환장치로 믹서 대신 비선형 소자인 주파수 체배기를 활용하여 정

보를 전송하기 위한 방안이 소개되었다^[1]. 일반적으로 주파수 분할기나 체배기가 믹서에 비해 시스템 구성이 간단하다는 장점이 있어 이에 대한 연구가 활발히 진행되고 있으며, 수신 단에서 PLL이나 주파수 합성기의 용도로 활용되고 있다^[2].

「이 연구는 2016학년도 한국외국어대학교 교내 연구비의 지원에 의하여 이루어졌음.」

「이 논문은 2016년도 미래창조과학부의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2014R1A2A1A11051348).」

「이 연구는 IDEC의 EDA 툴 지원으로 수행되었음.」

한국외국어대학교 전자공학과(Department of Electronics Engineering, Hankuk University of Foreign Studies)

· Manuscript received January 13, 2016 ; Revised March 14, 2016 ; Accepted July 11, 2016. (ID No. 20160113-08S)

· Corresponding Author: Hyeok Kim (e-mail: kimhyeok@hufs.ac.kr)

주파수 분할기에는 크게 4가지 종류가 있다. Razavi 주파수 분할기, Wang 주파수 분할기, TSPC 주파수 분할기, 전류모드논리 주파수 분할기가 있다. 최근 통신 시스템은 고속 동작을 요구하므로 동작 속도가 빠른 전류모드논리 주파수 분할기가 많이 사용되고 있다^{[3],[4]}.

기존의 연구를 통해 입출력 파형의 단계에서 전류모드논리 주파수 분할기를 활용한 AM 변조신호 전송 가능성에 대해 확인하였고^[9], 이를 확장하여 왜곡의 특성에 대한 연구가 필요해졌다.

본 논문에서는 CMOS를 사용하여 기저대역 AM 신호 변조 방식에 활용되기 위한 전류모드논리(Current Mode Logic, 이하 CML) 주파수 분할기를 설계하였고, 모의실험을 통해 주파수 분할기의 동작과 기저대역 AM 신호의 왜곡 특성을 제시하였다.

II. 전류모드논리 주파수 분할기 설계

입력 주파수 1,400 MHz에 대해 700 MHz의 출력을 보이는 2분할 주파수 분할기를 설계하였다. 설계된 분할기는 $V_{DD} = 3\text{ V}$, 입력 전압 $V_{PP} = 0.2\text{ V}$ 일 때 전체 전류 $I_{total} = 30\text{ mA}$, 변환 이득이 약 14 dB이다.

그림 1은 전류모드논리 주파수 분할기의 블록 다이어그램이다. 기본적으로 전류모드논리 주파수 분할기는 전류의 스위칭을 이용하여 동작을 하는 회로이며, 두 개의 D-Latch를 이용하여 Master - Slave 구조로 구성된다^{[5]~[7]}. 전류모드논리 주파수 분할기는 CLK 과 \overline{CLK} 의 두 신호만을 사용하여 동작하는데 slave단 D-Latch 출력이 master단 D-Latch에 feedback으로 입력되는 형태로 내부적으로는 하향변환 믹서와 같은 동작을 하도록 설계된다.

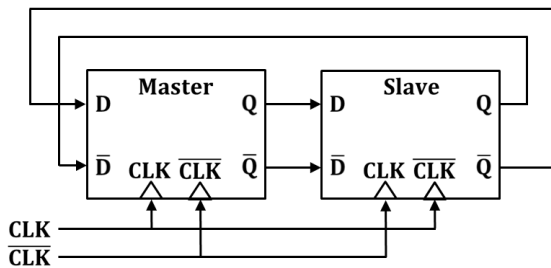


그림 1. 전류모드논리 주파수 분할기 블록 다이어그램
Fig. 1. Block diagram of the CML frequency divider.

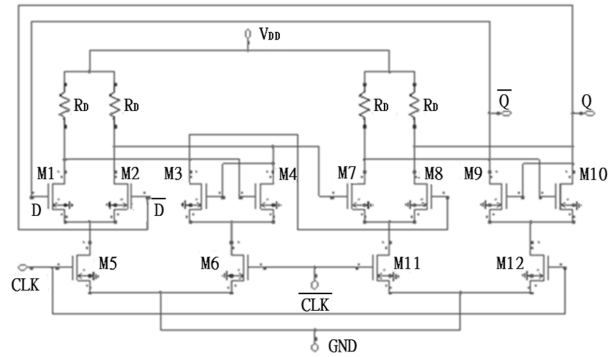


그림 2. 전류모드논리 주파수 분할기 회로도
Fig. 2. Schematic of the CML frequency divider.

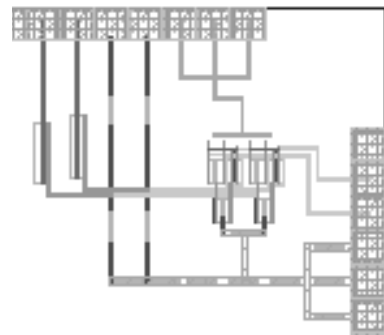


그림 3. 전류모드논리 주파수 분할기의 레이아웃
Fig. 3. Layout of the CML frequency divider.

그림 2에서 주파수 분할기의 CLK 가 1일 때 M5는 ON이 되고, 입력되는 D , \overline{D} 에 의해 Q , \overline{Q} 를 결정한다. \overline{CLK} 가 1일 때는 M6가 ON이 되고 CLK 가 1일 때인 이전 상태의 Q , \overline{Q} 값을 저장한다^[8]. 위의 동작을 통해 입력 주파수의 2분주된 출력 주파수가 결정된다.

그림 3은 설계된 전류모드논리 주파수 분할기의 layout이다. $0.35\ \mu\text{m}$ CMOS 모델을 이용하여 설계하였으며, 사용된 port는 V_{DD} 5개, GND 3개, CLK 1개, \overline{CLK} 1개, Q 1개, \overline{Q} 1개로 총 8개이며 chip 전체 크기는 $3,800\ \mu\text{m} \times 1,900\ \mu\text{m}$ 로 설계되었다.

III. 주파수 분할기 성능 분석

그림 4의 (a)는 설계된 전류모드논리 주파수 분할기의 입출력 전압 파형이다. 입력 주파수 1,400 MHz, $V_{Peak} = 0.2\text{ V}$, $V_{Bias} = 0.4\text{ V}$ 인 전압을 인가하였을 때 출력 주파

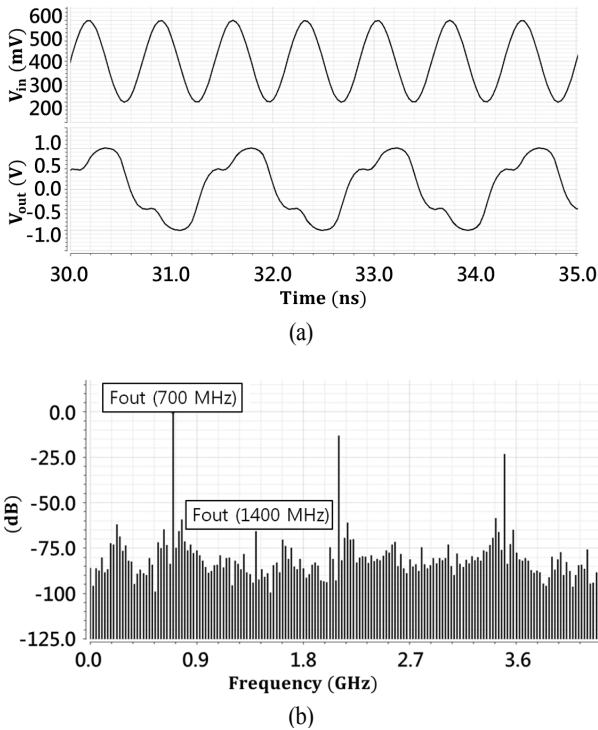


그림 4. 전류모드논리 주파수 분할기의 (a) 입출력 파형, (b) 출력 스펙트럼
 Fig. 4. (a) Input and output waveform and (b) output spectrum of the CML frequency divider.

수 700 MHz, 출력 전압 $V_{out} = 1$ V, 변환 이득이 약 14 dB인 출력 파형을 확인하였다. 이를 통해 주파수 분할기가 2분주 동작을 하는 것을 확인할 수 있다.

그림 4의 (b)는 설계된 주파수 분할기의 출력전압에 대한 fast fourier transform (FFT) 분석 결과이다. 입력 신호의 주파수 1,400 MHz에 대해 출력 주파수 700 MHz에서 출력 전압 $V_{out} = 1$ V이고, 이를 dB로 환산하였을 때 0 dB이며, 출력 주파수 1,400 MHz에서는 약 -62 dB가 나타나는 것을 확인하였다.

그림 5는 주파수 분할기의 측정된 input sensitivity이다. 설계된 주파수 분할기는 100 MHz부터 3,000 MHz까지 2분할 동작이 가능하며, 입력 주파수 1,400 MHz에서 약 -33 dBm의 최소 입력 전력으로 주파수 분할 동작이 가능하고, 3,000 MHz에서 0.458 dBm의 입력 전력으로 동작이 가능하다는 것을 확인할 수 있다.

따라서 설계된 주파수 분할기의 대역폭 2,900 MHz의

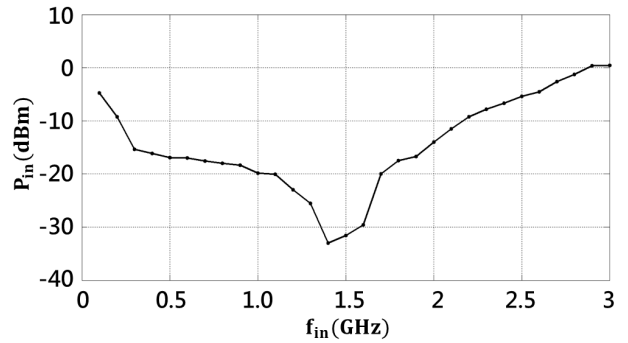


그림 5. 전류모드논리 주파수 분할기의 input sensitivity
 Fig. 5. Input sensitivity of the CML frequency divider.

모든 구간에서 0.458 dBm의 입력 전력으로 주파수 분할기가 동작 가능하다는 것을 알 수 있다.

IV. 기저대역 신호 전송 특성 분석

설계된 전류모드논리 주파수 분할기를 통해 AM 신호 변조에 대한 모의실험을 진행하였다. 진폭 변조는 반송파 신호의 크기를 메시지 신호의 특성에 따라 연속적으로 변화시키는 변조 방식이다.

식 (1)~(3)는 메시지 신호 $v_m(t)$ 와 반송파 신호 $v_c(t)$ 를 사용한 표준 진폭 변조의 정량적 표현이다.

$$v_m(t) = V_m \cos(2\pi f_m t) \quad (1)$$

$$v_c(t) = V_c \cos(2\pi f_c t) \quad (2)$$

$$\begin{aligned} v_{AM}(t) &= (V_c + v_m(t)) \cos(2\pi f_c t) \\ &= V_c (1 + m \cos(2\pi f_m t)) \cos(2\pi f_c t) \end{aligned} \quad (3)$$

여기서 $m = \frac{V_m}{V_c}$ 은 변조 지수이다.

그림 6은 AM 변조된 입력 신호를 인가하였을 때의 입출력 파형이다. 입력 반송파 주파수 $f_{c,in} = 1,400$ MHz, 입력 메시지 신호 주파수 $f_{m,in} = 100$ MHz, 변조 지수 $m = 0.5$ 로 설정하였다. 이 때 주파수 분할기로부터 출력된 반송파 주파수 $f_{c,out} = 700$ MHz, 메시지 신호 주파수 $f_{m,out} = 100$ MHz로 나타났다.

위 결과를 통해 반송파 신호의 주파수는 주파수 분할기의 동작을 통해 1/2로 분할되고, 메시지 신호의 주파수

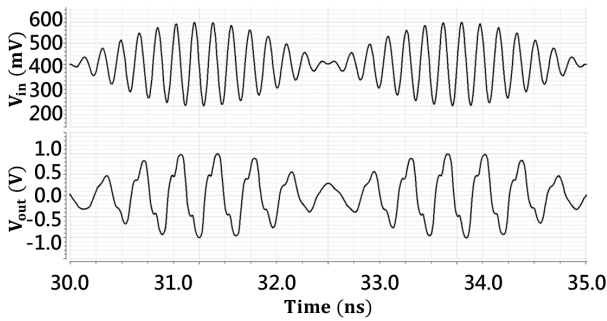


그림 6. 전류모드논리 주파수 분할기의 AM 변조 파형
Fig. 6. Input and output modulated waveform of the CML frequency divider.

는 변하지 않는다는 것을 확인할 수 있다.

그림 7은 전류모드논리 주파수 분할기에 변조 신호를 인가하여 측정된 IMD3 결과이다. 입력 power의 sweep 결과로부터 설계된 주파수 분할기의 IMD3는 -2.5 dBm 이하의 입력 전력에서 약 -32.7 dBc로 saturation되는 것을 확인할 수 있다.

추후 선형성의 개선에 대한 연구가 필요하며, 실제 제작된 칩을 통해 왜곡 특성에 대한 연구를 진행할 계획이다.

그림 8은 입력 bias 전압을 변화시켰을 때의 입력 AM 신호에 따른 출력 전압의 결과이다. 모의실험에 사용된 조건은 반송파 신호 주파수 $f_{c,in} = 1,400$ MHz, 메시지 신호 주파수 $f_{m,in} = 100$ MHz이다.

모의실험은 입력 Bias 전압 0.35 V, 0.4 V, 0.45 V 세 가지 경우에 대해서 입력 AC 전압 V_{in} 을 0.05 V부터 1

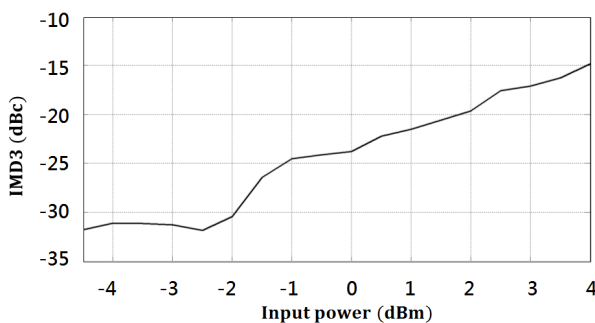


그림 7. 전류모드논리 주파수 분할기의 IMD3 특성
Fig. 7. IMD3 result of the CML frequency divider.

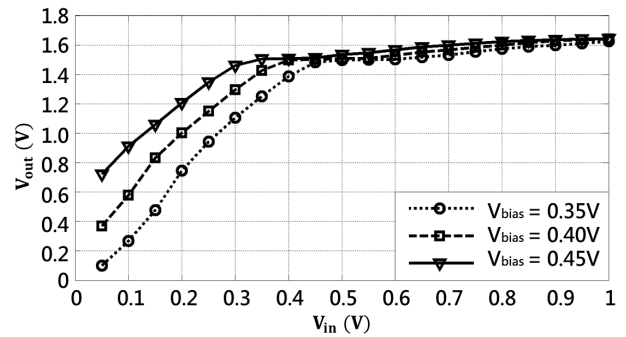


그림 8. 전류모드논리 주파수 분할기의 입력 bias 전압 sweep 결과
Fig. 8. Input bias voltage sweep response of the CML frequency divider.

V까지 변화시켜 출력 전압 진폭의 피크 값으로 측정하였다. V_{Bias} 가 0.35 V일 때 $V_{in} = 0.05 \sim 0.45$ V, 0.4 V일 때 $V_{in} = 0.05 \sim 0.4$ V, 0.45 V일 때 $V_{in} = 0.05 \sim 0.35$ V가 선형 구간으로 추정되며, 증가된 bias 전압의 크기만큼 saturation 영역에 일찍 도달하는 것을 확인하였다. 세 가지 조건 모두 약 1.6 V의 출력 전압에서 saturation되는 것을 확인하였고, 이때의 기저대역 입출력 신호는 약 12.5 dB의 이득을 갖는 것을 알 수 있다. 따라서 향후 AM 신호 전송에 해당 영역을 활용할 수 있을 것으로 판단된다. 주파수 분할기의 기저대역 비선형성 등의 좀 더 면밀한 분석은 모의실험 소프트웨어의 제약으로 수행되지 못하였으며, 설계된 칩이 제작된 이후 실험을 통하여 진행할 계획이다.

V. 결 론

본 논문에서는 전류모드논리 주파수 분할기를 통해 AM 변조 신호의 전송 결과를 확인하였고, bias 전압의 변화에 따른 출력 전압의 결과로부터 주파수 분할기의 선형성을 확인하였다.

설계된 전류모드논리 주파수 분할기는 입력 주파수 100 MHz부터 3,000 MHz까지 2분할기로 동작하여 약 2,900 MHz의 대역폭을 가지는 것을 확인하였다. 또한, $V_{DD} = 3$ V에서 $I_{total} = 30$ mA의 전류가 흐르고, 1,400 MHz의 입력 주파수에서 -33 dBm의 최소 입력 전력으

로 동작이 가능하다는 것을 확인할 수 있다.

기저대역 AM 변조 신호 전송을 위한 모의실험으로부터 변조 지수 $m=0.5$ 인 진폭 변조 신호를 인가하였을 때 1,400 MHz의 반송파 신호 주파수가 700 MHz로 분주되고, 100 MHz의 메시지 신호 주파수는 변하지 않는다는 것을 확인하였으며, IMD3의 모의실험 결과로부터 input power 0 dBm에서 약 -23.779 dBc의 IMD3 측정 결과를 얻을 수 있었다.

또한 주파수 분할기의 선형성 분석을 위한 결과로부터 세 가지 조건에서 선형구간을 추정하였고, 12.5 dB의 이득을 가지며, 약 1.6 V에서 saturation되는 것을 확인하였다.

References

[1] Youngcheol Park, "Class-F technique as applied to active frequency multiplier designs", *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 12, Dec. 2009.

[2] C. Cao, K. K. O, "A power efficient 26 GHz 32:1 static frequency divider in 130 nm bulk CMOS", *IEEE Microwave and Wireless Components Letters.*, vol. 15, no. 11, pp. 721-723, Nov. 2005.

[3] M. K. Ali, A. Hamidian, R. Shu, A. Malignaggi, and G. Boeck, "45 GHz low power static frequency divider in

90 nm CMOS", *IEEE Radio Freq. Integ. Tech.*, pp. 65-67, 2012.

[4] K. Washio, R. Hayami, E. Ohue, K. Oda, M. Tanabe, H. Shimamoto, and M. Kondo, "67 GHz static frequency divider using 0.2 um self-aligned SiGe HBTs", *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp. 3-8, Jan. 2001.

[5] R. Shu, V. Subramanian, and G. Boeck, "A 8:1 static frequency divider operating up to 34 GHz in 0.13um CMOS technology", *IEEE MTT-S Microwave Workshop Series on Millimeter Wave Integ. Tech.*, pp. 17-20, Sep. 2011.

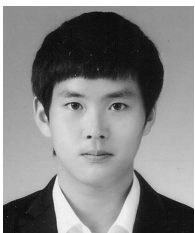
[6] J. O. Plouchart, et al, "A power efficient 33 GHz 2:1 static frequency divider in 0.12 um SOI CMOS", *IEEE Radio Freq. Integ. Circuit Symp.*, pp. 329-332, Jun. 2003.

[7] H. D. Wohlmuth, "A high sensitivity static 2:1 frequency divider up to 19 GHz in 120 nm CMOS", *IEEE Radio Freq. Integ. Circuit Symp.*, pp. 329-332, Jun. 2003.

[8] 김혁, 박영철, "전류모드논리 방식을 활용한 700 MHz static frequency divider 설계", 한국전자과학회 춘계마이크로파 및 전파전파 합동 학술대회, p. 7, 2015년 5월.

[9] 김혁, 박영철, "전류모드논리 주파수 분할기의 기저대역 AM 신호 변조에 대한 연구", 한국전자과학회 종합학술대회, p. 26, 2015년 11월.

김 혁



2015년 2월: 한국외국어대학교 전자공학과 (공학사)
 2015년 3월~현재: 한국외국어대학교 전자공학과 석사과정
 [주 관심분야] 초고주파 회로설계, 전력증폭기 설계, 주파수 분할기/체배기 설계

박 영 철



1992년 2월: 연세대학교 전기공학과 (공학사)
 1994년~2000년: 삼성전자 정보통신 총괄 선임연구원
 2004년 7월: Georgia Inst. Tech. (공학박사)
 2004년~2007년: 삼성전자 정보통신 총괄 책임연구원

2007년 3월~현재: 한국외국어대학교 전자공학과 교수
 [주 관심분야] 전력증폭기 설계, 디지털 무선 신호처리, 무선 측정시스템 불확도 해석, 레이더 응용 시스템, 주파수 분할기/체배기 설계