ISO 26262-Compliant 쿼드코어 프로세서

권영수
한국전자통신연구원
프로세서연구실

이재진
한국전자통신연구원
프로세서연구실

신경선
한국전자통신연구원
프로세서연구실

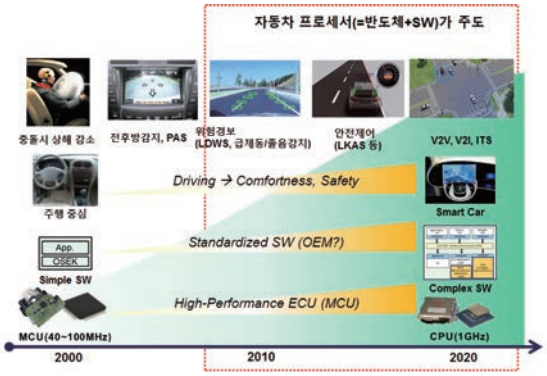
Ⅰ. 서 론

전기자동차의 개발과 자율주행 자동차가 대중의 관심을 끌면서 자동차의 전자시스템화가 급격히 진행되고 있다. 최근에는 구글의 자율주행 자동차, 애플의 자동차 산업 진입에서 보듯이 기존의 자동차 제조사 대신 전자회사가 미래 자동차 개발에 있어 더 빠른 행보를 보여주고 있다. 경제협력개발기구(OECD)와 국제에너지기구(IEA)가 최근 내놓은 '글로벌 전기차 전망 2016' 보고서에 따르면 지난해 세계 각국에서 판매된 전기차는 약 55만대로 2014년에 비해 약 70%가까이 증가했다. 전체 자동차에 비하면 누적 판매대수는 아직 미미하나 시장 증가량으로서는 놀랄만한 수치이다.

가까운 미래에 자동차는 엔진과 프레임으로 이루어진 기계라기 보다는 '사람을 태우고 달리는 로봇' 이나 '사람을 태운 전자제품'에 가까운 개념으로 취급받을 것이다. 즉, 자동차는 이제 '움직이는 전자제품'에 더 가깝게 되는 것이다. 전자제품으로서의 자동차에서 가장 중요한 기술은 무엇일까? 그것은 바로 "전자제품의 기능안전성(Functional Safety)"이다. 스마트폰 또는 백색가전과 같은 소비제품으로서의 전자제품(Consumer Electronics)에서도 신뢰성(Reliability)은 중요한 이슈이다. 제품의 수명주기가 일반적으로 10년 이상이어야 하므로 반도체 칩과 칩을 장착한 시스템에 대하여 온도, 습도, 전압, ESD, EMI/EMC 등 다양한 신뢰성 검증(Test)을 진행하여 최소한의 수명주기를 보장하도록 한다.

가까운 미래에 자동차는 엔진과 프레임으로 이루어진 기계가 아닌 '사람을 태우고 달리는 전자제품'으로 진화할 것이다.

최근 몇 년 사이, 〈그림 1〉에 나타난 바와 같이 자동차의 설계 개념



〈그림 1〉 자동차 전장시스템의 발전 방향 개념도

은 상해감소(Injury reduction)에 주력하던 것에서 상해 방지, 보행자 안전, 주행편의성을 위한 지능주행의 개념으로 급격히 옮겨가고 있다. 최근의 고급 차종에 차선감지에 의한 반자율 주행 등의 개념이 나타나고 있는 것이 좋은 예이다. 자동차의 설계 개념 변화와 더불어 자동차에 장착하는 ECU 기능은 2020년까지 200개 이상 장착될 것으로 전망되고, 반면 이렇게 다양한 ECU 기능을 최소 갯수의 반도체에 집적하는 멀티도메인 ECU의 개념도 나타나고 있다. 따라서, 자동차 전장시스템은 안전주행을 위한 외부환경(차선, 보행자, 건물 등) 인식, 판단을 위한 고성능의 컴퓨팅 시스템 및 지능주행(Smart Driving)을 위한 인터랙티브 시스템으로 발전할 것으로 전망된다.

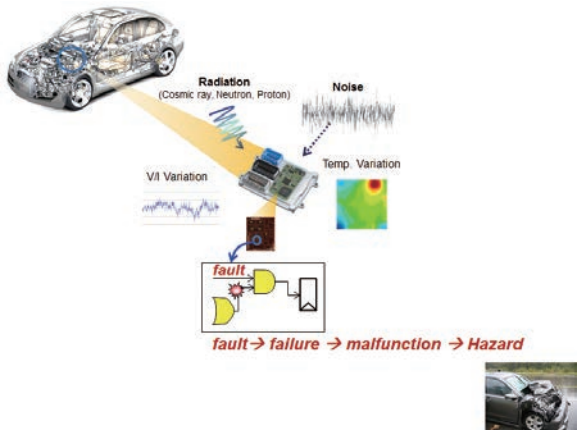
복잡한 전장시스템이 장착된 미래 자동차 전장시스템에서의 기능안전성은 '인간의 생명 또는 안전에 직결되어 있다'는 점에서 기존의 전자제품보다도 더 높은 기능안전성을 요구한다. '기능안전성(Functional Safety)'이라는 말은 전자부품의 기능(Function)이 정상적으로 작동함을 충분히 보장하기 위하여 고장상황이 가능한 모든 상황하에서 분석이 가능하며 인간의 상해 관점에서 비합리적인 리스크(Risk)가 존재하지 않음을 의미한다. 자동차의 전장시스템 모듈을 일반적으로 ECU(Electronic Control Unit)이라고 하는데 이는 자동차의 특정 기능 제어를 위한 모듈로서 다수의 반도체 칩이 장착되어 있는 전장시스템이다. 실제로 ECU는 반도체 칩들과 시스템 보드 그리고 이들의 기능안전성을 위한 하우징(Housing)으로 이루어진다.

자동차 전장시스템 내부의 핵심 기능은 결국 반도체로 구현된다. 다양한 종류의 반도체는 파워공급 반도체, 인터페이스 반도체, 마이크로프로세서 (MCU)등을 포함한다. 반도체의 종류는 여러가지인 반면, 다수의 반도체가 모여서 하나의 자동차 전장시스템, 즉, ECU를 구성하기 때문에 각각의 반도체는 높은 수준의 기능안전성을 보장해야 한다.

Ⅱ. 반도체의 기능안전성 표준(ISO 26262) 개요

전장시스템 내부의 반도체는 SW와 SoC로 이루어진 전자부품으로서 언제든 영구고장(Permanent fault)과 동작고장(Transient fault)이 발생할 수 있는 부품이다. 영구고장은 고장이 발생하면 부품을 교체하기 전에는 그 고장이 수리되지 않는 경우를 의미한다. 자동차 마이크로프로세서에서 영구고장은 전원(Power line)고장 이나 단락고장(Stuck-at Fault) 등으로 인하여 발생한다. 예를 들면, 전원공급 메탈(Power Metal Line)의 경우 장시간에 걸쳐서 전류가 지속적으로 한 방향으로 흐르기 때문에 전자와의 충돌에 의하여 양성자가 이동함으로써 전원선이 끊기는 고장이 발생한다. 실제로 시스템 동작 중에도 이와 같은 영구고장이 발생할 수 있기 때문에 해당 고장이 발생할 경우 이를 즉시 감지(Detection)하기 위한 부가회로가 필요하게 된다.

동작고장(Transient fault)은 고장 요인이 일정 시간동안 발생했다가 사라지는 경우를 의미하는데 〈그림 2〉에 동작고장의 개념이 나타나 있다. 고장 요인이 일시적으로 발생했다가 사라지는 경우라 하더라도 고장이 발생한 순간의 회로 이상 동작으로 인하여 연쇄적으로 시스템 고장(Failure)을 일으키고 결과적으로 오동작(malfunction)을 일으킴으로써 사고를 일으키는 위험원(Hazard)을 발생시킬 수 있기 때문에 특별히 이를 위한 설계를 해야 한다. 최근 개발이 진행되고 있는 안전지능주행(Safe-Smart driving), 즉, ADAS(Advanced Driver Assistance System) 기술에서 동작고장의 예를 찾을 수 있다. 안전주행은 사고 가능성의 감지 기술, 사고 방지를 위한 경고(Warning) 또는 주행제어(Driving



〈그림 2〉 동작고장(Transient fault)의 원인

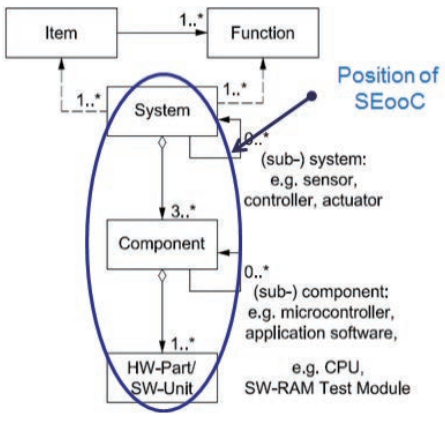
control)가 필요한 기술로서 외부 상황 인식, 판단, 및 전장시스템에 의한 주행제어 기술이 복합적으로 요구되는 기술이다. 보행자 보호를 위한 자동 브레이크 시스템의 경우 외부 영상 인식 및 보행자 판단, 브레이크 제어(Brake-by-wire)에 소요되는 시간이 시내주행의 경우 300ms(millisecond) 내에 이루어져야 한다. 만일, 안전주행에 있어서 전장시스템의 동작고장(Transient fault)이 발생하여 필요한 순간에 위험요인을 판단하여 브레이크 제어를 할 수 없다면 이는 시스템 고유의 정상동작을 하지 못하게 되므로 심각한 기능결함, 즉, 사고와 상해로 이어질 수 있다.

자동차의 전자제품화가 진행될 수록 자동차를 이루는 전장시스템과 고성능 반도체에서 기능안전성은 핵심 요소가 된다.

ISO 26262, "Functional Safety-Road Vehicles"는 영구 고장 및 동작 고장을 방지하고 전장시스템의 전반적인 동작 안전성을 위하여 도입된 국제표준으로서 "시스템 설계 원칙"을 정형화한 표준이라고 할 수 있다[1]. 영구 고장의 경우 SW 및 SoC 설계 과정에서 시뮬레이션 등을 통한 충분한 기능 검증, 반도체 칩의 패키징(Packaging) 테스트, 전압, 전류 및 온도에 대한 칩 신뢰성 검증 등을 통하여 고장율(Fault rate)을 줄일 수 있다. 동작 고장은 전장시스템의 시스템 동작 중 외란(External disturbance)에 의하여 일시적으로 발생하는 고장이나 시스템의 주요 기능 고장 또는 연쇄적인 고장(Chain reaction)에 의하여 시스템 전체의 오작동(System failure)으로 이어질 수 있는 고장이므로 이를 방지하기 위한 메커니즘을 구현해야 한다.

ISO 26262에서는 특정 기능을 수행하는 하나의 전장시스템을 '아이템(item)'으로 정의하며, ISO 26262는 아이템을 개발하기 위한 설계 플로우에서 시스템 안전성을 보장하기 위하여 지켜야 할 규정을 기술하고 있다. '아이템'의 예로서 특정 기능을 수행하는 전자제어 모듈, 즉, "에어백 제어 ECU 모듈", "보행자 인식 카메라 및 MCU 통합 ECU 모듈" 등을 들 수 있다. 즉, 아이템은 개발하고자 하는 단일 전장시스템을 의미한다. ISO 26262 Part 10, 즉, 에 의하면 아이템은 '시스템(System)'으로 구성되며, 또한 시스템은 '컴포넌트(Component)'로 구성되고, 컴포넌트는 'HW-Part' 와 'SW-Unit'으로 구성된다. 예를 들어 '아이템'이 에어백 제어시스템 이라면, '시스템'은 MEMS 센서, 컨트롤러 및 액츄에이터(Actuator) 각각을 시스템으로 정의한다. '시스템'은 일반적으로 3개 이상의 '컴포넌트'로 구성되는데, '컴포넌트'는 MCU 또는 App. SW 라고 볼 수 있다. 각 '컴포넌트'는 CPU 또는 AP와 같은 'HW-Part'로 구성되거나, BIST(Built-In Self Test)와 같은 'SW-Unit'으로 구성된다.

SEooC (Safety Element out of Context)는 아이템을 구성하는 HW-Part 또는 SW-Unit으로서 현재 설계하고 있는 아이템의 설계 컨텍스트 (context)가 아닌 별도의 동작안전성 규정을 가지고 설계한 파트를 의미한다.



〈그림 3〉 ISO 26262, Part 10:9.2.3의 SEooC 개념

즉, SEooC는 현재의 아이템을 위한 동작안전성 규정을 따르지는 않았지만 별도의 안전성 규정을 가지고 있으며, 이는 ISO 26262에서 별도로 정의하고 있는 설계 절차로서 인정받고 있으므로, 각 SW-SoC 개발사는 SW 및 SoC를 설계함에 있어서 자체적으로 동작안전성 규정을 정의하고 이에 따라 개발해도 ISO 26262 규정을 따른 것으로 간주한다. SEooC의 최종 ASIL 등급은 아이템을 설계하는 또는 아이템을 채용하는 완성차 업체에서 개발하고 있는 아이템의 동작안전성 규정 컨텍스트 하에서 결정한다.

Ⅲ. ISO 26262에서의 반도체 컴포넌트

ISO 26262가 규정하는 기능안전성은 아이템 전체에 대한 것이므로 그 내용이 방대하고 복잡하다. 또한, 기존의 신뢰성 관련 표준들을 상호참조하여 망라하는 방식으로 기술되어 있어 시스템 전체에 대한 전반적인 기능안전성에 대한 이해가 요구된다. 반도체의 경우 특히 ISO 26262 2ED (2nd Edition)에서 정식표준으로 채택될 예정이며 현재 2018년에 정식 국제표준 출판(Publication)을 목표로 표준화 완료 단계에 있다.

반도체는 전장시스템을 구성하는 중요한 요소로서 전장시스템의 기능 및 성능을 결정한다. 따라서, 전장시스템을 구성하는 반도체는 개발과정에서의 고장요인(Fault) 및 소프트웨어 자체의 기능오류를 제거하기 위한 기술개발을 하여야 하며 이는 ISO 26262 표준에 따라서 이루어진다. ISO 26262 2ED의 Part 11은 반도체의 기능안전성 규격을 기술한 것으로서 BFR(Base Failure Rate), 안전성 메커니즘(Safety Mechanism), 정량분석(Quantitative Analysis), 정성분석(Qualitative Analysis), 즉, 의존고장(Dependent Failure Analysis) 등을 정의하고 있다.

ISO 26262의 SEooC로서의 SW-Unit을 개발하기 위해서는 개발 과정에서의 오류(Fault) 및 SW자체의 기능오류(Bug)를 제거하기 위한 기술 개발을 해야 한다. 개발과정에서의 오류를 제거하기 위해서는 SW개발과정에서 응용한 개발 툴, 개발 관리 등의 작업을 문서로 관리하고 기록을 남겨놓음으로써 각 개발과정에서의 툴과 관리 과정이 ISO 26262에서 정의하는 정규적인 개발 프로세스를 준수하였음을 증명할 수 있어야 하고, 이를 위하여 표준적인 SW개발과정을 따르는 것이 중요하며, AUTOSAR와 같은 정규적인 개발 플랫폼의 중요성이 부각되고, 표준적인 개발 플랫폼을 따르지 않는다면 자체적인 툴 관리, 개발 과정 관리와 같은 작업을 거치게 된다.

ISO 26262의 SEooC로서의 HW-Part를 개발하기 위해서는 자동차용 마이크로프로세서의 오류를 감지할 수 있는 기능 및 발생한 오류를 복구할 수 있는 오류 강건성(Fault tolerance)를 측정 또는 관리할 수 있는 보고서를 작성해야 한다. 자동차 전장시스템에 응용하는 대부분의 MCU는 50MHz~100MHz 급의 저성능, 저가격 MCU이나 최근 ADAS 및 안전지능 주행 관련 CPU의 개발에 따라서 300MHz~600MHz의 칩이 출시되고 있다. 기존의 100MHz급 칩은 MCU, 600MHz 이상의 칩은 자동차용 마이크로프로세서로 정의할 수 있으며, 안전지능 주행을 위한 칩은 자동차 대표적인 경우라고 할 수 있다.

SEooC HW-Part를 개발하기 위해서는 정량적 분석결과로서 CCF(Common Cause Failure)의 분석 결과 및 CCF를 회피(CCF 제거)하기 위한 아키텍처를 제시할 수 있어야 한다. 이를 위해서는 일반적으로 클럭 네트워크 분리(Clock Separation or Shielding) 기법 사용된다. 정량적인 분석을 위해서는 SPFM(Single-Point Failure Metric), LFM(Latent Fault Metric), PMHF(Probabilistic Metric for random Hardware Failures) 등의 분석결과를 제시할 수 있어야 한다. 정량적인 분석결과의 안전성 검증(Safety Verification)을 위해서는 설계 시 해당 칩에서 특정 SW를 수행하였을 때 에러(Error)를 임의로 주입(Injection)하여 이것이 실제로 오류(Fault, Failure)로 발생하는 비율을 측정한 실험결과를 제시하여야 한다.

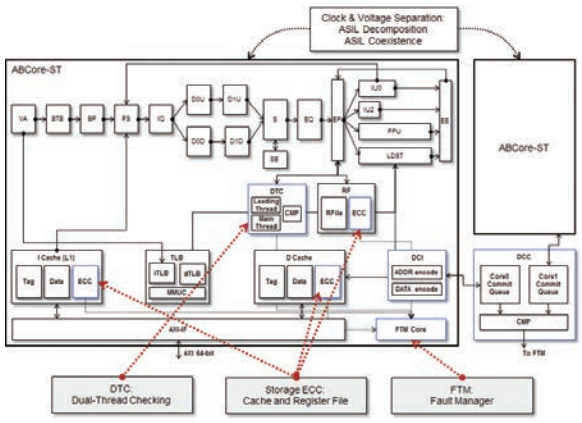
대표적인 자동차 회사(Renesas, Freescale, Infineon) 등의 업체에서는 자동차용 MCU 및 마이크로프로세서 개발에 있어 개발사 별로 특징적인 오류감지 기술을 적용하고 있다. ISO 26262의 SEooC 개념을 적용한 MCU는 2012년을 전후로 상용품이 속속 출시되고 있는 상황으로

서 대체적으로 DCLS(Dual-Core Lock Step)구조를 기초로 하여 향상된 구조를 추가한 제품들이 대부분이다. SW의 오류방지(Protection)를 위해서는 메모리 배리어(Memory barrier) 및 ECC(Error Correction Code)를 이용한 기능을 구현하거나, 멀티쓰레드를 이용하여 같은 SW 기능을 두 개의 쓰레드가 동시에 수행하는 기능 또는 같은 작업을 반복하는 기능을 응용한다. 프로세서 코어에서의 오류감지를 위해서는 두 개의 코어를 동시 수행하여 상호 결과를 비교하는 부가회로(Redundancy) 구조를 이용하고 있으며, 대표적인 응용 아키텍처로서 DCLS(Dual-Core Lock-Step)구조를 들 수 있다. DCLS 에서는 다양한 향상구조(Variation architecture)가 도입되며 시간상의 동시 오류를 방지하기 위해서 지연방식(Delayed) DCLS를 이용하고 있는데, 이 구조는 각 코어의 출력을 두 사이클 지연하여 상호 결과를 비교하는 방식이다.

자체적인 고장감지 및 고장복구 기능을 가지는 ISO 26262-Compliant 프로세서는 기능안전성을 달성하기 위한 핵심 기술이다

Ⅳ. ISO 26262-Compliant 쿼드코어 프로세서

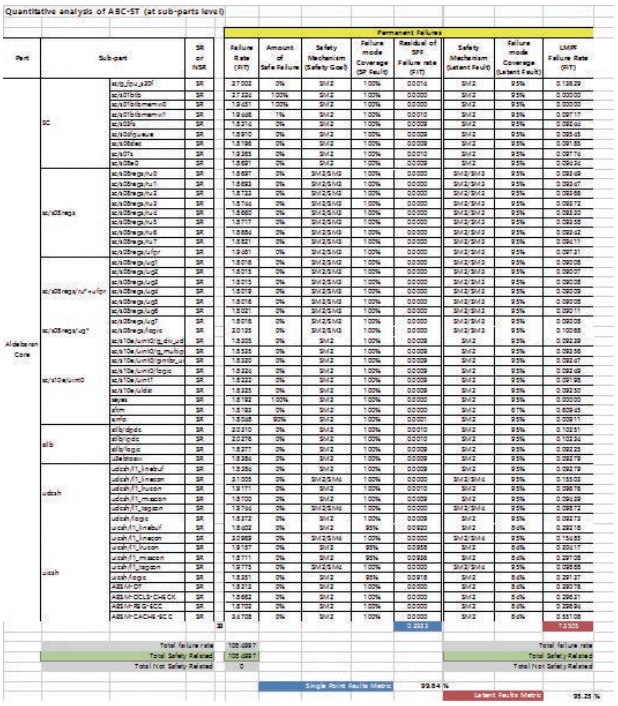
ISO 26262를 만족하는 내고장성 프로세서는 앞서 기술한 바와 같이 내고장성(Fault Tolerance) 프로세서 코어 아키텍처를 가져야 한다. 〈그림 4〉는 한국전자통신연구원에서 개발한 고장 대응 및 고장관리모듈 통합 ISO 26262 ASIL D급 자동차 전장시스템 프로세서 코어의 구조이다.



〈그림 4〉 ISO 26262 ASIL D급 시스템을 위한 내고장 프로세서 코어 구조

내고장성 프로세서 코어의 기본 구조는 명령어를 순차적으로 처리하되 다수의 Execution unit을 활용할 수 있는 In-order Superscalar 구조의 기 개발한 프로세서 코어에 고장감지 (Fault Detection) 및 심각오류의 검출 및 복구(Severe Fault Detection & Recovery) 기능을 구현한 모듈을 통합하여 ISO 26262의 Part 5에 준하는 기능안전성을 구현하였다. 성능, 즉, Throughput을 유지하기 위하여 Instruction queue를 도입하여 다수의 명령어를 Queue에 배치하여 동시에 다수의 명령어가 issue될 수 있는 구조로서 Wide cache line에서 다수의 명령어를 동시에 fetch할 수 있도록 설계하여 Instruction queue에 충분한 명령어 수가 유지되도록 하는 고성능의 구조로 구현되어 있다. 또한, Execution unit 및 Multiple pipeline stage를 응용하여 다수의 명령어를 동시 수행하여 Throughput을 유지할 수 있다.

DTC (Dual-Thread Comparator)는 Instruction Flow 중에 발생가능한 고장(Fault)을 감지하기 위한 모듈로서 선행쓰레드(Leading Thread)와 메인쓰레드(Main Thread) 그리고 비교기(Comparator)로 구성된다. DTC의 선행쓰레드(Leading Thread)는 프로세서 코어로 입력되는 명령어를 프로세서 코어 내의 각 모듈에서 먼저 실행하여 그 결과를 DTC 내의 메모리에 저장한다. DTC의 메인쓰레드(Main Thread)는 명령어의 실행결과를 레지스터 파일(Register File)에 Commit 할 수 있는 쓰레드로서 명령어가 프로세서 코어 내의 각 모듈을 통과한 뒤 레지스터 파일에 최종 출력할 결과를 도출한다. BTB (Branch Target Buffer)와 BP (Branch Predictor)는 Next PC address를 예측하기 위한 서브시스템이므로 그 결과값이 Fault가 발생한 값이라 하더라도 CPU 코어의 동작에는 무관하므로 Fault Detection 및 In-Place Fault Recovery 기능을 수행하지 않는다. 프로세서 코어의 IFQ (Instruction Fetch Queue)는 L1 cache에서 Instruction이 Fetch되는 순서대로 Instruction을 저장



〈그림 5〉 내고장 프로세서의 정량분석(Quantitative Analysis)예

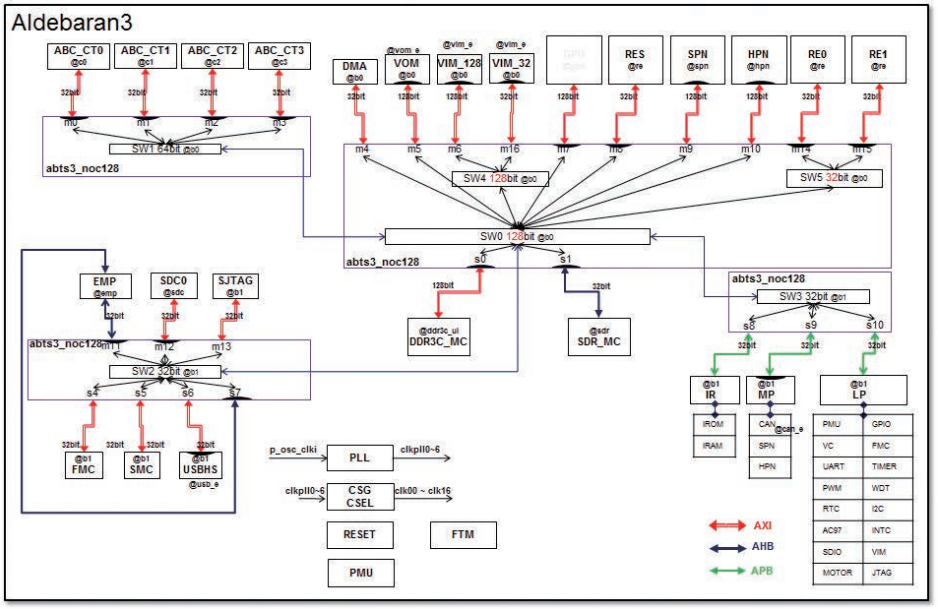
한다. IFD (Instruction Fetch Decoder)는 프로세서 코어로 입력되는 명령어(Instruction)을 Decoding하고 그 결과를 출력한다. DTC의 비교기(Comparator)는 메인쓰레드의 결과가 DTC에 도달하면 선행쓰레드가 레지스터 파일에 Write하기 위하여 저장한 데이터와 메인쓰레드가 현재 Write하고자 하는 데이터를 비교하여 그 결과에 차이가 있을 경우 이를 고장으로 분류하고 코어 외부의 FTM(FaulT Manager)에 알리게 된다. 이를 통하여 고장의 감지(Detection) 기능을 수행한다.

내고장 프로세서 코어의 레지스터 파일은 플립플롭(Flip-Flop)의 어레이로 구성되어 있고 컴파일러의 구성에 의하여 다수의 인덱스 레지스터(Indexed Register)로 구성되어 있으므로 비교기가 정상 동작을 수행하기 위해서는 선행쓰레드의 결과는 레지스터의 인덱스 및 레지스터의 내용을 동시에 저장해야 한다. 메인 쓰레드는 레지스터 파일에 최종 값을 업데이트하기 전에 레지스터의 인덱스 및 레지스터의 내용(Contents)를 동시 비교하여 고장이 발생했는지를 확인하며 고장 발생 시 FTM(FaulT Manager)로 알린다. 레지스터 파일은 자체 ECC를 보유하고 있으므로 일정 값이 레지스터 파일에 저장된 이후 발생하는 고장은 ECC로서 확인가능하다.

내고장 프로세서 코어의 캐시메모리는 특히 프로세서에서 큰 면적을 차지하는 캐시메모리의 고장을 감지하고 일부 복구(Recovery)할 수 있는 기능을 갖추고 있다. 두 개 코어의 수행 결과를 비교하게 되는 eFTM(external FaulT Manager)은 코어에서 실행하는 각 명령어의 실행 결과를 비교하여 고장을 감지한다. eFTM에서 고장이 발생했다는 신호인 Fault Trap은 Recovery Module로 송신하여 기능복구 여부를 판단하게 된다. 코어 내부의 Cache로 출력되는 Write Data는 eFTM으로 보내져서 각 코어에서 Cache로 출력하는 데이터가 동일한지 판단하게 되며 이를 통해 Core에서의 연산결과에 Error가 있는지를 판단한다. 코어 내부에 있는 FTM(FaulT Manager)은 ABC_ST 내부에서 발생할 수 있는 Error를 수집하며, 수집한 L1/L2 Cache의 Error가 심각한 고장으로 판단되는 경우 Recovery Module로 Fault Trap을 보내게 된다.

내고장 프로세서 코어의 기능안전성 규격 분석을 위하여 정량분석 및 정성분석을 통하여 ISO 26262 Part 5 및 Part 11에 규정되어 있는 기능안전성에 대한 산출물(Work Product)을 기술하였다. 기능안전성 규격 분석을 위한 산출물은 FMEA(Failure Modes and Effects Analysis), IEC/TR 62380, SN 29500, ITRS 로드맵에 근거한 BFR(Base Failure Rate) 계산, SPFM(Single-Point Failure Metric), LFM(Latent Fault Metric), PMHF(Probabilistic Metric for Hardware random Failures) 등을 포함하는 정량분석, FTA(Fault Tree Analysis), 안전성 분석 검증(Safety Validation and Verification)을 위한 고장주입 분석(Fault injection analysis)을 수행하였다. 정량분석 중 SPFM 계산의 예가 〈그림 5〉에 나타나 있다.

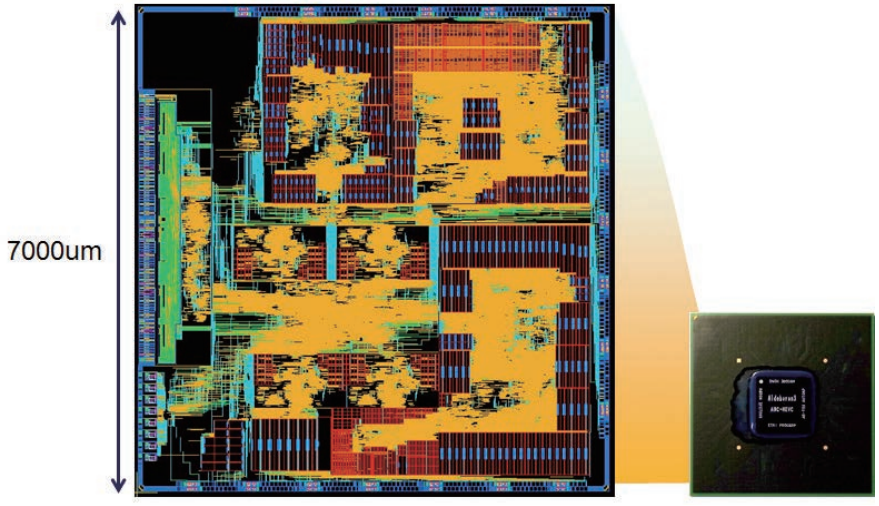
지능안전주행을 위한 내고장 프로세서 설계를 〈그림 6〉과 같이 구현하였다. 내고장 프로세서 4개를 집적하였으며, 각 코어 2개의 쌍(Dual-Core Pair)은 DLS (Dynamic Lock-Step) 기능을 통하여 성능을 필요로 하는 모드에서는 독립적인 프로세서 코어로 작동하고 기능안전성 모드에서는 상호비교가 가능한 모드로 동작한다. 이로서 요



〈그림 6〉 내고장 마이크로프로세서 Aldebaran3 의 설계도

구하는 기능안전성 레벨에 따라서 성능과 기능안전성 두 가지 요구사항을 동시에 충족할 수 있다. 프로세서는 내고장성 프로세서, 고속 메모리 데이터 이동 모듈(DMA), 비디오 입출력 모듈(VIM, VOM), 부스팅 방식의 사물인식 모듈, 초고해상도 비디오 인코더 및 디코더, 내고장성 네트워크 온칩(Network-on-Chip), 고속 외장 메모리(DDR3), 8채널 ISO 11898 표준 준수 CAN(Controller Area Network), 표준 외부 인터페이스(I2C, SPI, Timer, AC97, SDC 등), 코어와 NoC의 오동작 검증을 위한 Watchdog Timer(WDT), 고속병렬처리를 위한 DSP 코어, 플래시 메모리 컨트롤러, USB 컨트롤러 등을 통합한 칩이다. 이 프로세서는 〈그림 7〉과 같이 28nm 공정으로 개발하여 각 코어가 1.0GHz 에서 동작한다.

우리나라 반도체 산업이 미래형 지능안전주행에서 새로운 시장에 진입하기 위해서는 기능안전성 프로세서 기술을 갖추어야 한다.



〈그림 7〉 Aldebaran3의 28nm 구현

V. 결 론

ISO 26262는 전자부품의 비중이 급격히 증가하고 있는 미래형 자동차에서 전장시스템의 기능안전성 구현, 분석, 관리를 위한 국제표준이다. 반도체, 특히 자동차용 마이크로프로세서는 전장시스템의 핵심 기능을 구현하는 부품으로서 2018년을 기점으로 ISO 26262 2nd Edition에서 주요한 표준규격으로 제정 중에 있다. 자동차 전장시스템을 위한 마이크로프로세서는 고장감지 및 복구를 위한 안전성 메커니즘을 구현해야 하며 심도깊은 안전성 분석을 통한 산출물을 개발해야 한다. 기능안전성 마이크로프로세서는 향후 지능형 안전 주행에 있어 주요한 부품이 될 것이므로 국내 반도체 업계가 이에 대한 대응을 서둘러야 할 것이다. 국내 반도체 산업의 자동차 또는 이동체에서의 반도체 신시장에서 주도권을 확보하기 위해서는 ISO 26262 표준 규격에 대한 이해와 더불어 국제표준 규격을 만족하는 기능안전성 설계기술의 개발이 이루어져야 한다.

참고문헌

[1] ISO, "ISO 26262, Road Vehicles – Functional Safety", Part 1 ~ 10, 2011.

권영수

- 1997년 2월 KAIST 전기 및 전자공학과 학사
- 1999년 2월 KAIST 전자전산학과 석사
- 2004년 8월 KAIST 전자전산학과 박사
- 2004년 9월~2005년 9월 MIT, Postdoctoral Associate
- 2005년 10월~2014년 2월 한국전자통신연구원 선임연구원
- 2014년 3월~현재 한국전자통신연구원 책임연구원
- 2016년 3월~현재 한국전자통신연구원 프로세서연구실 실장

〈관심분야〉
프로세서 코어, 컴파일러, 플랫폼 온칩, 뉴럴코어

이재진

- 2000년 2월 충북대학교 학사
- 2003년 2월 충북대학교 석사
- 2007년 2월 충북대학교 박사
- 2007년 2월~현재 한국전자통신연구원, 책임연구원
- 2015년 9월~현재 과학기술연합대학원(UST), 겸임교원

〈관심분야〉
상위 수준 시스템 설계, 시스템 프로그래밍

신경선

- 1991년 2월 전북대학교 / 전자공학과 석사
- 1989년 2월 전북대학교 / 전자공학과 학사
- 1999년 9월~2016년 7월 한국전자통신연구원
- 1991년 3월~1999년 8월 LG반도체

〈관심분야〉
코어 기반 프로세서 SoC 시스템 구현 및 검증