

논문 2016-53-7-3

소자 부정합에 덜 민감한 12비트 60MS/s 0.18um CMOS Flash-SAR ADC

(A Mismatch-Insensitive 12b 60MS/s 0.18um CMOS Flash-SAR ADC)

변 재 혁*, 김 원 강*, 박 준 상*, 이 승 훈**

(Jae-Hyeok Byun, Won-Kang Kim, Jun-Sang Park, and Seung-Hoon Lee[©])

요 약

본 논문에서는 무선 통신 시스템 및 휴대용 비디오 처리 시스템과 같은 다양한 시스템 반도체 응용을 위한 12비트 60MS/s 0.18um CMOS Flash-SAR ADC를 제안한다. 제안하는 Flash-SAR ADC는 고속으로 동작하는 flash ADC의 장점을 이용하여 우선 상위 4비트를 결정한 후, 적은 전력 소모를 갖는 SAR ADC의 장점을 이용하여 하위 9비트를 결정함으로써 해상도가 증가함에 따라 동작 속도가 제한이 되는 전형적인 SAR ADC의 문제를 줄였다. 제안하는 ADC는 전형적인 Flash-SAR ADC에서 고속 동작 시 제한이 되는 입력 단 트랙-앤-홀드 회로를 사용하지 않는 대신 SAR ADC의 C-R DAC를 단일 샘플링-네트워크로 사용하여 입력 샘플링 부정합 문제를 제거하였다. 한편, flash ADC에는 인터폴레이션 기법을 적용하여 사용되는 프리앰프의 수를 절반 수준으로 줄이는 동시에 SAR 동작 시 flash ADC에서 불필요하게 소모되는 전력을 최소화하기 위해 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 또한 고속 동작을 위해 SAR 논리회로는 TSPC 기반의 D 플립플롭으로 구성되어 범용 D 플립플롭 대비 논리회로 게이트 지연시간을 55% 감소시킴과 동시에 사용되는 트랜지스터의 수를 절반 수준으로 줄였다. 시제품 ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 1.33LSB, 1.90LSB이며, 60MS/s 동작 속도에서 동적성능은 최대 58.27dB의 SNDR 및 69.29dB의 SFDR 성능을 보인다. 시제품 ADC의 칩 면적은 0.54mm²이며, 1.8V 전원전압에서 5.4mW의 전력을 소모한다.

Abstract

This work proposes a 12b 60MS/s 0.18um CMOS Flash-SAR ADC for various systems such as wireless communications and portable video processing systems. The proposed Flash-SAR ADC alleviates the weakness of a conventional SAR ADC that the operation speed proportionally increases with a resolution by deciding upper 4bits first with a high-speed flash ADC before deciding lower 9bits with a low-power SAR ADC. The proposed ADC removes a sampling-time mismatch by using the C-R DAC in the SAR ADC as the combined sampling network instead of a T/H circuit which restricts a high speed operation. An interpolation technique implemented in the flash ADC halves the required number of pre-amplifiers, while a switched-bias power reduction scheme minimizes the power consumption of the flash ADC during the SAR operation. The TSPC based D-flip flop in the SAR logic for high-speed operation reduces the propagation delay by 55% and the required number of transistors by half compared to the conventional static D-flip flop. The prototype ADC in a 0.18um CMOS demonstrates a measured DNL and INL within 1.33LSB and 1.90LSB, with a maximum SNDR and SFDR of 58.27dB and 69.29dB at 60MS/s, respectively. The ADC occupies an active die area of 0.54mm² and consumes 5.4mW at a 1.8V supply.

Keywords : 입력 샘플링 부정합, 단일 샘플링, Flash, SAR, ADC

* 정회원, ** 평생회원, 서강대학교 전자공학과 (Dept. of Electronic Engineering, Sogang University)

[©] Corresponding Author (E-mail : hoonlee@sogang.ac.kr)

※ 본 연구는 정부 (교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업 (과제번호 2013R1A1A2004829)으로 수행되었음.

Received ; May 20, 2016

Revised ; June 29, 2016

Accepted ; July 1, 2016

I. 서 론

최근 다양한 멀티미디어 서비스에 대한 수요가 증가하고 개인 휴대용 기기가 급속히 확산되면서 무선 네트워크를 이용하여 고속으로 데이터를 전송하는 기술에 대한 요구가 증가 하고 있다. 특히 WiMAX 및 WiFi와 같은 무선 통신 시스템 및 휴대용 비디오 처리 시스템 응용에서는 12비트 이상의 해상도 및 50MS/s 이상의 동작 속도를 갖는 동시에 작은 칩 면적과 적은 전력 소모를 갖는 A/D 변환기 (analog-to-digital converter: ADC)가 필수적으로 요구된다^[1~4]. 일반적으로 12비트 이상의 고해상도 및 수십 MS/s 수준의 동작 속도를 만족하는 ADC에는 입력 단 sample-and-hold amplifier (SHA), multiplying digital-to-analog converter (MDAC) 및 flash ADC로 구성되는 pipeline (파이프라인) ADC가 많이 사용된다^[2~4]. 하지만 파이프라인 ADC의 경우 요구되는 해상도 및 동작 속도를 얻기 위해서는 높은 요구사항을 갖는 증폭기가 필수적으로 요구되며, 그에 따른 면적 및 전력 소모가 증가하는 단점이 있다. 한편, 최근에는 파이프라인 ADC에 비해 작은 면적 및 적은 전력 소모를 가지며, 공정 기술의 발달과 함께 경쟁력을 가질 수 있는 디지털 논리회로 기반의 연속 근사 레지스터 (successive-approximation register: SAR) ADC에 대한 연구가 활발히 진행되고 있다^[5~8]. 그러나 전형적인 SAR ADC는 해상도가 증가함에 따라 내부 동작 속도가 증가하는 단점이 있다. 이러한 단점을 극복하기 위해 다양한 구조의 SAR ADC들이 제안되었으며, 일반적으로 파이프라인 SAR ADC 및 Flash-SAR ADC가 많이 사용되고 있다^[9~11]. 파이프라인 SAR ADC는 낮은 해상도를 갖는 SAR ADC와 증폭기를 여러 단의 파이프라인 구조로 구성함으로써 각 단에서 요구되는 SAR ADC의 내부 동작 속도를 낮출 수 있는 장점이 있으나^[4, 9], 여전히 증폭기가 필수적으로 사용되기 때문에 전체 ADC의 전력 소모가 증가하는 단점이 있다.

이와는 달리 Flash-SAR ADC는 고속으로 동작하는 flash ADC를 이용하여 빠른 속도로 상위 비트를 먼저 결정하고 나머지 하위 비트를 SAR ADC를 이용하여 결정함으로써 전체 SAR ADC에서 요구되는 내부 동작 속도를 낮출 수 있는 장점이 있다^[10~11]. 또한, Flash-SAR ADC의 경우 파이프라인 SAR ADC와는 달리 많은 전력 소모를 하는 증폭기를 사용하지 않기 때문에 12비트 수준의 해상도 및 50MS/s 이상의 동작

속도를 갖는 ADC를 구현하기에 파이프라인 SAR ADC보다 전력 소모 측면에서 유리한 측면이 있다.

한편, 전형적인 Flash-SAR ADC의 입력 단은 flash ADC와 SAR ADC의 입력 샘플링 부정합 문제를 최소화하기 위해 그림 1(a)와 같이 트랙-앤-홀드 회로 (track-and-hold circuit: T/H)로 구성된다. 하지만 입력신호의 크기 및 동작 속도가 증가할수록 T/H를 구성하는 소스 폴로워 (source follower) 등의 회로로 인해 입력신호의 왜곡이 증가하며, 고속 동작 사양에 의한 면적 및 전력 소모가 증가하는 단점 때문에 저 전력 시스템에 즉각적인 응용이 불리한 측면이 있다^[12]. 이러한 문제를 해결하기 위해 그림 1(b)와 같이 T/H를 제거한 Flash-SAR ADC가 제안되었으나^[13], SAR ADC와 flash ADC는 서로 다른 입력 샘플링 경로를 가지기 때문에 RC 시정수 차이에 의하여 입력 샘플링 부정합 문제가 발생할 수 있다.

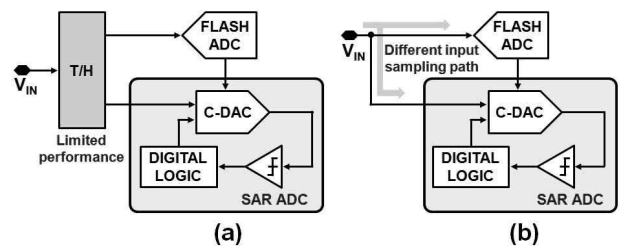


그림 1. (a) 전형적인 Flash-SAR ADC
(b) T/H를 제거한 Flash-SAR ADC
Fig. 1. (a) Conventional Flash-SAR ADC.
(b) Flash-SAR ADC without T/H.

따라서 T/H를 제거한 구조에서 Nyquist 입력 주파수까지 성능을 유지하기 위해서는 어떤 형태의 보정기법이 필수적이거나 복잡한 회로 및 타이밍이 수반되어야 하며, 또 보정기법을 추가할 경우 면적 및 전력 소모가 증가하는 단점이 있다. 또한, 정교한 레이아웃을 통해 문제를 완화하는 방법이 있지만 입력 샘플링 부정합 문제를 완벽히 해결하기는 어렵다^{[14],[15]}.

본 연구에서 제안하는 Flash-SAR ADC는 고속 동작 시 성능에 제한이 되는 T/H 없이 Nyquist 입력 주파수까지 신호를 처리하도록 SAR ADC의 구성 요소인 capacitor-resistor digital-to-analog converter (C-R DAC)를 SAR ADC와 flash ADC의 단일 샘플링-네트워크로 공유하여 서로 다른 RC 시정수 차이에 의한 입력 샘플링 부정합 문제를 줄임과 동시에 면적 및 전력 소모를 최소화하였다. 단일 샘플링-네트워크로 사용되는 SAR ADC의 C-R DAC에는 분리형 가중치

커패시터를 이용한 2단계 (7비트-5비트) 구조를^[18] 사용하였으며, 동시에 공통 모드 전압 (common mode voltage: V_{CM}) 기반의 스위칭 기법^[8] 및 간단한 저항 열을 사용하여 최하위 2비트 결정을 위한 6개의 기준전압을 생성하는 기법^[19] 통해 C-R DAC에서 사용되는 단위 커패시터의 수를 획기적으로 줄여 면적 및 전력 소모를 최소화하였다. 한편, 상위 4비트를 결정하기 위해 사용되는 flash ADC에는 스위칭 기반의 바이어스 전력 최소화 기법을 적용하여 전력 소모를 최소화하였으며, 인터폴레이션 (interpolation) 기법을 적용하여 프리앰프의 수를 절반 수준으로 감소시켜 면적 및 전력 소모를 최소화하였다.

제안하는 ADC의 전체 구조 및 각 블록별 기능을 II 장에서 간략히 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법을 자세히 설명한다. IV 장에서는 시제품 ADC의 측정결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 Flash-SAR ADC

1. 제안하는 ADC의 전체 구조

본 논문에서 제안하는 12비트 60MS/s Flash-SAR ADC는 그림 2와 같이 단일 샘플링-네트워크로 사용되는 C-R DAC, 비교기, 상위 4비트를 결정하기 위한 flash ADC, 디지털 논리회로, 온-칩 기준 전류 및 전압 발생기, 그리고 디지털 교정회로로 구성된다.

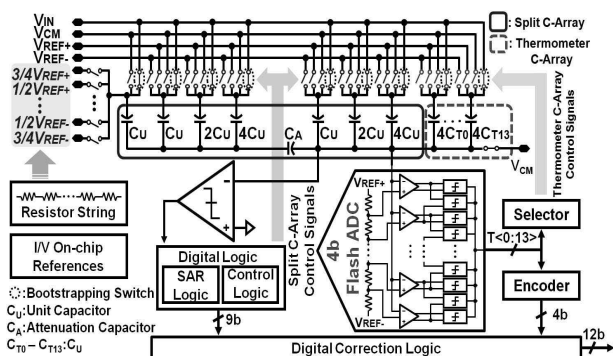


그림 2. 제안하는 12비트 60MS/s 0.18um CMOS ADC
Fig. 2. Proposed 12b 60MS/s 0.18um CMOS ADC.

제안하는 ADC는 입력신호를 샘플링 한 후, 고속으로 동작하는 flash ADC를 이용하여 상위 4비트를 우선 결정한다. 그 다음 클록에서 나머지 하위 9비트를 SAR ADC를 이용하여 결정함으로써 고속으로 동작하는 flash

ADC의 장점과 적은 전력 소모를 갖는 SAR ADC의 장점을 동시에 취하여, 전형적인 12비트 60MS/s 수준의 SAR ADC 대비 요구되는 내부 동작 속도를 15% 정도 감소시켰다. 또한, 제안하는 ADC의 입력 단에는 T/H를 제거하여 면적 및 전력 소모를 최소화하는 동시에 SAR ADC의 구성 요소인 C-R DAC를 SAR ADC와 flash ADC의 단일 샘플링-네트워크로 공유함으로써 T/H가 없는 구조에서 발생하는 입력 샘플링 부정합에 의한 신호 왜곡 현상을 제거하였다.

한편, 고속으로 동작하는 4비트 flash ADC에는 전형적인 프리앰프에서 볼 수 있는 입력 단 샘플링 스위치 및 커패시터에서 발생하는 글리치 (glitch)에 의한 성능 저하를 최소화하는 동시에 고속 동작을 위해 differential difference amplifier (DDA) 구조를 사용하였다^[16-17]. 또한, 상위 4비트를 결정한 후 SAR 동작 시 사용하지 않는 flash ADC에서 불필요하게 소모되는 전력을 최소화하기 위해 스위칭 기반의 바이어스 전력 최소화 기법을 적용하였다. 한편, SAR ADC와 flash ADC의 단일 샘플링-네트워크로 사용되는 C-R DAC는 분리형 가중치 커패시터를 이용한 2단계 (7비트-5비트) 구조를 사용하는 동시에 V_{CM} 기반의 스위칭 기법 및 6개의 기준전압을 생성해주는 간단한 저항 열을 통해 최하위 2비트를 결정함으로써 C-R DAC에서 사용되는 단위 커패시터의 수를 획기적으로 줄여 면적 및 전력 소모를 최소화하였다. 또한, flash ADC에서 출력되는 온도계 코드를 추가적인 디코더 없이 직접 사용하기 위해 상위 4비트 커패시터 열은 온도계 코드 기반의 커패시터 열로 구성하여 C-R DAC의 기준전압 정착시간을 감소시킴과 동시에 코드 변환을 위한 추가적인 타이밍을 제거하였다. 따라서 $32C_U$, $16C_U$, 그리고 $8C_U$ 등 총 56개의 단위 커패시터 C_U 를 14개의 $4C_U$ 로 구성된 온도계 커패시터 열로 대체하였으며, flash ADC를 구성하는 저항 열과 비교기의 비선형성 오차 및 오프셋 부정합에 따른 오류를 보정하기 위해 온도계 커패시터 열에 사용된 크기와 동일한 커패시터 ($4C_U$)를 추가로 SAR 동작에 사용하여 flash ADC와 SAR ADC의 출력 코드 1비트를 디지털 교정회로를 통해 보정하였다.

한편, 고속 SAR 동작을 위한 SAR 논리회로는 범용 D플립플롭을 true-single-phase-clock (TSPC) 기반의

D 플립플롭으로 대체하여 범용 D 플립플롭 대비 논리회로 게이트 지연시간을 55% 수준으로 줄이는 동시에 사용되는 트랜지스터의 수를 절반 수준으로 감소시켜 면적 및 전력 소모를 최소화하였다.

2. 제안하는 ADC의 동작 타이밍

본 논문에서 제안하는 12비트 60MS/s Flash-SAR ADC의 동작 타이밍 및 기존의 전형적인 12비트 60MS/s 수준의 SAR ADC의 동작 타이밍은 그림 3과 같다.

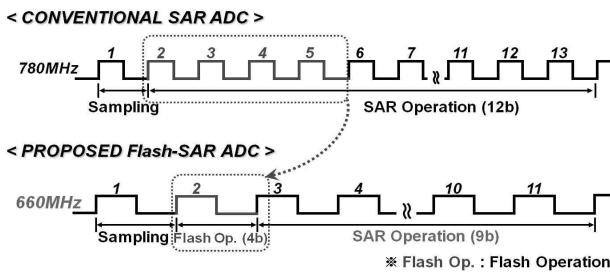


그림 3. 전형적인 SAR ADC와 제안하는 ADC의 타이밍도
Fig. 3. Timing diagrams of the conventional SAR and the proposed ADCs.

제안하는 ADC의 전체 동작은 먼저 660MHz 클럭의 한 주기 동안 SAR ADC와 flash ADC의 단일 샘플링-네트워크로 사용되는 C-R DAC를 통해 입력신호를 샘플링 한다. 그 다음 한 주기 동안, flash ADC를 사용하여 C-R DAC에 샘플링 된 입력신호를 flash ADC의 저항 열에서 생성된 기준전압과 비교하여 상위 4비트 디지털 코드를 생성한다. 그 후 아홉 주기 동안 전형적인 SAR 동작을 통해 나머지 하위 9비트를 결정한다. 그 결과, 660MHz 클럭의 열한 번 주기 동안 최종적으로 12비트의 디지털 코드를 출력한다.

한편, 전형적인 SAR ADC는 디지털 코드가 순차적으로 결정됨으로써 요구되는 해상도가 증가할수록 내부 동작 속도가 증가하는 단점을 가지며, 그로 인해 고속 동작에 제한이 될 수 있다. 제안하는 ADC는 그림 3과 같이 고속으로 동작하는 flash ADC를 이용하여, 상위 4비트 결정을 위한 네 번의 SAR 동작을 단 한번의 flash ADC의 동작으로 대체함으로써 고속 동작에 제한이 되는 전형적인 SAR ADC의 내부 동작 속도를 감소시켰다. 그 결과, 그림 3과 같이 기존의 전형적인 12비트 60MS/s 수준의 SAR ADC의 경우 12비트의 디지털 코드를 출력하기 위해 요구되는 내부 동작 속도가 780MHz인 반면, 제안하는 ADC는

한 클럭 주기 동안 고속의 flash ADC를 이용하여 상위 4비트를 결정하기 때문에 요구되는 내부 동작 속도는 660MHz로 전형적인 SAR ADC 대비 15% 정도 감소시켰으며 내부 동작 속도는 flash ADC 해상도에 따라 조정할 수 있다.

III. 제안하는 ADC의 세부 회로설계

1. 제안하는 단일 샘플링-네트워크

입력 단 T/H를 제거한 Flash-SAR ADC의 경우 SAR ADC와 flash ADC는 서로 다른 입력 샘플링 경로를 가지기 때문에 RC 시정수 차이에 의하여 입력 샘플링 부정합 문제가 발생할 수 있으며, 이는 전체 ADC 성능 저하의 주요 원인이 된다. 이를 해결하기 위해 보정기법이 필수적이거나 복잡한 회로 및 타이밍이 추가로 요구되며, 보정기법을 추가할 경우 면적 및 전력 소모가 증가하는 단점이 있다. 또한 정교한 레이아웃을 통해 문제를 완화하는 방법이 있지만 입력 샘플링 부정합 문제가 완벽히 해결되지 않는다. 본 논문에서는 추가적인 보정 회로 없이 입력 샘플링 부정합 문제를 완벽히 제거하기 위해 그림 4와 같이 SAR ADC의 구성 요소인 C-R DAC를 SAR ADC와 flash ADC의 단일 샘플링-네트워크로 공유하여 사용함으로써 샘플링 부정합 문제를 제거하였다.

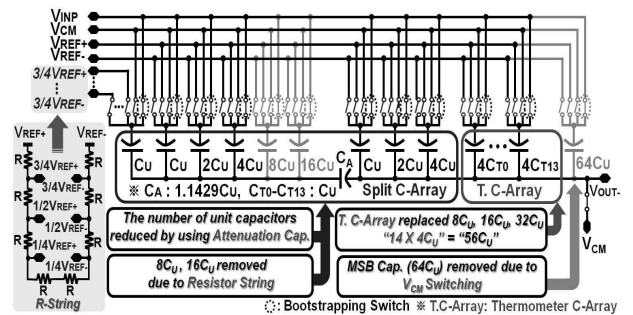


그림 4. 단일 샘플링-네트워크로 사용되는 C-R DAC
Fig. 4. C-R DAC sharing a single sampling network.

제안하는 ADC에 사용되는 C-R DAC를 구성하는 커패시터의 수를 획기적으로 줄이기 위해 분리형 가중치 커패시터를 사용한 2단계 (7비트-5비트) 구조를 사용하였으며, 추가적으로 VCM 기반의 스위칭 기법 및 6개의 기준전압을 생성하는 저항 열을 통해 최하위 2비트를 결정함으로써 면적 및 전력 소모를 최소화하였다^[10]. 또한, 32Cu, 16Cu 및 8Cu 등 총 56개의 단위 커패시터를

14개의 $4C_U$ 로 온도계 커패시터 열을 구성하여 최상위 커패시터의 크기에 의해 결정되는 C-R DAC의 기준전압 정착시간을 감소시켰다. 입력 샘플링 동작 시 SAR ADC와 flash ADC는 단일 샘플링-네트워크로 사용되는 SAR ADC의 C-R DAC를 통해 입력신호를 동시에 샘플링 하여 T/H를 제거한 Flash-SAR ADC에서 발생하는 입력 샘플링 부정합 문제를 제거하였다.

한편, 추가적인 스위칭 동작 없이 V_{CM} 과 샘플링 된 입력신호를 직접 비교하는 V_{CM} 기반의 스위칭 기법을 통해 C-R DAC에서 가장 큰 면적을 차지하며 최상위 비트를 결정하는 커패시터인 $64C_U$ 를 제거하였다. 커패시터 열은 V_{CM} 을 기준으로 스위칭 동작을 하기 때문에 비교기의 입력 단 V_{CM} 변화에 따른 성능 저하가 발생하지 않으며, 커패시터 양단의 전압 변화가 기존의 전형적인 스위칭 기법 대비 절반으로 줄어들어 C-R DAC에서 소모되는 전력은 기존 대비 약 90% 감소된다^[8, 20]. 또한, 간단한 저항 열을 통해 생성된 6개의 기준전압을 C-R DAC의 최하위 커패시터 (C_U)에 인가하여 최하위 2비트를 결정함으로써 2단계 (7비트-5비트) 구조에서 하위 5비트 커패시터 열의 가장 큰 두 개의 커패시터인 $16C_U$ 및 $8C_U$ 를 추가적으로 제거하여 면적 및 전력 소모를 감소시켰다^[21].

2. 상위 4비트 결정을 위한 flash ADC

제안하는 ADC에 사용되는 4비트 flash ADC는 단일 샘플링-네트워크로 사용되는 C-R DAC를 통해 샘플링 된 입력신호와 저항 열에서 생성된 기준전압을 비교하여 상위 4비트의 디지털 코드를 생성한다. 제안하는 ADC에 사용된 flash ADC는 그림 5와 같으며, 정제환 동작을 하는 14개의 래치 및 이를 구성하는 트랜지스터간의 부정합으로 인해 발생하는 오프셋을 보상하기 위한 8개의 프리앰프로 이루어진다. 제안하는 flash ADC에 사용된 프리앰프는 그림 5와 같이 DDA 구조를 적용하여 고속 동작에 제한이 되는 전형적인 프리앰프에서 볼 수 있는 입력 단 샘플링 스위치와 커패시터에 의해 발생하는 글리치 현상을 제거하였다.

비교기에 사용된 DDA 구조의 프리앰프는 그림 5와 같이 샘플링 스위치와 커패시터 없이 구분된 두 개의 차동입력 단 트랜지스터를 통해 샘플링 된 입력신호와 기준전압의 차이를 증폭하며, 그 값은 식 (1)과 같다^[22].

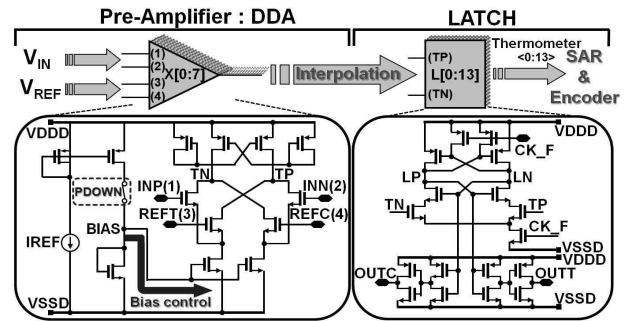


그림 5. 제안하는 4비트 flash ADC

Fig. 5. Proposed 4b flash ADC.

$$TP - TN = A_0 \times [(INP - INN) - (REFT - REFC)] \quad (1)$$

(A_0 : DC gain of DDA)

또한, flash ADC에는 인터플레이션 기법을 적용하여 사용되는 프리앰프의 수를 절반 수준으로 감소시켜 면적 및 전력 소모를 최소화하였다^[23]. 또한, flash ADC의 바이어스 회로에는 전력 소모를 최소화하기 위해 PDOWN 신호에 의해 제어되는 바이어스 제어 스위치를 추가하여, flash ADC를 통해 상위 4비트 결정 후 나머지 하위 9비트 결정을 위한 SAR 동작 시 PDOWN 신호에 의해 바이어스 제어 스위치를 꺼지게 함으로써 flash ADC에서 불필요하게 소모되는 전력을 최소화하였다^[24].

3. 고속 동작을 위해 TSPC 기반의 D 플립플롭을 적용한 SAR 논리회로

제안하는 ADC는 고속으로 동작하는 flash ADC를 이용하여 상위 4비트를 결정함으로써 SAR 동작 시 요구되는 내부 동작 속도를 15% 정도 감소시켰으며, SAR 동작에 사용되는 flash ADC의 출력 코드를 이진 코드로 변환하여 사용하지 않고 온도계 코드를 직접 사용하여 C-R DAC의 기준전압 정착시간을 최소로 감소시켰지만, 안정적인 고속 SAR 동작을 위해서는 논리회로에서의 지연시간을 추가적으로 감소시켜 충분한 C-R DAC의 기준전압 정착시간을 확보할 필요가 있다. 본 논문에서 제안하는 ADC는 고속 SAR 동작을 수행하기 위해 SAR 논리회로를 범용 D 플립플롭 대신 TSPC 기반의 D 플립플롭을 사용하였다. 고속 동작을 위해 SAR 논리회로에 적용된 TSPC 기반의 D 플립플롭 및 범용 D 플립플롭의 회로 및 지연시간에 대한 모의실험 결과는 그림 6과 같다.

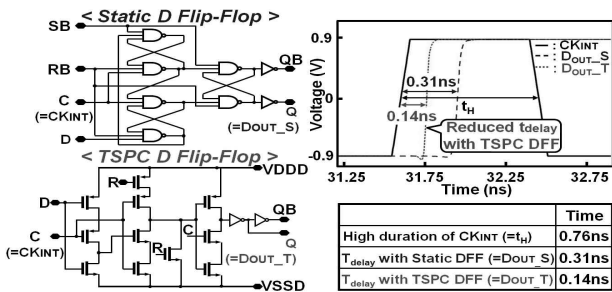


그림 6. Static 및 TSPC D 플립플롭 기반의 모의실험 결과
Fig. 6. Simulated static and TSPC-based D flip flops.

범용 D 플립플롭을 사용할 경우의 지연시간은 0.31ns로써 반주기 클럭의 약 40%를 차지한다. 그 반면, 범용 D 플립플롭을 TSPC 기반의 D 플립플롭으로 대체하여 사용할 경우의 지연시간은 0.14ns로써 범용 D 플립플롭 대비 55% 수준으로 감소하며 반주기 클럭의 18%를 차지한다. 또한, TSPC 기반의 D 플립플롭을 사용하여 SAR 논리회로를 구성 할 경우 사용되는 트랜지스터의 수 역시 절반 수준으로 감소함으로써 동작속도를 향상시킴과 동시에 면적 및 전력 소모를 감소시킬 수 있다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 12비트 60MS/s Flash-SAR 시제품 ADC는 0.18um CMOS 공정을 사용하여 제작되었다. 전체 면적은 0.54mm²이며, 레이아웃은 그림 7과 같다.

제안하는 시제품 ADC를 구성하는 각 블록들을 제외한 유휴 공간에는 온-칩 MOS 커패시터를 집적하여 각 블록 간의 간섭을 최소화하였다.

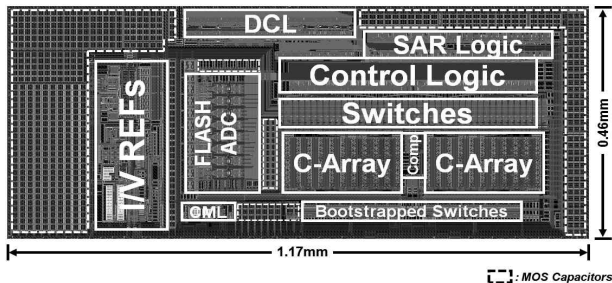


그림 7. 시제품 ADC의 레이아웃 (1.17mm×0.46mm)
Fig. 7. Layout of the prototype ADC (1.17mm×0.46mm).

시제품 ADC는 1.8V 전원전압 및 60MS/s 동작 속도에서 7.9mW의 전력을 소모하며, 사용자 편의에 의해 내부 기준전압 발생기를 사용하지 않을 시 5.4mW를 소모한다. 측정된 differential non-linearity (DNL) 및

integral non-linearity (INL)는 그림 8과 같이 각각 최대 1.33LSB 및 1.90LSB 수준이다.

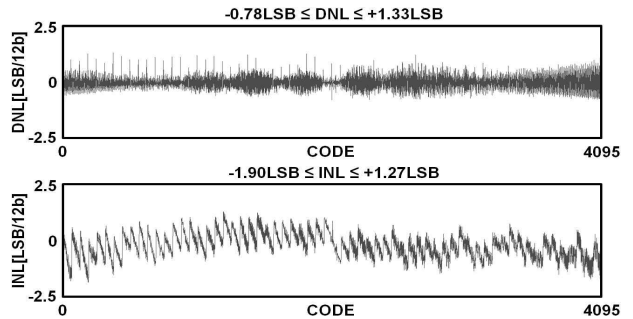


그림 8. 시제품 ADC의 측정된 DNL 및 INL
Fig. 8. Measured DNL and INL of the prototype ADC.

측정된 DNL값은 최대 1.33LSB 수준을 보이며, 오차의 큰 원인으로서는 제안하는 C-R DAC 구조에서 분리형 가중치 커패시터의 기생 성분 때문에 MSB열과 LSB열의 부정합으로 인한 이득 오차로 다음과 같이 분석되었다. 그림 9는 분리형 가중치 커패시터 기반의 DAC 구조의 기생 커패시터 성분을 나타낸 그림이다.

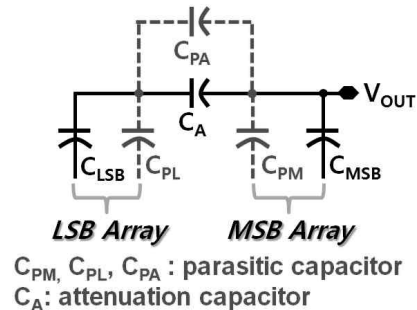


그림 9. 이단 분리형 가중치 C기반의 DAC 기생커패시터
Fig. 9. DAC parasitic capacitances based on two-step weighed capacitors.

이때, DAC의 기생 커패시터는 그림 9와 같이 MSB열의 기생 커패시터 (C_{PM}), LSB열의 기생 커패시터 (C_{PL}) 및 분리형 가중치 커패시터의 기생 커패시터 (C_{PA})로 구성된다. 분리형 가중치 커패시터 기반의 DAC 구조에서의 DAC 이득은 MSB열의 이득(G_{MSB}) 및 LSB열의 이득(G_{LSB})으로 구분되며, 이때 G_{MSB} 및 G_{LSB} 는 각각 식 (2) 및 식 (3)과 같다.

$$G_{MSB} = \frac{1}{(C_{MSB} + C_{PM}) + \frac{(C_A + C_{PA}) \times (C_{LSB} + C_{PL})}{(C_A + C_{PA}) + (C_{LSB} + C_{PL})}} \quad (2)$$

$$G_{LSB} = G_{MSB} \times \frac{(C_A + C_{PA})}{(C_A + C_{PA}) + (C_{LSB} + C_{PL})} \quad (3)$$

식 (3)과 같이 G_{LSB} 는 G_{MSB} 항의 곱으로 나타낼 수 있으며, 기생 커패시터에 의한 G_{MSB} 오차는 G_{MSB} 및 G_{LSB} 에 동일하게 적용되며, 이에 따라 전체 ADC의 선형성 저하에 영향을 주지 않는다. 그러나 G_{LSB} 수식에만 존재하는 식 (4)는 C_{PL} 및 C_{PA} 에 의해 G_{LSB} 의 이론적인 값인 식 (5)와의 오차를 발생시킨다. 이는 G_{MSB} 및 G_{LSB} 간의 이득 오차를 발생시켜 전체 ADC의 선형성을 저하시키는 원인이 된다^[18].

$$\frac{(C_A + C_{PA})}{(C_A + C_{PA}) + (C_{LSB} + C_{PL})} \quad (4)$$

$$G_{LSB,ideal} = G_{MSB} \times \frac{C_A}{C_A + C_{LSB}} \quad (5)$$

한편, 그림 10은 분리형 가중치 커패시터의 기생 커패시터 성분만을 추출하여 이를 기반으로 한 매트랩 모의실험 결과이다. 측정된 DNL 값은 그림 10의 모의실험 결과와 유사한 결과 값을 보이며, 이는 분리형 가중치 커패시터의 기생 성분이 예상보다 커짐에 따른 MSB열과 LSB열의 부정합으로 인한 이득 오차가 발생했기 때문으로 분석할 수 있다.

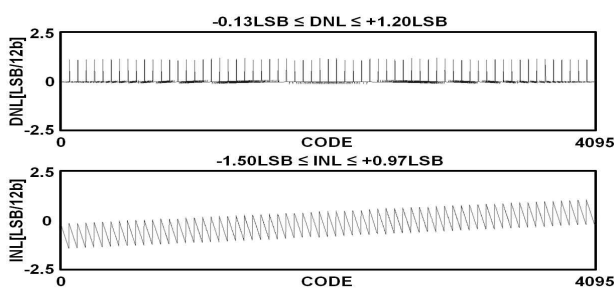


그림 10. MSB 및 LSB열의 부정합을 고려한 DNL 및 INL 모의실험

Fig. 10. Simulated DNL and INL with a mismatch in MSB and LSB arrays.

한편, 그림 11은 5MHz 입력 주파수, 10MS/s 및 60MS/s 동작 속도에서 측정한 시제품 ADC의 전형적인 신호 스펙트럼을 나타낸다.

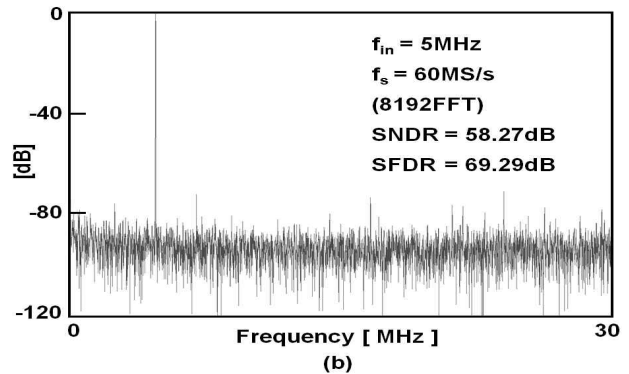
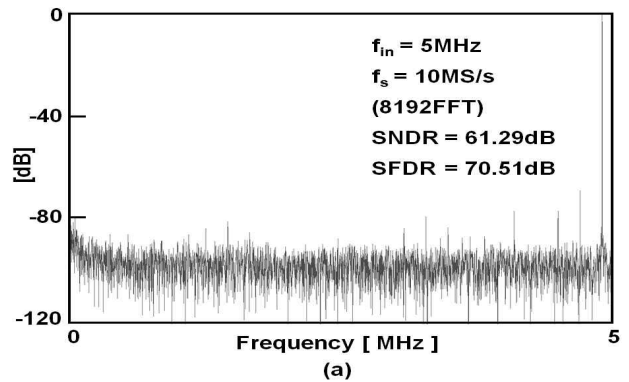


그림 11. 시제품 ADC의 측정된 FFT 스펙트럼 : (a) fs=10MS/s 및 (b) fs=60MS/s

Fig. 11. Measured FFT spectrum of the prototype ADC : (a) with fs=10MS/s and (b) with fs=60MS/s.

그림 12는 제안하는 시제품 ADC의 측정된 동적 성능을 나타낸 그래프이며, 동작 속도가 10MS/s에서 60MS/s까지 증가할 때 5MHz 차동입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)의 성능 변화를 나타낸다. 동작 속도가 60MS/s까지 증가하는 동안 측정된 시제품 ADC의 차동입력에 대한 SNDR 및 SFDR은 각각 58.27dB, 69.29dB 이상을 유지한다.

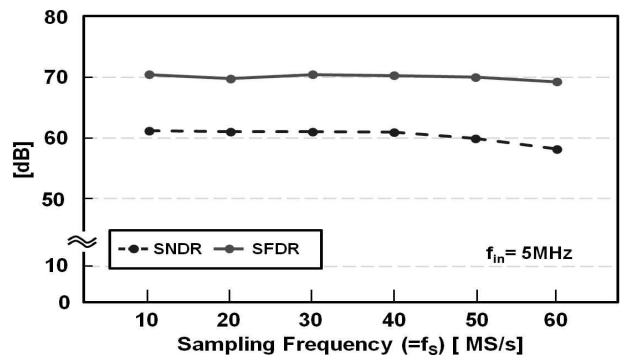


그림 12. 샘플링 주파수에 따라 측정된 시제품 ADC의 SNDR 및 SFDR

Fig. 12. Measured SNDR and SFDR of the prototype ADC corresponding to fs.

그림 13은 60MS/s의 동작 속도에서 입력 주파수가 증가함에 따른 시제품 ADC의 SNDR 및 SFDR을 나타낸다. 입력신호를 Nyquist 주파수까지 증가시킬 때, 측정된 SNDR 및 SFDR은 각각 57.33dB, 68.97dB 이상의 수준을 유지한다.

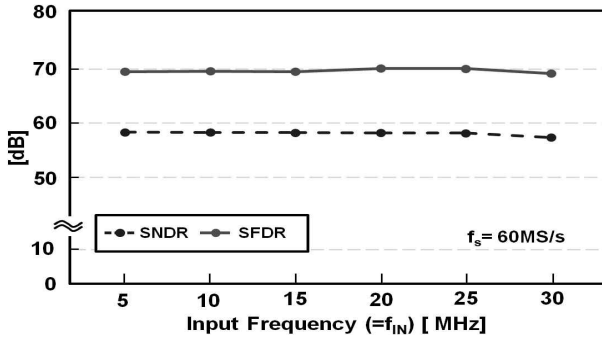


그림 13. 입력 주파수 변화에 따른 시제품 ADC의 동적 성능
Fig. 13. Measured dynamic performance of the prototype ADC corresponding to f_{in} .

제안하는 시제품 ADC의 측정된 성능 결과는 표 1과 같고, 표 2에는 기존에 발표된 12비트 수준의 ADC와 성능을 비교하였으며, 다른 ADC와 비교하였을 때 전원전압 대비 비교적 낮은 전력 소모를 보여준다.

표 1. 시제품 ADC 성능 요약

Table1. Performance summary of the prototype ADC.

Resolution	12bits	
Speed	60MS/s	
Process	MagnaChip 0.18um CMOS	
Supply	1.8V	
Input Range	1.4V _{p-p} (Differential)	
DNL	- 0.78 LSB / +1.33 LSB	
INL	- 1.90 LSB / +1.27 LSB	
SNDR	58.27 dB (@ $f_{in} = 5\text{MHz}$) / 57.33 dB (@ $f_{in} = 30\text{MHz}$)	
SFDR	69.29 dB (@ $f_{in} = 5\text{MHz}$) / 68.97 dB (@ $f_{in} = 30\text{MHz}$)	
	w I/V REFs	w/o I/V REFs
ADC Power	7.9 mW (4.3mA @1.8V)	5.4 mW (3.0mA @1.8V)
FoM	197 fJ/Conv.	134 fJ/Conv.
Die Area	0.54mm ² (= 1.17mm × 0.46mm)	

표 2. 기존에 발표된 12비트 ADC와의 성능 비교

Table2. Comparison of the previously reported 12b ADCs.

	Resol. (bits)	Speed (MS/s)	Supply (V)	Power (mW) (@ Current)	Area (mm ²)	SNDR (dB)	Structure	Process (CMOS)
<i>THIS WORK*</i>	12	60	1.8	5.4 (3.0mA)	0.54	58.3	Flash-SAR	0.18um
[1]	12	60	1.2	36.0 (30.0mA)	2.30	63.5	SHA-free Pipeline	0.13um
[2]	12	50	1.3	3.6 (2.8mA)	0.16	65.6	Pipeline SAR	90nm
[25]	12	70	1.0	4.3 (4.3mA)	0.02	68.1	SAR	14nm
[26]	12	50	1.2	4.7 (3.9mA)	0.12	65.1	SAR	90nm

V. 결론

본 논문에서는 무선 통신 시스템 및 휴대용 비디오 처리 시스템 등과 같은 다양한 시스템 반도체 응용을 위한 12비트 60MS/s 0.18um CMOS Flash-SAR ADC를 제안한다. 제안하는 Flash-SAR ADC는 고속으로 동작하는 flash ADC를 이용하여 빠른 속도로 상위 4비트를 먼저 결정하고 나머지 하위 9비트를 SAR ADC를 이용하여 결정함으로써 해상도가 증가함에 따라 동작 속도가 제한이 되는 전형적인 SAR ADC의 문제를 줄였다. 제안하는 ADC는 전형적인 Flash-SAR ADC에서 고속 동작 시 입력신호의 왜곡이 발생하는 입력 단 T/H를 사용하지 않는 대신 SAR ADC의 구성 요소인 C-R DAC를 flash ADC와 SAR ADC의 단일 샘플링-네트워크로 공유하여 사용함으로써 입력 샘플링 부정합 문제를 최소화하였다. 단일 샘플링-네트워크로 사용되는 C-R DAC에는 분리형 가중치 커패시터를 이용한 2단계 (7비트-5비트) 구조를 사용하였으며, 동시에 V_{CM} 기반의 스위칭 기법 및 간단한 저항 열을 사용하여 최하위 2비트 결정을 위한 6개의 기준전압을 생성하는 기법을 통해 C-R DAC에서 사용되는 단위 커패시터의 수를 줄여 면적 및 전력 소모를 동시에 줄였다.

고속으로 동작하는 SAR ADC를 구현하기 위해 SAR 논리회로는 TSPC 기반의 D 플립플롭으로 구현하여 범용 D 플립플롭 대비 논리회로에서의 지연시간을 55% 감소시킴과 동시에 사용되는 트랜지스터의 수를 절반 수준으로 줄임으로써 면적 및 전력 소모를 최소화하였다. 한편, 고속으로 동작하는 flash ADC의 프리앰프는 전형적인 프리앰프에서 볼 수 있는 입력 단 샘플링 스위치와 커패시터에 의해 발생하는 글리치 현상을 해결하기 위해 DDA 구조의 프리앰프를 사용하였으며, 인터플레이션 기법 및 스위치 기반의 전력 최소화 기법을 적용하여 전력 소모를 최소화하였다.

제안하는 시제품 ADC는 0.18um CMOS 공정을 기반으로 제작되었으며, 칩 면적은 0.54mm²이다. 측정된 DNL 및 INL은 각각 최대 1.33LSB, 1.90LSB 수준을 나타내며, 60MS/s의 동작 속도에서 5MHz 입력신호를 인가하여 측정된 SNDR 및 SFDR은 각각 최대 58.27dB 및 69.29dB이다. 전력 소모는 1.8V 전원전압 및 최대 동작 속도인 60MS/s에서 온-칩 기준 전류 및 전압 발생기를 포함하였을 때 7.9mW이며, 포함하지 않았을 때 5.4mW이다.

REFERENCES

- [1] Xiaoke Wen, *et al.*, "A 12b 60MS/s SHA-Less Opamp-Sharing Pipeline A/D with Switch-Embedded Dual Input OTAs", in *Proc. IEEE ISCAS*, May 2012, pp. 802-805.
- [2] Chun C. Lee, Michael P. Flynn, "A SAR-Assisted Two-Stage Pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 46, no. 4, pp. 859-869, April 2011.
- [3] K. H. Lee, *et al.*, "A 12b 50 MS/s 21.6 mW 0.18 μ m CMOS ADC maximally sharing capacitors and op-amps," *IEEE Trans. Circuits Syst. I*, vol. 58, no. 9, pp. 2127-2136, Sept. 2011.
- [4] C. C. Lee and M. P. Flynn, "A 12b 50MS/s 3.5mW SAR Assisted 2-stage Pipeline ADC," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2010, pp. 239-240.
- [5] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, "A 10b 50MS/s 820uW SAR ADC with on-chip digital calibration," in *ISSCC Dig. Tech. Papers*, Feb. 2010, pp. 384-385.
- [6] Y. Chen, S. Tsukamoto, and T. Kuroda, "A 9b 100MS/s 1.46mW SAR ADC in 65nm CMOS," in *Proc. ASSCC*, Nov. 2009, pp. 145-148.
- [7] C. C. Liu, *et al.*, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 731-740, Apr. 2010.
- [8] Y. Zhu, *et al.*, "A 10-bit 100-MS/s Reference-Free SAR ADC in 90nm CMOS," *IEEE J. Solid-State Circuits*, vol. 45, no. 6, pp. 1111-1121, Jun. 2010.
- [9] M. Furuta, M. Nozawa, and T. Itakura, "A 0.06mm² 8.9b ENOB 40MS/s Pipelined SAR ADC in 65nm CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2010, pp. 382-383.
- [10] U. F. Chio, *et al.*, "Design and Experimental Verification of a Power Effective Flash-SAR Subranging ADC," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 8, pp. 607-611, Aug. 2010.
- [11] Y. Z. Lin, *et al.*, "A 9-Bit 150-MS/s Subrange ADC Based on SAR Architecture in 90-nm CMOS," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 60, no. 3, pp. 570-581, Mar. 2013.
- [12] H. L. Park, *et al.*, "A 6b 1.2 GS/s 47.8 mW 0.17 mm² 65 nm CMOS ADC for High-Rate WPAN Systems," *Journal of Semiconductor Technology and Science*, vol. 11, no. 2, pp. 95-103, June 2011.
- [13] Y. K. Cho, J. H. Jung, and K. C. Lee, *et al.*, "A 9-bit 100-MS/s Flash-SAR ADC without Track-and-Hold Circuits," in *Symp. ISWCS*, Aug. 2012, pp. 880-884.
- [14] B. G. Lee and R. Tsang, "A 10-bit 50 MS/s pipeline ADC with capacitor-sharing and variable-gm opamp," *IEEE J. Solid-State Circuits*, vol. 44, no. 3, pp. 883-890, Mar. 2009.
- [15] K. J. Lee, K. J. Moon, K. S. Ma, K. H. Moon, and J. W. Kim, "A 65nm CMOS 1.2V 12b 30MS/s ADC with capacitive reference scaling," in *Proc. IEEE CICC*, Sept. 2008, pp. 165-168.
- [16] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D Converter in 0.35- μ m CMOS," *J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847-1858, Dec. 2001.
- [17] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25- μ m CMOS," *J. Solid-State Circuits*, vol. 38, no. 7, pp. 1115-1122, July. 2003.
- [18] J. Y. Um, *et al.*, "A Digital-Domain Calibration of Split-Capacitor DAC for a Differential SAR ADC Without Additional Analog Circuits," *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, vol. 60, no. 11, pp. 2845-2856, Nov. 2013.
- [19] Y. M. Kim, J. S. Park, Y. J. Shin, and S. H. Lee, "An 87 fJ/conversion-step 12 b 10 MS/s SAR ADC using a minimum number of unit capacitors," *Analog Integrated Circuits and Signal Processing*, vol. 80, no. 1, pp. 49-57, July 2014.
- [20] Y. S. Cho, *et al.*, "A Non-Calibrated 2x Interleaved 10b 120MS/s Pipeline SAR ADC with Minimized Channel Offset Mismatch," *Journal of The Institute of Electronics and Information Engineer*, Vol.52, SD, NO.9, pp. 63-73, Sept. 2015.
- [21] J. H. Byun, *et al.*, "A 12b 60MS/s 0.11um Flash-SAR ADC Using a Mismatch-Free Shared Sampling Network," in *Proc. IEEE Int. SoC Design Conf*, Nov. 2015, pp. 79-80.
- [22] H. Alzaher and M. Ismail, "A CMOS fully balanced differential difference amplifier and its application," *IEEE Transactions on Circuit and Systems II*, vol. 48, no. 6, pp. 614-620, June 2001.
- [23] C. Lane, "A 10-bit 60MSPS Flash ADC," *Proc. BCTM*, pp. 44-47, Sept. 1989.
- [24] Y. J. Kim, H. C. Choi, S. W. Yoo, S. H. Lee, "A Re-configurable 0.5V to 1.2V, 10MS/s to 100MS/s, Low-Power 10b 0.13um CMOS Pipeline ADC," in *Proc. IEEE CICC*, Sept. 2007, pp. 185-188.

- [25] C. C. Lee, *et al.*, "A 12b 70MS/s SAR ADC with digital startup calibration in 14nm CMOS," *in Symp. VLSI Circuits Dig. Tech. Papers*, June 2015, pp. C62-C63.
- [26] W. Liu, *et al.*, "A 12-bit 50-MS/s 3.3-mW SAR ADC with background digital calibration," *in Proc. IEEE CICC*, Sept, 2012, pp. 1-4.

 저 자 소 개



변 재 혁(정회원)
 2014년 청주대학교 반도체공학과 학사.
 2014년~현재 서강대학교 전자공학과 석사과정.
 <주관심분야: 고속 고해상도 데이터 변환기(A/D, D/A) 설계 등>



김 원 강(정회원)
 2015년 광운대학교 전자공학과 학사.
 2015년~현재 서강대학교 전자공학과 석사과정.
 <주관심분야: 고속 고해상도 데이터 변환기(A/D, D/A) 설계 등>



박 준 상(정회원)
 2012년 서강대학교 전자공학과 학사.
 2014년 서강대학교 전자공학과 석사.
 2014년~현재 서강대학교 전자공학과 박사과정.
 <주관심분야: 고속 고해상도 데이터 변환기(A/D, D/A) 설계, 파워 IC 설계, 혼성모드 집적회로 설계 등>



이 승 훈(평생회원)
 1984년 서울대학교 전자공학과 학사.
 1986년 서울대학교 전자공학과 석사.
 1991년 미 Illinois대(Urbana-Champaign) 공학박사.
 1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
 1987년~1993년 미 Analog Devices 책임연구원.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야: 집적회로 설계, 데이터 변환기 (A/D, D/A) 설계 등>