

Current-mode FIR Filter 동작을 위한 OTA 회로 설계

여성대* · 조태일* · 신영철* · 김성권**

Design of OTA Circuit for Current-mode FIR Filter

Sung-Dae Yeo* · Tae-Il Cho* · Young-Chul Shin* · Seong-Kweon Kim**

요 약

본 논문에서는 고속 동작과 저전력 동작을 요구하는 디지털 회로 시스템에 사용될 수 있는 Current-mode FIR Filter를 위한 OTA(Operational Trans-conductance Amplifier) 회로를 제안한다. Current-mode 신호처리는 동작 주파수와 상관없이 일정한 전력을 유지하는 특징이 있기 때문에 고속 동작을 요구하는 디지털 회로 시스템의 저전력 동작에 매우 유용한 회로설계 기술이라고 할 수 있다. 0.35um CMOS 공정을 이용한 시뮬레이션 결과, Vdd=2V에서 전원 전압의 50%에 해당하는 약 1V의 Dynamic Range를 확보하였으며, 약 0~200uA의 출력전류를 확인하였다. 설계한 OTA 회로의 전력은 약 21uW가 계산되었으며, Active Layout 면적은 71um×166um 사이즈로 집적화에 유리할 것으로 기대된다.

ABSTRACT

In this paper, we suggest operational trans-conductance amplifier(OTA) for current-mode FIR filter that can be used in a digital circuit system requiring high operating frequency and low power consumption. The current-mode signal processing is one of the very innovative design method for a low power consumption system with high operating frequency because it shows a constant power regardless of frequency. From the simulation result using 0.35um CMOS process, when Vdd is 2V, it is confirmed that the proposed circuit showed the dynamic range of the about 1V, about 50% of supply voltage and output current swing of about 0-200uA. Also, the power consumption was evaluated with about 21uW and the active size for an integration was measured with 71um×166um.

키워드

OTA, Current-mode, Signal Processing, FIR Filter, IoT
전달 컨덕턴스 증폭기, 전류 모드, 신호 처리, FIR 필터, 사물 인터넷

1. 서 론

센서, 프로세서, 통신 모듈 등 전자 부품이 초소형화 되고 Big Data, Cloud 등의 플랫폼 기술과 네트워크

크 기술이 발전하면서 모든 사물이 지능화되고 인터넷과 연결되는 IoT 시대가 열리고 있다[1].

IoT 기술은 응용분야에 따라 다양한 정보를 주고 받고, 처리해야하기 때문에 고속 신호처리가 요구된다

* 서울과학기술대학교 NID융합기술대학원
(ysd1009@seoultech.ac.kr,
jotaeil@seoultech.ac.kr,
killimem@hanmail.net)

** 교신저자 : 서울과학기술대학교 NID융합기술대학원
• 접수일 : 2016. 07. 07
• 수정완료일 : 2016. 07. 13
• 게재확정일 : 2016. 07. 24

• Received : Jul. 07, 2016, Revised : Jul. 13, 2016, Accepted : Jul. 24, 2016

• Corresponding Author : Seong-Kweon Kim

• Dept. of Broadcasting Communication Fusion Program, Graduate School of NID Fusion, Seoul National University of Science & Technology

• Email : kim12632@seoultech.ac.kr

다. 특히, 배터리를 활용하여 전력을 공급하는 IoT 기술에서는 저전력 회로 기술의 적용이 필수불가결하다. 하지만, 일반 디지털 회로 시스템은 동작 주파수에 비례하여 소비전력이 증가하는 문제가 발생한다[2].

따라서, 본 연구에서는 동작주파수에 관계없이 일정한 소비전력을 나타내는 Current-mode 신호처리 기술에 주목하였다.

Current-mode 신호처리를 위한 주된 회로는 CMOS(Complementary Metal Oxide Semiconductor)로 구현되고 Current Mirror 회로를 기반으로 SI(Switched Current) 타입으로 설계된다. 그리고, 일반적인 디지털 회로와 병행하여 설계가 가능한 특징이 있다[3-4]. 또한, 고속 신호처리 동작과 저전력 동작의 조건을 모두 구현할 수 있다. 예를 들어, Current-mode 신호처리의 기본 동작 중 하나인 Summation 연산 동작은 Current Mirror 회로의 입력이 Wired-or 구조로 설계되기 때문에 매우 낮은 임피던스를 가지므로, 매우 짧은 계산 시간동안 전류가 더해짐으로써 고속 동작이 가능하다. 게다가, Current Source를 기본적으로 회로에 사용하기 때문에 회로 시스템의 동작주파수에 상관없이 거의 일정한 전력을 소비하는 특징이 있다[5]. Current-mode 회로는 FIR(Finite Impulse Response) Filter 형태로 설계되어 디지털 시스템에 광범위하게 적용가능하며, 간단한 회로 구조와 고속 연산 동작에 의해서 고속 신호처리 및 저전력 회로의 구현이 가능하다.

그림 1은 가변 Tap 회로를 갖는 Current-mode FIR Filter의 블록다이어그램을 나타낸다. OTA(Operational Trans-conductance Amplifier)에 의해서 Input Voltage 신호는 Current 신호로 변환되어 C-DFF(Current-Delay Flip Flop)에 입력된다.

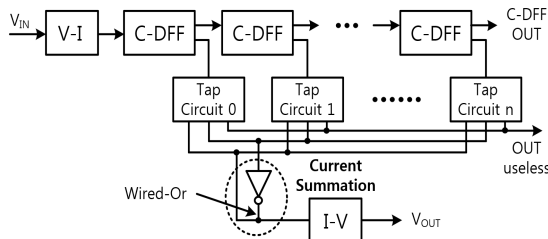


그림 1. Current-mode FIR Filter 블록도[6]

Fig. 1 Current-mode FIR Filter[6]

C-DFF 회로는 Current Memory 회로와 Current Copier 회로로 구성되며, Memory Time을 갖고 다음 C-DFF로 전류 신호가 전달된다. Current Copier의 동작과 함께 메모리된 전류신호는 Tap 회로로 전달되고 가변 Tap 구조에 의해 전류 신호는 가중된다. 또한, 가변 Tap 회로로부터의 Output Current는 Wired-or 구조의 Summation 회로에 의해 연산이 이루어지며, 출력된 Current는 I-V 컨버터에 의해 Voltage-mode 신호로 변환된다.

Current-mode 회로를 이용하는 디지털 시스템에서 일반적으로 사용되는 OTA는 OP-AMP로 구성하여 Single Chip 구성에 어렵고, DC-offset 전류가 발생, 그리고, 소비전력이 크고 주파수 대역폭이 작은 문제점이 있다.

따라서, 본 연구에서는 Current-mode 신호처리에 적합한 작은 Chip 면적, 저소비전력, 넓은 범위의 Input Dynamic Range, 넓은 주파수 대역폭을 갖으면서 저전력화에 유리하도록 단방향 전류로 동작하도록 설계하고, DC-offset 전류를 억제하는 Current mirror 회로를 이용한 OTA를 제안한다.

II. Current-mode 신호처리

그림 2는 C-DFF에 사용되는 Current Memory 회로를 보여준다. Current Memory 회로는 Switched Current 회로의 기본이 되는 회로이다. Current Memory 회로는 기본적으로 Current Source, Memory MOSFET(Metal Oxide Semiconductor Field Effect Transistor), Input Switch MOSFET, Control Switch MOSFET, 그리고 Output switch MOSFET로 구성된다.

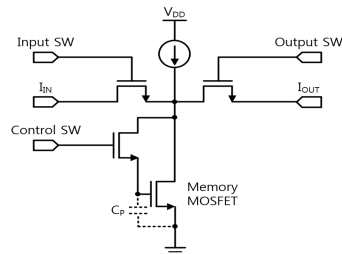


그림 2. Current Memory의 구조[7]

Fig. 2 Structure of Current Memory[7]

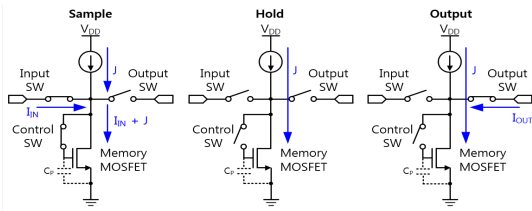


그림 3. Current Memory의 동작원리[8]
Fig. 3 Operation of Current Memory[8]

Current Memory 회로의 Memory 동작은 Switch 동작과 함께 Memory MOSFET의 Gate와 Source 사이의 기생 커패시터에 의해 수행된다[7-8].

그림 3은 Current Memory 회로의 동작을 나타내며 Switch 동작에 의해 Sample, Hold, Output-mode로 구분된다. Sample-mode에서는 Input Switch MOSFET과 Control Switch MOSFET이 Turn-on 되고 Output Switch MOSFET은 Turn-off 되는 동작이 수행된다. 이 때, Input Current를 Sampling 하여 Memory MOS의 Drain-Source 사이 전류가 흐르게 되어, Gate 전압이 발생하게 된다. 즉, Control Switch MOSFET를 통하여 Memory MOS의 Gate-Source간 발생하는 기생 커패시터에 전하가 충전되며, 전압이 기억되게 된다[9-10].

Hold-mode에서는 모든 Switch MOSFET가 Turn-off 동작이 수행되기 때문에, Sample-mode에서 Memory MOSFET의 Gate-Source간 기생 커패시터에 저장하였던 전하가 유지되며, 전압이 유지된다.

마지막으로 Output-mode에서는 Input Switch MOSFET과 Control Switch MOSFET이 Turn-off 되고, Output Switch MOSFET은 Turn-on 되는 동작이 수행된다.

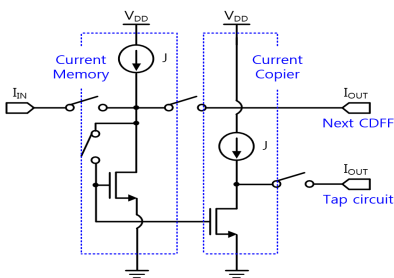


그림 4. C-DFF의 구조[11]
Fig. 4 Structure of C-DFF[11]

이 때, Memory MOS의 Gate-Source간 유지되었던 전압에 의해 Input Current와 같은 양의 Drain Current가 흐르게 된다[11-12].

결국, Memory Time(Hold-mode)동안 Input Current가 Memory 되는 동작이 수행되는 것이다.

그림 4는 C-DFF 회로를 나타낸다. C-DFF는 Current Memory 회로와 Current Copier 회로로 구성되며, Current Memory 회로는 다음 단으로 전류를 전달하는 동작을 수행하고, Current Copier 회로는 Tap 회로로 Current Memory에 저장된 전류를 보내주는 역할을 수행한다. FIR Filter 동작을 위해서, Tap 회로는 Programmable 동작이 가능하도록 설계되며, 다양한 Current-mode 회로 기술이 적용된다.

III. OTA 회로 설계

그림 5는 제안하는 OTA의 회로도도를 보여준다. DC-offset Current를 억제해야하기 때문에, Current-mode FIR Filter에서 OTA 회로는 Current Mirror 회로 구조를 적용하여 설계하였다. 낮은 DC-offset Current의 구현을 위해서 M_5 와 M_7 , M_6 과 M_8 의 Output Stage는 Current-mode에서 기본적으로 사용되는 Current Mirror 회로의 MOSFET과 같은 Size로 설계하였다. Input Voltage 신호인 $V_{IN,P}$ 와 $V_{IN,N}$ 은 M_1 과 M_2 에 의해서 Current로 변환된다.

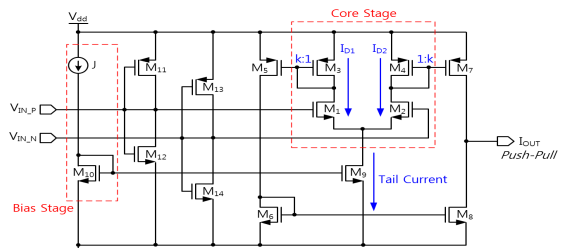


그림 5. 제안하는 OTA 회로
Fig. 5 Proposed OTA schematic

변환된 전류 I_{D1} 과 I_{D2} 는 M_3 과 M_5 , M_4 와 M_7 의 MOSFET Size 비율[k]과 함께 곱해진다. 즉 Output Current는 k의 비율과 함께 I_{D1} 과 I_{D2} 차이의 곱으로 계산된다.

Output Current인 I_{OUT} 은 아래 식과 같이 표현된다. ($gm7=gm8=gm$)

$$I_{out} = k \times g_m \times (V_{IN_P} - V_{IN_N}) \quad (1)$$

설계한 OTA 회로의 동작은 크게 I_{D1} 이 클 경우와 I_{D2} 가 클 경우로 구분될 수 있다.

그림 6은 I_{D1} 이 I_{D2} 보다 클 경우의 OTA 회로 동작을 나타낸다. M_1, M_3, M_9 에 흐르는 I_{D1} 이 클 경우, M_3 와 M_5 는 Current Mirror의 구조로 설계되어있기 때문에, Size 비율[k]만큼 I_{D1} 이 곱해져서 kI_{D1} 의 전류가 M_5 와 M_6 에 흐르게 된다. M_6 와 M_8 또한 Current Mirror 구조로 설계되어 있기 때문에 같은 양의 Current인 kI_{D1} 의 전류가 M_8 에 흐르게 된다. 이때, M_8 에서 kI_{D1} 만큼의 Current를 흐르게 하기 위해서 다음 Stage에서 전류를 당겨오는 Pull 동작을 수행하게 된다.

그림 7은 I_{D2} 가 I_{D1} 보다 클 경우의 OTA 회로 동작을 나타낸다. M_2, M_4, M_9 에 흐르는 I_{D2} 가 클 경우, M_4 와 M_7 는 Current Mirror의 구조로 설계되어있기 때문에, Size 비율[k]만큼 I_{D2} 가 곱해져서 kI_{D2} 의 전류가 M_7 에 흐르게 된다. 이 때, M_7 에서 kI_{D2} 만큼의 전류가 흐르게 하기 위해서 다음 Stage로 전류를 밀어내는 Push 동작을 수행하게 된다.

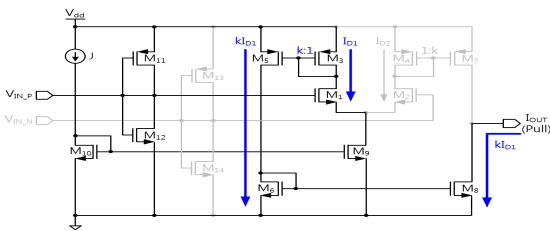


그림 6. I_{D1} 이 클 경우의 OTA 회로 동작
Fig. 6 Operation of OTA Circuit ($I_{D1} > I_{D2}$)

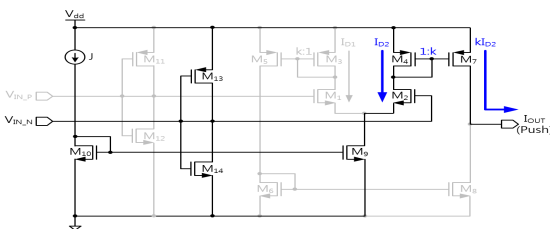


그림 7. I_{D2} 가 클 경우의 OTA 회로 동작
Fig. 7 Operation of OTA Circuit ($I_{D2} > I_{D1}$)

IV. OTA 회로의 시뮬레이션

설계한 OTA 회로의 검증을 위해서, 0.35um CMOS 공정으로 Cadence icfb tool을 이용하여 Simulation을 진행하였다. 이 때, Current-mode FIR Filter에서 Current Memory로 구성된 C-DFF 회로에서 초저전력 동작을 위해 Bias Current Source를 제거한 회로를 Target으로 하여, OTA 회로에서 Push 동작만 수행하도록 동작점을 설계하였다.

V_{DD} 를 2V로 인가하고 V_{IN_P} 는 고정된 상태에서, V_{IN_N} 은 0~2V까지 Swing 동작을 수행하여 Simulation을 진행하였다.

그림 8은 V_{IN_N} 의 Swing에 따른 Output Current의 시뮬레이션 결과를 보여준다. 시뮬레이션 결과로부터, Output Current는 V_{IN_N} 의 입력범위 따라 변화되었으며, V_{IN_N} 이 1V~2V의 구간에서 약 0~200uA의 선형 구간, 즉 Dynamic Range 를 확인하였다.

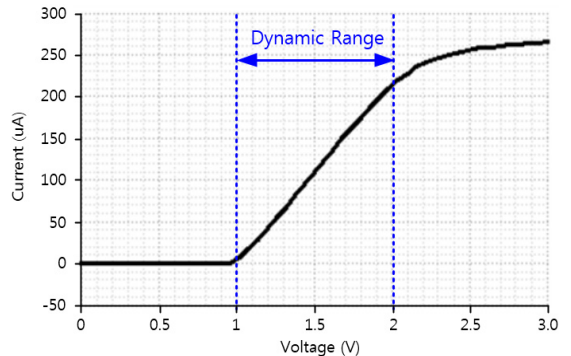


그림 8. 입력전압 V_{IN_N} 에 따른 전류 I_{out}
Fig. 8 I_{out} as a function of input voltage V_{IN_N}

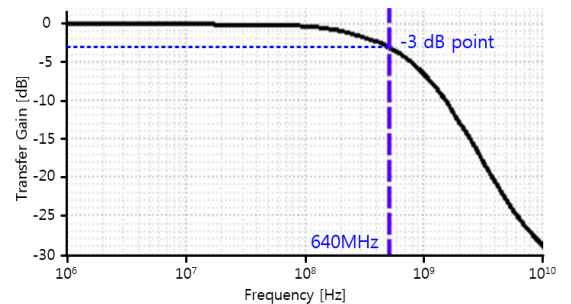


그림 9. 제안한 OTA 의 주파수 특성
Fig. 9 Frequency characteristic of proposed OTA

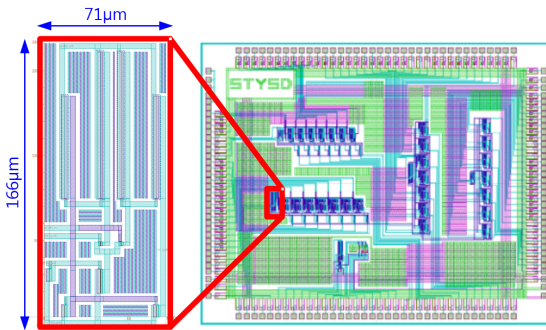


그림 10. OTA 회로의 칩 레이아웃

Fig. 10 Chip Layout of OTA

그림 9는 제안한 OTA의 주파수 특성을 나타내는 시뮬레이션 결과이다. 제안한 OTA는 Current-mode 신호처리에서 기본적으로 사용하는 Current Mirror 회로의 구조를 이용하기 때문에, Current Mirror와 유사한 주파수 특성으로 640MHz의 대역폭을 갖는 것으로 측정되었다. 이는 미세공정으로 사용할수록, 기생 커패시터가 작게 보이기 때문에 좀 더 넓은 주파수 대역의 확보도 가능할 것으로 기대된다.

그림 10은 설계한 OTA 회로의 Chip Layout을 보여준다. 측정결과, 유효 사이즈는 71µm x 166µm으로 Single chip 제작에 유리할 것으로 판단된다.

V. 결론

본 논문에서는 Current-mode FIR Filter를 위한 OTA 회로 설계에 관해 소개하였다. 설계한 회로는 0.35µm CMOS 공정을 이용하였으며, Cadence icfb tool을 이용하여 설계 및 검증을 진행하였다.

시뮬레이션 결과, Vdd=2V에서 전원 전압의 50%에 해당하는 약 1V의 Dynamic Range를 확보하였으며, 약 0~200µA의 출력전류를 확인하였다. 설계한 OTA 회로의 전력은 약 21µW가 계산되었으며, Active Layout 면적은 71µm×166µm 사이즈로 집적화에 유리할 것으로 기대된다. 제안한 OTA 회로는 Current-mode FIR Filter를 이용하는 IoT용 디지털 회로 시스템의 고속 신호처리 및 저전력 동작에 매우 유용한 지침이 될 것으로 기대된다.

감사의 글

이 연구는 서울과학기술대학교 교내연구비의 지원으로 수행되었습니다.

References

- [1] D. Ryu, "Development of BLE Sensor Module based on Open Source for IoT Applications," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 10, no. 3, Mar. 2015, pp. 419 - 424.
- [2] H. Ju and Y. Yoo, "Efficient Packet Transmission Utilizing Vertical Handover in IoT Environment," *J. of the Korea Institute of Information Scientist and Engineers*, vol. 42, no. 6, June 2015, pp. 807-816.
- [3] G. Balachandran and P. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors," *IEEE J. of Solid-State Circuits*, vol. 37, no. 10, 2002, pp. 1271 - 1281.
- [4] K. Togura, H. Nakase, K. Kubota, K. Masu, and K. Tsubouchi, "Low Power Current-Cut Switched-Current Matched Filter for CDMA," *The Institute of Electronics, Information and Communication Engineers*, vol. E84-C, no. 2, 2001, pp. 212 - 219.
- [5] S. Yeo, J. Kim, T. Cho, S. Cho, and S. Kim, "Design of Low Power Current Memory Circuit based on Voltage Scaling," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 11, no. 2, Feb. 2016, pp. 159 - 164.
- [6] J. Kim, S. Yeo, D. Kim, G. Lee, and S. Kim, "Current-mode signal processing based OTA design for multimedia data transmission," *2014 Int. Conf. on Network Security and Communication Engineering*, Hong Kong, Dec. 2014.
- [7] T. Fiez, G. Liang, and D. Allstot,

“Switched-Current Circuit Design Issues,” *IEEE J. of Solid-State Circuits*, vol. 26, no. 3, 1991, pp. 192 - 202

- [8] S. Kim, “Current to Voltage Converter for Low Power OFDM modem,” *J. of the Korea Institute of Electronic Communication Sciences*, vol. 3, no. 2, June 2008, pp. 90 - 96.
- [9] S. Kim, K. Kim, J. Cho, and J. Cha, “A Design of Current-Mode Analog FIR Filter for Wireless Home Network,” *J. of the Korean Institute of Illuminating and Electrical Installation Engineers*, vol. 20, no. 10, Dec. 2006, pp. 35-40.
- [10] G. Walter, “Switched-Current Memory Circuits for High-Precision Applications,” *IEEE J. of Solid-State Circuits*, vol. 29, no. 9, Sept, 1994, pp. 1108-1116.
- [11] S. Kim, J. Cha, H. Nakase, and Tsubouchi, K, “Novel FFT LSI for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit,” *Japanese J. of Applied Physics*, vol. 40, no. 4, 2001, pp. 2859 - 2865.
- [12] S. Saigusa, S. Kim, H. Nakase, S. Kameda, and K. Tsubouchi, “Switched-Current Analog Programmable Filter for Software-Defined Radio,” *Japanese J. of Applied Physics*, vol. 42, no. 4, 2003, pp. 2185 - 2189

저자 소개

여성대(Sung-Dae Yeo)



2011년 목포해양대학교
전자통신공학부 졸업(공학사)
2013년 서울과학기술대학교
NID융합기술대학원 졸업(공학석사)
2013년~현재 서울과학기술대학교
NID융합기술대학원 박사과정

※ 관심분야 : Current-mode 설계, Sub-threshold 설계, ADCL 설계, 신호처리, LSI 설계



조태일(Tae-II Cho)

2015년 서울과학기술대학교
전자IT미디어공학과 졸업(공학사)
2015년~현재 서울과학기술대학교
NID융합기술대학원 석사과정

※ 관심분야 : Current-mode 회로 설계, 저전력 회로 설계, 디지털 회로 설계, FPGA 프로그래밍



신영철(Young-Chul Shin)

2002 한국통신기산업(주)
화생방탐지장비 선임연구원
2015년~현재 서울과학기술대학교
NID융합기술대학원 석사과정

※ 관심분야 : AD 회로, 전력과위설계, 방사능 탐지 하드웨어 설계, 빅데이터 처리기술



김성권(Seong-Kweon Kim)

2002년 일본TOHOKU대학 대학원
전자공학과(공학박사)

2002~2004년 일본TOHOKU대학
전기통신연구소 Assistant Professor
& Research Fellow

2009~현재 서울과학기술대학교 전자IT미디어공학과 교수

※ 관심분야 : 무선통신용 아날로그 LSI 설계, 멀티미디어통신