

슈퍼컴퓨터에 사용되는 저전력 프로세서 패키지의 신뢰성 평가

박주영¹ · 권대일^{1,†} · 남덕윤²

¹울산과학기술원 제어설계공학과

²한국과학기술정보연구원 슈퍼컴퓨터개발센터 슈퍼컴퓨터SW연구실

Reliability Assessment of Low-Power Processor Packages for Supercomputers

Ju-Young Park¹, Daeil Kwon^{1,†} and Dukyun Nam²

¹Dept. of System Design and Control Engineering, Ulsan National Institute of Science and Technology, UNIST-gil 50, Eonyang-eup, Ulsan 44919, Korea

²Korea Institute of Science and Technology Information, 245, Daehak-ro, Yuseong-gu, Daejeon 34141, Korea.

(Received March 31, 2016; Corrected April 5, 2016; Accepted April 26, 2016)

초 록: 전력가격의 상승으로 데이터센터의 운영비 부담이 늘어나는 가운데, 슈퍼컴퓨터에 저전력 프로세서를 사용하여 데이터센터의 전력소모를 감소시키는 연구가 활발하다. 일반적으로 모바일 기기 등의 운용환경을 기준으로 신뢰성 평가가 이루어지는 저전력 프로세서를 슈퍼컴퓨터에 사용하는 경우 상대적으로 가혹한 운용환경으로 인해 물리적, 기계적 신뢰성 문제가 발생할 수 있다. 이 논문은 슈퍼컴퓨터 운용 환경을 바탕으로 저전력 프로세서 패키지의 수명을 평가하였다. 먼저 문헌조사, 고장모드 및 치명도 분석을 통해 저전력 프로세서 패키지의 주요 고장원인으로 온도 사이클을 선정하였다. 부하-온도 관계를 확인하기 위해 단계적인 부하를 가하며 프로세서의 온도를 측정하였다. 가장 보수적인 운용조건을 가정하고 온도 사이클에 관련된 고장물리 모델을 이용한 결과 저전력 프로세서 패키지의 기대수명은 약 3년 이하로 예측되었다. 실험 결과를 바탕으로 저전력 프로세서 패키지의 기대수명을 향상하는 방법을 제시하였다.

Abstract: While datacenter operation cost increases with electricity price rise, many researchers study low-power processor based supercomputers to reduce power consumption of datacenters. Reliability of low-power processors for supercomputers can be of concern since the reliability of many low-power processors are assessed based on mobile use conditions. This paper assessed the reliability of low-power processor packages based on supercomputer use conditions. Temperature cycling was determined as a critical failure cause of low-power processor packages through literature surveys and failure mode, effect and criticality analysis. The package temperature was measured at multiple processor load conditions to examine the relationship between processor load and package temperature. A physics-of-failure reliability model associated with temperature cycling predicted the expected lifetime of low-power processors to be less than 3 years. Recommendations to improve the lifetime of low-power processors were presented based on the experimental results.

Keywords: Reliability, Supercomputers, Physics of failure, Low-power processors, Risk assessment

1. 서 론

데이터센터는 서버 및 냉각시설의 운영을 위해 다량의 전력을 소모하는데, 그린피스 조사결과에 따르면 국내 100여개 데이터센터들의 2013년 전력소모량은 약 26억 kWh로 추산되고 있다.¹⁾ 이는 한 달간 1,200만 가구가 사용 가능한 전력수준으로, 데이터센터 수, 전력소비량, 전력가격 및 랙(rack) 단위 발열밀도 또한 증가추세에 있어 운영비 절감을 위해 데이터센터의 효율적인 전력관리가

중요해 지고 있다.^{1,2)}

데이터센터는 전력량의 대부분을 서버의 전력소비 및 컴퓨터 발열로 인한 냉방부하로 소비하고 있다.^{3,4)} 일례로, 한국과학기술정보연구원 (KISTI)의 슈퍼컴퓨팅 센터의 경우 수전용량의 약 59%를 냉방설비에 사용 중이다.⁵⁾ 이에 따라 데이터센터의 냉방에너지 소비와 열 부하를 줄이기 위해 서버 및 슈퍼컴퓨터의 에너지 효율이 중요시 되면서, 최근 저전력 프로세서를 사용하여 데이터센터의 소비전력을 줄이려는 시도들이 있다.^{6,7)} 스페인 바르셀로

[†]Corresponding author

E-mail: dkwon@unist.ac.kr

© 2016, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

나 슈퍼컴퓨팅 센터의 Mont-blanc 프로젝트의 경우, 모바일 IT 제품용 저전력 프로세서인 Nvidia Tegra 3를 이용하여 범용 x86_64 프로세서 기반 서버보다 전력소비를 약 34% 절감한 시제품을 제작했다.⁶⁾ HP 또한 자사의 x86 기반 서버 대비 전력소비를 최대 89% 절감한 저전력 프로세서기반 서버를 판매하는 등,⁷⁾ 슈퍼컴퓨터의 연산속도뿐만 아니라 전력절약 또한 중요해지고 있다.

저전력 프로세서의 예로 ARM사의 big.LITTLE 코어 솔루션의 경우 프로세서 내부에 동작속도가 높고 낮은 이종의 코어가 배치되는데, 작업요구량에 따라 코어자원을 선택적으로 사용하여 전력소모를 줄인다.⁸⁾ 이는 소모전력절약에는 도움이 되지만, 동작속도를 비롯해 프로세서의 최대 성능을 이끌어낼 수 없다는 단점이 있다. 슈퍼컴퓨터에서 요구되는 고성능 연산의 경우, 프로세서의 최대 성능을 사용하여 다량의 연산을 보다 짧은 시간 내에 처리해야 하므로 상기 방식은 슈퍼컴퓨터 환경에 부적합할 수 있다.

저전력 프로세서의 다른 특징은 많은 경우 Ball Grid Array (BGA) 패키지 방식을 사용하는 것이다. 모바일 제품의 한정된 내부공간과 기능성을 위해 저전력 프로세서는 아키텍처에 오디오 프로세서, 비디오 인코더, 메모리 등 부속 하드웨어들을 포함하는 단일 칩 시스템(SoC)을 갖추기도 한다.⁹⁾ 부속 하드웨어가 많을수록 입/출력을 위해 다수의 접점(Lead-count)을 필요로 하는데, BGA 방식은 솔더 볼(solder ball)로 프로세서를 기판에 직접 실장하여, 공간을 절약함과 동시에 접점요건도 충족시킨다.¹⁰⁾ 그러나 BGA 계열 패키지는 열 스트레스 또는 화학적 반응으로 인해 회로기판과 솔더 조인트(solder joint)에 손상이 일어날 수 있다.¹¹⁻¹⁴⁾ 솔더 볼과 회로기판의 열팽창계수 차이로 인한 솔더 조인트의 열 피로파괴,^{12,13)} 진동에 의한 솔더 조인트 피로파괴 등이 보고된 바 있으며,¹⁴⁾ 패키지 낙하 충격으로 발생한 회로기판의 균열 및 솔더 조인트 균열 또한 BGA 패키지의 중요 고장 모드이다.¹⁵⁾ 또한 고온고습조건으로 수분침투를 가속하여 컨덕터를 부식시키는 HAST (Highly Accelerated Stress Test), THB (Temperature, Humidity and Bias) 시험 등이 BGA 계열 패키지의 주요 신뢰성 시험으로 고려되고 있다.¹⁶⁾

저전력 프로세서가 슈퍼컴퓨터에 사용된다면 운용환경의 차이로 저전력 프로세서의 손상이 가속될 수 있다. 모바일 제품은 배터리 소모나 사용습관에 따라 전원이 차단될 수 있지만, 슈퍼컴퓨터는 장기간 연산을 수행하며

지속적으로 프로세서를 사용한다. 슈퍼컴퓨터의 지속적인 연산작업과 발열은 간혹 냉각설비의 결함과 함께 프로세서 온도가 한계까지 올라가, 열관리 기능이 프로세서 동작속도를 감소시켜 슈퍼컴퓨터의 성능을 저하시키기도 한다.¹⁷⁾

따라서 저전력 프로세서가 슈퍼컴퓨터에 사용될 경우 운용환경 차이로 인한 손상이 예상된다. 이 연구에서는 슈퍼컴퓨터에 사용되는 저전력 프로세서 패키지의 고장원인들을 파악하고 가장 치명적 고장원인에 대한 정량적 수명평가를 실시하여 저전력 프로세서 패키지의 신뢰성을 예측하고자 한다.

2. 저전력 프로세서 패키지의 고장위험 분석

프로세서의 신뢰성은 온도, 습도 등 여러 요인에 의해 영향을 받는다. Table 1은 전자패키지의 신뢰성 시험 기준 일부를 나열한 것으로, 프로세서 제조사들은 해당 시험들을 실시한 후 조건을 만족한 제품들을 출시하게 된다. 패키지의 신뢰성 시험 기준들은 저전력 프로세서 패키지의 고장모드를 선정하는데 참고하였으며, 저전력 프로세서의 BGA 패키지 구조 및 슈퍼컴퓨터 운용환경 또한 함께 고려하였다.¹¹⁻¹⁹⁾ 솔더 조인트 균열, 기판 균열, 금속 배선의 단선 및 다이 균열 등 4가지 고장모드를 선정하였으며, 이로부터 고온, 온도 사이클, 습도 등 총 10개의 저전력 프로세서 패키지 고장원인을 도출하였다.

슈퍼컴퓨터는 정비 시에도 항상 전원을 켜고 있으며 장비교체 시에만 전원을 끄는데, 이는 일반적인 상황이 아니라고 판단하여 전원조작 없이 항상 켜진 상태로 가정하였다. KISTI가 보유한 슈퍼컴퓨터를 참고한 결과, 슈퍼컴퓨터의 사용률은 주기적으로 변화하며 평균적으로 85%임을 알 수 있었다. 사용률에 따라 슈퍼컴퓨터의 프로세서 부하 또한 변화할 것으로 예상되어, 1시간당 평균 1건의 고성능 연산작업요구를 가정한 뒤 사용률에 따라 고성능 연산작업은 51분, 부하가 없는 유휴 상태는 9분으로 정의하였다.

슈퍼컴퓨터 운용환경을 바탕으로, 저전력 프로세서의 여러 고장모드에 대한 발생위험을 분석하기 위해 Risk Priority Number (RPN)를 계산하였다. 부하는 프로세서가 최대로 처리 가능한 작업량 대비 현재 작업량을 의미하므로, 부하가 커질수록 프로세서의 작업량이 늘어나 전력소비량은 증가한다. 따라서 증가한 전력소비량에 따라

Table 1. Standard based reliability test conditions

Test	Condition	Duration	Standard
High temperature storage	150°C	1000 hours	JESD22-A103D-B
THB	85°C, 85% RH	1000 hours	JESD22-A101C
HAST	130°C, 85% RH	96 hours	JESD22-A110D
Temperature Cycling	-65°C~150°C	500 cycles	JESD22-A104E-C

프로세서 발열량도 증가하므로, 온도 사이클, 열 충격 등 온도 관련 고장원인의 발생도(occurrence, OCC)가 높게 나타났다. 나머지 OCC는 문헌에서 테스트 조건과 운용 환경을 비교하여 결정하였으며, 심각도(severity, SEV)는 IEC 60812규격을 참조하였다.²⁰⁾ RPN이 가장 높은 온도 사이클을 치명적 고장원인으로 선정하여, 저전력 프로세서 패키지의 수명예측에 활용하였다.

3. 실험방법

저전력 프로세서 패키지의 슈퍼컴퓨터 사용에 따른 온도변화를 알아보기 위해, 저전력 프로세서를 사용한 상용 싱글보드 컴퓨터를 이용하여 부하에 따른 표면온도 변화 측정하였다. Fig. 1은 실험대상제품인 Odroid XU4 싱글보드 컴퓨터와 실험장비들을 나타낸 것이다. 대상제품에 BGA 패키지로써 탑재된 저전력 프로세서는 삼성 Exynos 5422 프로세서로, 최대코어속도가 1.4 GHz인 Cortex A7 코어 네 개와 2.0 GHz인 Cortex A15 코어 네 개로 구성되어있으며 내부 칩은 와이어본딩으로, 패키지는 BGA방식을 사용했다. 언더필 및 BGA 패키지의 구조상 온도사이클 고장 위치인 솔더 조인트 온도를 직접 측정하기 어려워, 설계 사진을 통해 열원인 코어위치에 해당하는 상단 패키지 표면에 열전대를 부착하였다.

부하 조건을 가하기에 앞서, 프로세서의 작업량을 조절하기 위해 프로세서의 동작속도를 제한하였다. 프로세서의 최대동작속도 대비 현재 연산 중 동작속도로 부하를 정의하였다. 부하 정의에 따라 프로세서의 동작속도 상한을 제한한 후, 부동소수점 연산으로 부하를 주었다. 코어마다 부하 조건을 동일화 하기 위하여 부하명령 시 모든 코어를 활성화하도록 설정하였다. 이는 Exynos 5가 big.LITTLE 보다 진보된 방식인 이기종 간 다중처리(heterogeneous multi-processing, HMP)를 채택하여 각 코어마다 터미널 명령어를 통한 개별 제어가 가능하기 때문이다.²¹⁾

대상 프로세서는 코어 종류에 따라 동작속도범위가 다

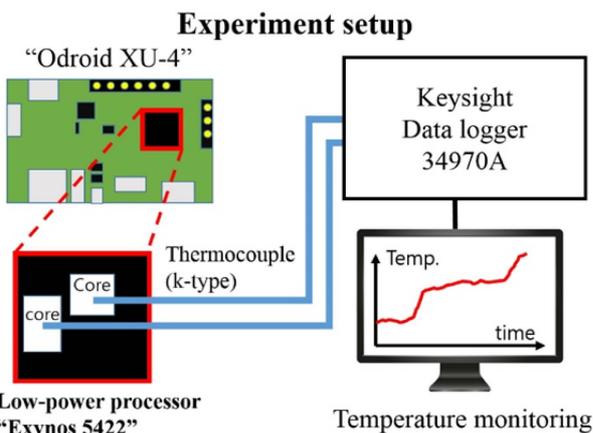


Fig. 1. Experiment setup.

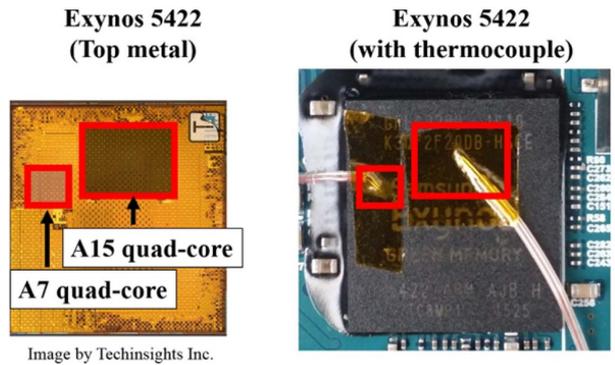


Fig. 2. Thermocouple locations.

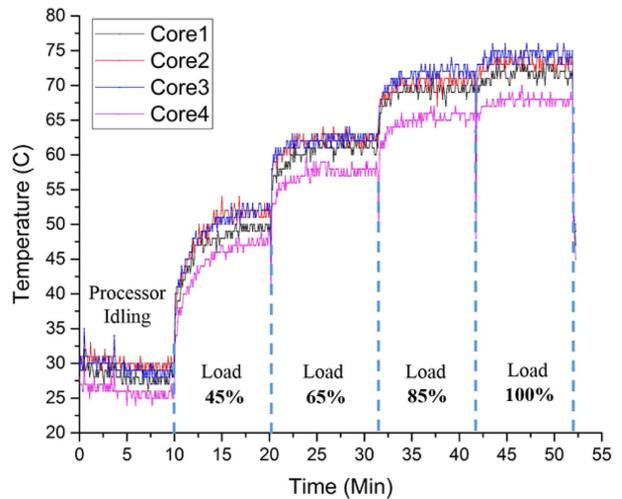


Fig. 3. Pilot test result.

르므로 표면온도의 차이가 예상되어, Fig. 2와 같이 코어 종류에 따라 열전대의 위치를 달리하였다. Fig. 3은 내부 온도센서가 있는 저전력 프로세서인 인텔 코어i5 4200U를 사용한 사전실험 결과이다. 사전실험에서 부하가 달라도 코어온도는 수분 이내에 정상상태(steady-state)에도 달하여, 본 실험에서도 부하 간격을 10분으로 설정하였다. 부하는 Table 2와 같이 제품 내부 코어동작속도를 각 부하조건에 해당하는 속도로 순차적으로 조절하여 가했으며, 실험 전 프로세서의 과열을 방지하기 위해 부팅 후 20분간 최저동작속도로 유희상태를 유지한 후 실험을 실시했다. 25°C 상온으로 유지된 실험실 내부에서 온도 측정을 실시하였다.

Table 2. Processor clock limit for load condition

Load	Clock (A7)	Clock (A15)
45%	740 MHz	1010 MHz
65%	980 MHz	1370 MHz
85%	1220 MHz	1730 MHz
100%	1400 MHz	2000 MHz

4. 결과 및 고찰

Fig. 4는 부하에 따른 프로세서 표면온도를 측정 한 것이다. 65% 부하까지 두 코어 모두 현재동작속도가 높을 수록 온도는 증가하였다. 45%, 65% 부하는 온도변화가 뚜렷하게 관측되며, 부하 정도에 따른 최대온도가 확인되었다. 코어 종류에 따라 부하에 따른 온도 증감이 다른데, 이는 두 코어그룹의 코어속도범위가 달라 실제 동작 속도 또한 차이를 보였기 때문이다.

85% 이상 부하의 경우 최대 91°C까지 표면온도가 상승하였으나, 구간 진입 후 코어 일부가 유희상태로 제어되며 급격히 온도가 하락하였다. 시스템 설정을 확인한 결과, 프로세서 열관리 기능의 동작온도가 90°C로 확인되었으며, 로그에 열관리 기능의 동작 또한 확인되었다. 열관리 기능 동작 전까지 측정된 각 부하의 프로세서 온도를 이용하여 온도사이클에 대한 가속계수 및 기대수명을 산출하였다. 온도 사이클에 따른 전자패키지의 고장 물리모델인 Norris-Landzberg 식을 사용하였으며, 수식은 다음과 같다.^{22,23)}

$$AF = \frac{N_L}{N_H} = \left(\frac{\Delta T_H}{\Delta T_L}\right)^a \left(\frac{f_L}{f_H}\right)^b \exp\left(\frac{E_a}{k} \left(\frac{1}{T_{KL}} - \frac{1}{T_{KH}}\right)\right) \quad (1)$$

N_L 은 실제 사용조건에서 손상까지 걸리는 온도사이클 수, N_H 는 가속된 사용조건에서 손상까지 걸리는 온도, ΔT_H 는 가속된 온도사이클의 온도차이, ΔT_L 는 실제 사용조건에서 온도차이, f_L 은 실제 사용조건에서 하루 동안의 사이클 횟수, f_H 은 가속된 사용조건에서 하루 동안의 사이클 횟수, T_{KL} 는 실제 사용조건에서 최대 켈빈온도이며, T_{KH} 는 가속조건에서의 최대 켈빈온도이다. E_a 는 활성화 에너지, k 는 볼츠만 상수, a, b 는 모델상수를 나타낸다. 각 부하 정도에 따라 측정된 최대표면온도를 슈퍼컴퓨터 사용조건으로 사용하여, Table 3에 명시된 신뢰성 시험조건과 비교하여 가속계수를 계산하였다. 대표적인 무연 솔

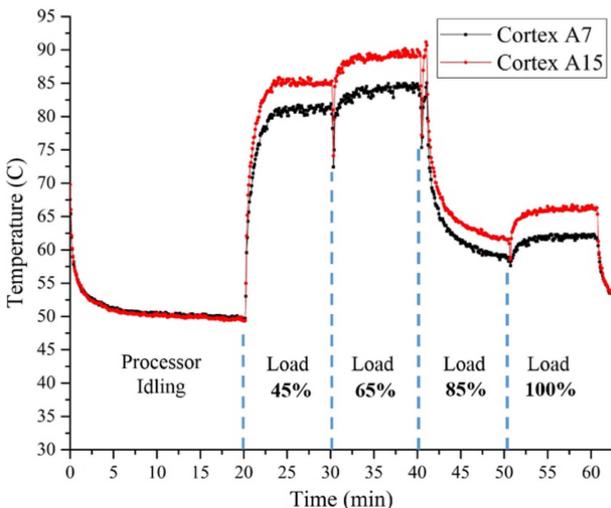


Fig. 4. Processor temperature profile according to the load condition.

Table 3. Thermal cycling test conditions

Condition	Precondition	cycle/day	Cycles
1	-55°C~125°C (JESD22-A104D-B)	48	1000 (IPC-9701-NTC-C)
2	-65°C~150°C (JESD22-A104D-C)	48	500 (IPC-9701-NTC-B)

Table 4. Life prediction of low-power processors according to CPU loading

Condition	Life expectancy [year]	
	45%	65%
1	2.9	2.0
2	2.5	1.7

더인 Sn-3.0Ag-0.5Cu 솔더의 모델상수가 기준으로 사용되었다.^{23,24)}

Table 4의 계산결과에 따르면 1000사이클의 시험 조건을 거친 저전력 프로세서라도 슈퍼컴퓨터 사용조건에서 3년 운용을 기대하기 어렵다. 다만 부하가 감소함에 따라 기대수명은 1.5배 가량 상승하였다. 이는 전반적으로 코어 온도가 낮아져, 온도사이클의 ΔT 값이 감소했기 때문이다.

5. 결 론

슈퍼컴퓨터에 사용되는 저전력 프로세서 패키지의 잠재적 고장원인들을 파악하고 주요 고장메커니즘으로 온도사이클에 의한 솔더조인트 손상을 선정하였으며 이에 대한 정량적 수명평가를 실시하였다. 슈퍼컴퓨터의 운용 환경과 문헌에 따라 주요 고장원인인 온도 사이클을 포함, 총 4개의 고장모드와 10개의 고장원인이 제시되었다. 또한 모의실험을 통해 슈퍼컴퓨터 운용조건이 솔더조인트와 가까운 칩 표면에 온도 사이클을 유발할 수 있음을 확인하였으며, 실험결과에 따라 저전력 프로세서 패키지의 온도 사이클에 대한 가속계수 및 기대수명을 산출하였다.

산출결과, 슈퍼컴퓨터 운용환경에 따라 저전력 프로세서의 기대수명은 저조한 것으로 확인되었다. 따라서 저전력 프로세서 기반 슈퍼컴퓨터를 운용하기 위해서 신뢰성을 기반으로 한 설계가 요구된다. 실험결과 코어 온도에 따라 기대수명이 증가하였으므로, 쿨링 팬 등 프로세서 단위의 냉각장치를 부착하여 직접적으로 온도편차를 줄이면 프로세서 성능을 유지하면서 기대수명을 향상시킬 수 있을 것이다.

부하분배 설계 또한 신뢰성 향상에 도움이 될 수 있다. Table 4의 결과에 따르면 저전력 프로세서의 기대수명은 부하 정도에 따라 1.5배 이상 증가하였다. 서버에 요구되는 연산작업을 분배하여 프로세서당 낮은 부하를 유지한

다면 기대성능을 유지할 뿐만 아니라 저온상태를 유지하여 높은 신뢰성을 기대할 수 있다.

감사의 글

이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (NRF-2014R1A1A1003653).

References

- J. Lee, "Is Your Internet Clean? (in Kor.)", Greenpeace Korea, (June 3, 2015) from <http://www.greenpeace.org/korea/multi-media/publications/2015/climate-energy/change-it-report/>
- M. K. Patterson and D. Fenwick, "The State of Datacenter Cooling: A review of current air and liquid cooling solutions", Intel Corporation White Paper, (March, 2008) from <http://www.ceclimited.com/sites/all/themes/creative/state-of-date-center-cooling.pdf>
- K. J. Cho, S. H. Shin and J. Y. Lee, "Case Study and Energy Impact Analysis of Cooling Technologies as Applied to Green Data Centers (in Kor.)", Journal of the Architectural Institute of Korea Planning & Design, 29(3), 327 (2013).
- H. Zhang, S. Shao, H. Xu, H. Zou and C. Tian, "Free Cooling of Data Centers: A Review", Renewable and Sustainable Energy Reviews, 35(1), 171 (2014).
- Y. H. Ryu, J. W. Sung, D. S. Kim and S. H. Kil, "A Study on the Infra-Capacity Analysis for Optimal Operating Environments of Supercomputer Center (in Kor.)", Journal of the Korea Institute of Ecological Architecture and Environment, 10(2), 19 (2010).
- V. Mehta, "Exploiting CUDA Dynamic Parallelism for low power ARM based prototypes", Nvidia GPU Technology conference On-demand, (April, 2015) from <http://on-demand.gputechconf.com/gtc/2015/presentation/S5384-Vishal-Mehta.pdf>
- Hewlett-Packard Development Company, "HP Project Moonshot Changing the game with extreme low-energy computing" HP business white paper, (May, 2012) from <http://h20195.www2.hp.com/V2/GetPDF.aspx/4AA3-9839ENW.pdf>
- M. Igarashi, T. Uemura, R. Mori, H. Kishibe, M. Nagayama, M. Taniguchi, K. Wakahara, T. Saito, M. Fujigaya and K. Fukuoka, "A 28 nm High-k/MG Heterogeneous Multi-Core Mobile Application Processor With 2 GHz Cores and Low-Power 1 GHz Cores", Journal of Solid-State Circuits, 50(1), 92 (2015).
- N. Rajovic, P. M. Carpenter, I. Gelado, N. Puzovic, A. Ramirez and M. Valero, "Supercomputing with Commodity CPUs: Are Mobile SoCs Ready for HPC?", Proceedings of the International Conference on High Performance Computing, Networking, Storage and Analysis (SC'13), Denver, CO, 1-12, Association for Computing Machinery (ACM) (2013).
- T. Shimoto, K. Kikuchi, K. Baba, K. Matsui, H. Honda and K. Kata, "High-performance FCBGA based on multi-layer thin-substrate packaging technology", Microelectronics Reliability, 44(3), 515 (2004).
- K. H. Kim, H. Lee, J. W. Jeong, J. H. Kim and S. H. Choa, "Numerical Analysis of Warpage and Stress for 4-layer Stacked FBGA Package", J. Microelectron. Packag. Soc., 19(2), 7 (2012).
- A. Syed, J. Scanlan, S. W. Cha, W. J. Kang, E. S. Sohn, T. S. Kim and C. G. Ryu, "Impact of Package Design and Materials on Reliability for Temperature Cycling, Bend, and Drop Loading Conditions," Proc. 58th Electronic Components and Technology Conference (ECTC), Orlando, 1453, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2008).
- D. Barbini and M. Meilunas, "Reliability of Lead-free LGAs and BGAs: Effects of Solder Joint Size, Cyclic Strain and Microstructure", SMTA International Proceedings, Fort Worth, Texas, 292, Surface Mount Technology Association (SMTA) (2011).
- T. E. Wong, B. A. Reed, H. M. Cohen and D. W. Chu, "Development of BGA solder joint vibration fatigue life prediction model", Proc. 49th Electronic Components and Technology Conference (ECTC), San Diego, CA, 149, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (1999).
- J. E. Luan, T. Y. Tee, Y. G. Kim, H. S. Ng, X. Baraton, R. Bronner and M. Sorrieu, "Drop impact life prediction model for lead-free BGA packages and modules", Proc. 6th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Micro-Electronics and Micro-Systems, (EuroSimE), Berlin, Germany, 559, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2005).
- Nemeth, P. "Accelerated Life Time Test Methods for New Package Technologies", 24th International Spring Seminar on Electronics Technology: Concurrent Engineering in Electronic Packaging, Calimanesti-Caciulata, Romania, 215, IEEE. (2001).
- A. Weissel and F. Belloso, "Dynamic Thermal Management for Distributed Systems", Proceedings of the First Workshop on Temperature-Aware Computer Systems (TACS'04), Munich, Germany, 3-13 (2004).
- R. A. Steinbrecher and R. Schmidt, "Data Center Environments ASHRAE's Evolving Thermal Guidelines", ASHRAE Journal 53(12), J. Scott, Ed., pp.42-49, Atlanta, GA (2011).
- K. Ebrahimi, G. F. Jones and A. S. Fleischer, "A review of data center cooling technology, operating conditions and the corresponding low-grade waste heat recovery opportunities", Renewable and Sustainable Energy Reviews, 31(1), 622. (2014).
- International Standard IEC 60812: Analysis Techniques for System Reliability: Procedure for Failure Mode and Effects Analysis (FMEA), International Electrotechnical Commission, (2006).
- H. Chung, M. Kang and H. D. Cho, "Heterogeneous Multi-Processing Solution of Exynos 5 Octa with ARM® big. LITTLE™ Technology", Samsung Electronics Co., (2012) from https://www.arm.com/files/pdf/Heterogeneous_Multi_Processing_Solution_of_Exynos_5_Octa_with_ARM_bigLITTLE_Technology.pdf
- R. D. Gerke and G. B. Kromann, "Solder Joint Reliability of High I/O Ceramic-Ball-Grid Arrays and Ceramic Quad-Flat-Packs in Computer Environments: the PowerPC 603 TM and

- PowerPC 604 TM microprocessors”, IEEE Transactions on Components and Packaging Technologies, 22(4), 488. (1999).
23. V. Vasudevan and X. Fan, “An Acceleration Model for Lead-Free (SAC) Solder Joint Reliability under Thermal Cycling”, Proc. 58th Electronic Components and Technology Conference (ECTC), Orlando, 139, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2008).
24. S. H. Kim, G. T. Park, B. R. Lee, J. M. Kim, S. Yoo and Y. B. Park, “Effects of PCB Surface Finishes on in-situ Intermetallics Growth and Electromigration Characteristics of Sn-3.0Ag-0.5Cu Pb-free Solder Joints”, J. Microelectron. Package. Soc., 22(2), 47 (2015).