

# 비트라인 트래킹을 위한 replica 기술에 관한 연구

## Replica Technique regarding research for Bit-Line tracking

오세혁\*, 정한울\*, 정성욱\*

Se-Hyeok Oh\*, Han-wool Jung\*, Seong-Ook Jung\*

### Abstract

Replica bit-line technique is used for making enable signal of sense amplifier which accurately tracks bit-line of SRAM. However, threshold voltage variation in the replica bit-line circuit changes the cell current, which results in variation of the sense amplifier enable time,  $T_{SAE}$ . The variation of  $T_{SAE}$  makes the sensing operation unstable. In this paper, in addition to conventional replica bit-line delay ( $RBL_{conv}$ ), dual replica bit-line delay (DRBD) and multi-stage dual replica bit-line delay (MDRBD) which are used for reducing  $T_{SAE}$  variation are briefly introduced, and the maximum possible number of on-cell which can satisfy  $6\sigma$  sensing yield is determined through simulation at a supply voltage of 0.6V with 14nm FinFET technology. As a result, it is observed that performance of DRBD and MDRBD is improved 24.4% and 48.3% than  $RBL_{conv}$  and energy consumption is reduced which 8% and 32.4% than  $RBL_{conv}$ .

### 요약

정적 램의 비트라인을 정밀하게 추적하는 감지증폭기의 enable 신호를 만들기 위해 replica bit-line 기술 (RBL)이 사용된다. 하지만, 공정으로 인한 문턱전압의 변화는 replica bit-line 회로에 흐르는 전류를 변화시키고 이는 감지증폭기의 enable 신호 생성 시간 ( $T_{SAE}$ )을 변화시키며, 결과적으로는 읽기 동작을 불안정하게 한다. 본 논문에서는 conventional replica bit-line delay ( $RBL_{conv}$ ) 구조 및  $T_{SAE}$  변화를 감소시킬 수 있는 개선 구조인 dual replica bit-line delay (DRBD) 구조와 multi-stage dual replica bit-line delay (MDRBD) 구조를 소개하고, 14nm FinFET 공정, 동작전압 0.6V에서 각 기술들에 대한 읽기 성공률이  $6\sigma$ 를 만족하는 최대 on-cell 개수를 simulation을 통해 찾고 이때 각 구조에 대한 performance와 에너지를 비교했다. 그 결과,  $RBL_{conv}$  대비 DRBD와 MDRBD의 performance는 각각 24.4%와 48.3% 저하되고 에너지 소모는 각각 8%와 32.4% 감소된 것을 관찰하였다.

*Key words* : Replica Bit-line, sense amplifier, standard deviation, performance, power

\* Dept. of Electronics Engineering, Yonsei University

★ Corresponding author

e-mail : sjung@yonsei.ac.kr, tel:02-2123-5873

※ Acknowledgment

Manuscript received Apr, 8, 2016; revised Jun, 20, 2016; accepted Jun, 20, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

정적 램의 데이터 읽기 동작 시, 감지증폭기의 enable (SAE)신호가 '1'로 인가되면 감지증폭기를 통해 두 비트라인 (BL, BL\_b)의 전압 차이가 증폭되어 '0' 또는 '1'의 데이터가 감지된다. 성공적인 읽기 동작을 위해서는 SAE가 '1'이 될 때 정적 램의 비트라인 간 전압 차이 ( $\Delta V_{bl,SRAM}$ )가 감지증폭기의 오프셋 전압 ( $V_{os}$ )보다 커야 한다.

그림. 1은 어시스트 회로를 이용한 정적 램의 읽기 동작 과정 그래프다. 어시스트 회로는 워드라인 (WL)을  $V_{DD}$ 보다 낮춰 읽기 동작 시 정적 램의 데이터가 플립 되지 않도록 돕는다 [1]. WL이 '1'이 되면 정적 램의 BL\_b의 전압이 감소하

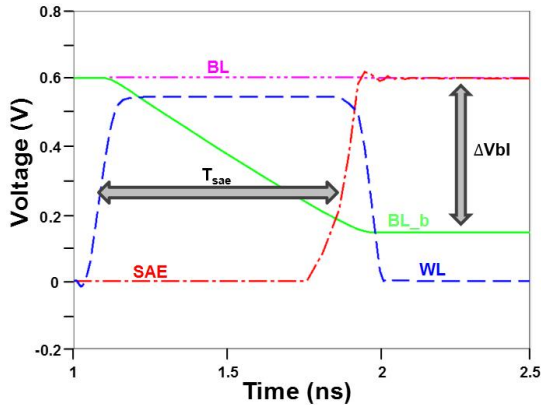


그림 1. 정적 램 읽기 동작  
Fig 1. SRAM reading operation

기 시작하고 SAE이 '1'로 인가될 때 WL이 '0'이 될과 동시에 BL\_b의 전압 강하가 멈추고 이때  $\Delta V_{bl,SRAM}$ 이 감지증폭기의  $V_{os}$ 보다 커야 정상적인 읽기 동작을 수행한다.

WL이 '1'이 되고 SAE가 '1'이 될 때까지 걸리는 시간 ( $T_{SAE}$ )은  $\Delta V_{bl,SRAM}$ 를 변화시켜 정적 램의 읽기 성공 여부를 결정한다. 만약  $T_{SAE}$ 가 증가하면 정적 램을 읽는 시간이 증가해  $\Delta V_{bl,SRAM}$ 이 커지고 읽기 동작 당 에너지 소모를 증가시킨다. 반대로  $T_{SAE}$ 가 감소하면  $\Delta V_{bl,SRAM}$ 이 감지증폭기의  $V_{os}$ 보다 낮아져 읽기 동작에 실패할 수 있다. 읽기 동작 성공을 보장하면서 읽기 동작 속도를 향상시키면 performance와 에너지에 이득을 볼 수 있기 때문에 적절한  $T_{sae}$ 를 만드는 기술이 중요하다 [2].

II. 본론

일반적으로 SAE를 만들 때 인버터 체인 대신 replica 기술을 이용하는데 이는 PVT 변화 (Process, Voltage, Temperature)에 의한  $\Delta V_{bl,SRAM}$ 을 추적 (tracking)하는 데 있어 정적 램과 동일한 구조를 갖는 replica 기술이 인버터 체인보다 효과적이기 때문이다 [3]. 하지만, replica 기술을 사용하여도, 테크놀로지 스케일링에 의한 문턱전압의 변화는 전류의 변화를 초래하고 변화된 전류는  $T_{SAE}$  변화에 영향을 끼친다.

최초의 replica 기술은 그림 2.(a)과 같이 정적 램의 하나의 열을 복제한 구조를 갖는 conventional replica bitline ( $RBL_{conv}$ )이다.

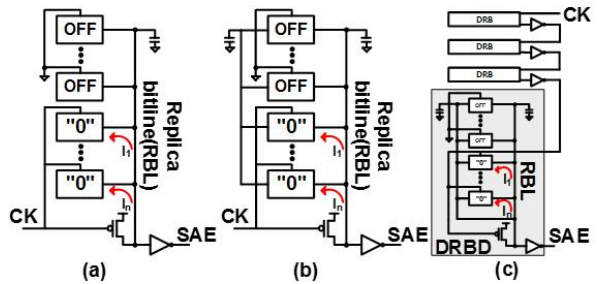


Fig. 2. Replica structures for SRAM  
그림 2. 정적 램 읽기 동작을 위한 Replica 구조  
(a)  $RBL_{conv}$ , (b) DRBD, and (c) MDRBD

$RBL_{conv}$ 내에 존재하는 cell은 off-cell과 on-cell로 나뉘는데 off-cell은 WL이 항상 '0'이기 때문에 CK이 '0'일 때 충전된 replica bitline (RBL)을 방전시키지 못하고 on-cell은 RBL쪽 데이터가 '0'이기 때문에 CK이 '1'이 되어 WL이 '1'이 되면, RBL의 전압을 방전시킨다. On-cell의 개수가  $n$ 이고,  $k$ 번째 on-cell에 흐르는 전류를  $I_k$ 로 정의하면, RBL을 방전시키는 총 전류( $I_{RBL}$ )는 수식 2.1과 같이 전체 on-cell에 흐르는 전류의 합으로 나타낼 수 있다.

$$I_{RBL} = I_1 + I_2 + \dots + I_n \tag{2.1}$$

$I_1, I_2, \dots, I_n$ 은 각 on-cell을 이루는 트랜지스터의 문턱전압 변이에 따라 변화하므로, 특정 평균 ( $\mu_{I1}, \mu_{I2}, \dots, \mu_{In}$ )과 표준편차 ( $\sigma_{I1}, \sigma_{I2}, \dots, \sigma_{In}$ )를 갖는 확률변수로 생각할 수 있다. 이 때,  $RBL_{conv}$ 내에 존재하는 여러 개의 on-cell은 동일한 구조를 갖기 때문에 다음 수식 2.2와 같이 하나의 on-cell

을 통해 흐르는 전류의 평균과 표준편차는 각각  $\mu_I$ 와  $\sigma_I$ 로 모두 같다고 할 수 있다.

$$\begin{aligned} \mu_{I1} = \mu_{I2} = \dots = \mu_{In} = \mu_I \\ \sigma_{I1} = \sigma_{I2} = \dots = \sigma_{In} = \sigma_I \end{aligned} \quad (2.2)$$

또한, 각 on-cell의 문턱전압의 변이는 독립적이므로, 이로 인해 결정되는  $I_1, I_2, \dots, I_n$  또한 서로 독립인 확률 변수이다. 따라서,  $I_{RBL}$ 의 평균( $\mu_{IRBL}$ )과 표준편차( $\sigma_{IRBL}$ )는 수식 2.3과 같이 결정되며, 각각 단일 on-cell 전류의 평균과 표준편차인  $\mu_I$ 와  $\sigma_I$ 대비 각각  $n$ 배와  $\sqrt{n}$ 배가 된다.

$$\begin{aligned} \mu_{IBL} = \mu_{I1} + \mu_{I2} + \dots + \mu_{In} = n \times \mu_I \\ \sigma_{IBL} = \sqrt{(\sigma_{I1})^2 + (\sigma_{I2})^2 + \dots + (\sigma_{In})^2} = \sqrt{n} \times \sigma_I \end{aligned} \quad (2.3)$$

한편,  $T_{SAE}$ 는 수식 2.4와 같이 표현될 수 있다.

$$T_{SAE} = \frac{CV_{DD}}{I_{RBL}} \quad (2.4)$$

(C: RBL의 capacitance,  $V_{DD}$ : 공급전압)

따라서  $RBL_{conv}$ 의  $T_{SAE}$ 의 평균 ( $\mu_{TSAE,conv}$ )은 아래의 수식 2.5와 같이 유도되며, C에 비례하고, n에 반비례하는 것을 알 수 있다.

$$\mu_{TSAE,conv} = \frac{CV_{DD}}{\mu_{IRBL}} = \frac{CV_{DD}}{n \times \mu_I} \quad (2.5)$$

$RBL_{conv}$ 의  $T_{SAE}$  표준편차 ( $\sigma_{TSAE,conv}$ )는 수식 2.6과 같이 유도되며, C에 비례하고  $n\sqrt{n}$ 에 반비례한다.

$$\begin{aligned} \sigma_{TSAE,conv} &= \frac{\Delta T_{sae}}{\Delta I_{RBL}} * \sigma_{IRBL} \approx \left| \frac{CV_{DD}}{\mu_{IRBL}^2} \right| * \sigma_{IRBL} \\ &= \left| \frac{CV_{DD}}{n^2 \mu_I^2} \right| * \sqrt{n} \sigma_I = \frac{1}{n\sqrt{n}} * \left| \frac{CV_{DD}}{\mu_I^2} \right| * \sigma_I \end{aligned} \quad (2.6)$$

그림 2.(b)은 dual replica bit-line delay (DRBD)로  $RBL_{conv}$  대비 RBL의 capacitance가 2배다. 따라서 on-cell 개수가 n개일 때, 1개의 on-cell을 갖는  $RBL_{conv}$  대비 식 2.5에 의거, DRBD의  $T_{SAE}$ 의 평균( $\mu_{TSAE,DRBD}$ )은  $\frac{2}{n}$ 배 증가하고 식 2.6에 의거, DRBD의  $T_{SAE}$ 의 표준편차 ( $\sigma_{TSAE,DRBD}$ )는  $\frac{2}{n\sqrt{n}}$ 배 증가된다.  $\mu_{TSAE,DRBD}$ 와  $\sigma_{TSAE,DRBD}$ 는 다음의 식 2.7을 만족한다.

$$\mu_{TSAE,DRBD} = \frac{2}{n} \mu_{TSAE,conv} \quad (2.7)$$

$$\sigma_{TSAE,DRBD} = \frac{2}{n\sqrt{n}} \sigma_{TSAE,conv}$$

그림 2.(c)의 multi-stage dual replica bit-line delay (MDRBD)는 DRBD의 capacitance와 cell을 인버터를 이용해 m으로 균등하게 나눈 새로운 구조 (DRB)들로 구성 된다. CK신호가 '1'이

되면 MDRBD의 첫 번째 DRB의 RBL이 감소하기 시작하고 RBL의 전압이 인버터의 pMOS의 문턱전압보다 낮아지면 다음 DRB의 CK신호가 '1'이 되어 두 번째 DRB의 RBL의 전압을 감소시킨다. 만약 인버터 지연을 무시하고 DRB가 DRBD와 동일한 on-cell 개수를 갖는다면 MDRBD는 DRB당 capacitance가 DRBD보다 m배 감소하기 때문에 방전되는 속도가 m배 되지만, 총 m개의 DRB를 방전해야하기 때문에 결국은 DRBD와 같은  $\mu_{TSAE}$ 를 갖는다.

m번째 DRB에 흐르는 전류의 표준편차를  $\sigma_{I1,DRB}, \sigma_{I2,DRB}, \dots, \sigma_{Im,DRB}$ 라 가정할 때 m개의 DRB가 서로 동일한 구조를 이루므로 하나의 DRB에 흐르는 전류의 표준편차는  $\sigma_{I,DRB}$ 로 모두 같고 수식 2.8과 같이 표현된다. 또한 각 DRB에 흐르는 전류는 서로 다른 문턱전압의 변이에 영향을 받아 독립적이므로 MDRBD에 흐르는 전류의 표준편차 ( $\sigma_{IMDRBD}$ )는 수식 2.9와 같이 표현된다.

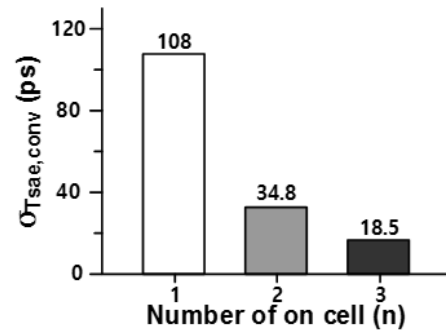


그림 3. on-cell 개수 변화에 따른  $\sigma_{TSAE,conv}$

Fig 3.  $\sigma_{TSAE}$  of  $RBL_{conv}$  technique when different number of on-cell.

$$\sigma_{I1,DRB} = \sigma_{I2,DRB} = \dots = \sigma_{Im,DRB} = \sigma_{I,DRB} \quad (2.8)$$

$$\begin{aligned} \sigma_{IMDRBD} &= \sqrt{(\sigma_{I1,DRB})^2 + (\sigma_{I2,DRB})^2 + \dots + (\sigma_{Im,DRB})^2} \\ &= \sqrt{m} \times \sigma_{I,DRB} \end{aligned} \quad (2.9)$$

m개의 DRB를 갖는 MDRBD의  $T_{SAE}$ 의 표준편차 ( $\sigma_{TSAE,MDRBD}$ )는 수식 2.4에 의거, DRBD대비  $\sqrt{m}$ 배 감소하고 n개의 on-cell을 갖는  $\sigma_{TSAE,DRBD}$ 는 수식 2.6에 의거, on-cell 1개를 갖는  $RBL_{conv}$  대비  $\frac{2}{n\sqrt{n}}$ 배 증가된다. 즉, on-cell 1개를 갖는  $RBL_{conv}$  대비 on-cell n개를 갖는  $\sigma_{TSAE,MDRBD}$ 는 수식 2.10과 같이 배 증가된다 [4].

$$\sigma_{TSAE,MDRBD} = \frac{1}{\sqrt{m}} \sigma_{TSAE,DRBD} = \frac{2}{n\sqrt{nm}} \sigma_{TSAE,conv} \quad (2.10)$$

### III Simulation 결과 및 결론

아래 결과들은 14nm FinFET 공정, 동작전압 0.6V에서 Monte Carlo simulation을 진행해 얻은 결과들이다.

On cell 개수 변화에 따른  $\sigma_{T_{SAE,conv}}$ 는 본론의 수식 2.3와 2.6에 의거, on cell 1개 대비 on cell이 2개와 3개일 때 각각  $2\sqrt{2}$ 배와  $3\sqrt{3}$ 배 (64.7%와 80.8%) 감소 해야하고 simulation 결과 각각 67.8%와 82.9%로 예상값과 근접하게 감소했다.

그림 4는 세 구조에 대한 읽기 동작 성공률이 6 $\sigma$ 를 만족하는 최대 on-cell 개수를 이용한 simulation 결과들이다. 결과적으로 각각 2개와 3개의 on-cell을 켤 수 있었고 그림 4.(a)는 세 구조의  $\mu_{T_{SAE}}$ 이고 수식 2.5에 의거,  $\mu_{T_{SAE,conv}}$  대비  $\mu_{T_{SAE,DRBD}}$ 와  $\mu_{T_{SAE,MDRBD}}$ 와는 동일한 값  $\mu_{T_{SAE,DRBD}}$ 는  $\frac{2}{3}$ 배 증가 해야 하지만 simulation 결과,  $\mu_{T_{SAE,DRBD}}$ 는 인버터의 영향으로  $\frac{2}{3}$ 배보다 크게 증가했다

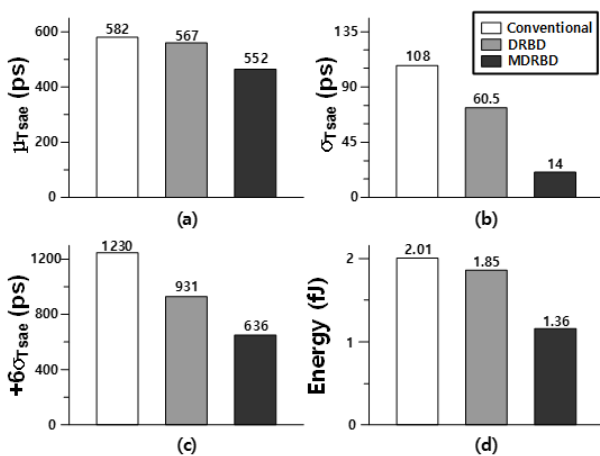


Fig 4. Simulation result of replica techniques

그림 4. replica 기술들의 simulation 결과

(a)  $\mu_{T_{SAE}}$ , (b)  $\sigma_{T_{SAE}}$ , (c) Performance (d) Consuming energy in SRAM.

그림 4.(b)는 세구조의  $\sigma_{T_{SAE}}$ 이고 수식 2.6에 의거,  $\sigma_{T_{SAE,DRBD}}$ 와  $\sigma_{T_{SAE,MDRBD}}$ 는  $\sigma_{T_{SAE,conv}}$  대비  $\frac{1}{\sqrt{2}}$ 배와  $\frac{2}{3\sqrt{3^*4}}$ 배 증가해야하고 simulation을 통해 근접한 결과를 얻었다.

그림 4.(c)와 그림 4.(d)는 세 구조에 대한 performance와 에너지를 나타낸다. Performance는 각 구조의 가장 느린  $T_{SAE}$  ( $\mu_{T_{SAE}}$ 로부터  $+6*\sigma_{T_{SAE}}$ 만큼 떨어진  $T_{SAE}$ 을 기준으로 함.)지점으로

비교했다. DRBD와 MDRBD는  $RBL_{conv}$  보다 더 많은 on-cell이 증가되어 수식 2.5와 2.6에 의거,  $\mu_{T_{SAE}}$ 와  $\sigma_{T_{SAE}}$ 가 감소됐고, 그 결과 performance는 DRBD와 MDRBD가  $RBL_{conv}$  보다 24.4%와 48.3% 향상됐다. 에너지는 각 구조의  $\mu_{T_{SAE}}$ 에서 RBL이 소모한 에너지를 비교했고, 그 결과 에너지는 DRBD와 MDRBD가  $RBL_{conv}$  보다 8%와 32.4% 감소했다.

### References

- [1] M. Khellah, A. Keshavarzi, D. Somasekhar, T. Karnik, and V. De, "Read and write circuit assist techniques for improving Vccmin of dense 6T SRAM cell," in Integrated Circuit Design and Technology and Tutorial, 2008. ICICDT 2008. *IEEE International Conference on*, 2008, pp. 185-188.
- [2] Y. Niki, A. Kawasumi, A. Suzuki, Y. Takeyama, O. Hirabayashi, K. Kushida, et al., "A Digitized Replica Bitline Delay Technique for Random-Variation-Tolerant Timing Generation of SRAM Sense Amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 46, pp. 2545-2551, 2011.
- [3] W. Jianhui, Z. Jiafeng, X. YingCheng, and B. Na, "A Multiple-Stage Parallel Replica-Bitline Delay Addition Technique for Reducing Timing Variation of SRAM Sense Amplifiers," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 61, pp. 264-268, 2014.
- [4] C.-y. Peng, "Multi-stage dual replica bit-line delay technique for process-variation-robust timing of low voltage SRAM sense amplifier," *Frontiers of Information Technology & Electronic Engineering*, vol. 16, pp. 700-706, 2015.