Regular Paper
J. Korean Inst. Electr. Electron. Mater. Eng.
Vol. 29, No. 7, pp. 394-399 July 2016
DOI: http://dx.doi.org/10.4313/JKEM.2016.29.7.394
ISSN 1226-7945 (Print), 2288-3258 (Online)

CO_2가스를 이용하여 증착된 터널층의 계면포획밀도의 감소와 이를 적용한 저전력비휘발성 메모리 특성

이소진, 장경수, Cam Phu Thi Nguyen, 김태용, 이준신[a]
성균관대학교 전자전기컴퓨터공학과

Decrease of Interface Trap Density of Deposited Tunneling Layer Using CO_2 Gas and Characteristics of Non-volatile Memory for Low Power Consumption

Sojin Lee, Kyungsoo Jang, Cam Phu Thi Nguyen, Taeyong Kim, and Junsin Yi[a]
Department of Electronic Electrical Computer Engineering, Sungkyunkwan University, Suwon 16419, Korea

(Received April 4, 2016; Revised May 20, 2016; Accepted June 21, 2016)

Abstract: The silicon dioxide (SiO_2) was deposited using various gas as oxygen and nitrous oxide (N_2O) in nowadays. In order to improve electrical characteristics and the interface state density (D_{it}) in low temperature, It was deposited with carbon dioxide (CO_2) and silane (SiH_4) gas by inductively coupled plasma chemical vapor deposition (ICP-CVD). Each D_{it} of SiO_2 using CO_2 and N_2O gas was 1.30×10^{10} $cm^{-2}\cdot eV^{-1}$ and 3.31×10^{10} $cm^{-2}\cdot eV^{-1}$. It showed SiO_2 using CO_2 gas was about 2.55 times better than N_2O gas. After 10 years when the thin film was applied to metal/insulator/semiconductor(MIS)-nonvolatile memory(NVM), MIS NVM using $SiO_2(CO_2)$ on tunneling layer had window memory of 2.16 V with 60% retention at bias voltage from +16 V to -19 V. However, MIS NVM applied $SiO_2(N_2O)$ to tunneling layer had 2.48 V with 61% retention at bias voltage from +20 V to -24 V. The results show SiO_2 using CO_2 decrease the D_{it} and it improves the operating voltage.

Keywords: CO_2, NVM, ONO structure, Tunnel oxide, Tunneling

1. 서 론

최근에 무선센서를 이용한 사물인터넷(internet of thing)과 임베디드 시스템(embedded system)이 연구되어짐에 따라 이에 이용되는 저전력 비휘발성 메모리(non-volatile memory, NVM)의 중요성이 대두되어지고 있다 [1,2]. 휴대성을 높일 수 있는 플렉시블(flexible)기판을 사용하기 위함과 과전압으로 인한 소자의 기능 저하를 방지하기 위해서도 메모리의 전력소비 최소화에 관한 다양한 연구가 이루어져야한다 [3]. 일반적인 NVM 소자는 터널층, 전하저장층과 전하차단층으로 크게 구성되어 있으며 각 층의 특성을 조절하여 저전력 및 메모리의 특성을 향상시킬 수 있다. 터널층은 얇은 두께를 지녔지만 전하를 이동시키며 저장된 전하 누설을 방지해주기 때문에 메모리 특성 향상에 중요한 역할을 한다. 최근에 터널층에 고유전율을 지닌 물질들을 적용하고 있는 실정이지만 밴드갭(band-gap) 크기 및 여러 가지 조건을 고려하였을 때 SiO_2가 가장 일반적이며 흔히 쓰이고 있다 [4-6]. 고품질의 SiO_2를 증착하기 위해 다양한 방법이 도입되었는데 화학기상증착법(chemical vapor deposition,

a. Corresponding author; yi@yurim.skku.ac.kr

Copyright ©2016 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

CVD)이 저온에서 여러 조건을 가변 하여 다양한 특성의 박막을 얻을 수 있는 강점을 지니고 있어 연구 및 생산에 이용되고 있다. CVD 방법 중 ICP-CVD는 플라즈마의 높은 전자온도와 이온 밀도를 지니고 1 mTorr 이하의 낮은 압력에서도 플라즈마 발생 및 유지를 가능하게 하여 고품질의 대면적 SiO_2를 형성할 수 있다 [7]. 기존에 ICP-CVD로 증착된 SiO_2는 주로 N_2O를 이용하였는데 이는 질소(nitrogen, N)성분이 포함하고 있기 때문에 실리콘(silicon, Si)과 SiO_2 계면에 Si-N 결합을 유발한다. Si-N의 결합은 포획 중심(trap center), 재결합 중심(recombination center)이 되어 D_{it}를 증가시키는 요인이 된다 [8-11]. 그러나 CO_2가스를 이용할 경우에는 CO_2와 SiO_2와 화학적으로 구조가 유사하여 안정성이 증가하며 Si와 SiO_2계면에 생성되는 Si와 탄소(carbon, C)의 결합이 포획 중심으로 작용하지 않아 D_{it}를 향상시키기 때문에 고품질 SiO_2를 생성할 수 있다 [12,13].

본 연구에서는 SiH_4과 CO_2가스를 이용하여 증착한 SiO_2 박막을 NVM의 터널층에 적용하였으며 또한 SiH_4와 N_2O가스로 증착한 SiO_2를 NVM 터널층에 적용하여 NVM 소자에 미치는 영향을 비교하였다. 이를 통해 CO_2가스로 인한 터널층 박막의 D_{it} 감소가 계면에서 포획되는 전하를 줄여 낮은 구동전압의 메모리 특성을 지니게 하며, 차세대 NVM 소자의 터널층으로 적용 가능한 박막중 하나로 제안한다.

2. 실험 방법

다른 산화성 가스로 증착된 SiO_2박막의 특성을 비교하기 위해 1-10 Ω·㎝의 비저항을 지닌 n형 Si 웨이퍼를 사용하였다. BHF(buffered hydrofluoric acid)를 사용하여 Si 웨이퍼 표면의 자연 산화막을 제거한 후, ICP-CVD로 SiH_4과 CO_2가스를 사용하여 250℃, 100 mTorr의 공정조건에서 3.5 nm의 $SiO_2(CO_2)$ 박막과 SiH_4과 N_2O가스를 사용하여 유사한 공정조건에서 3.5 nm의 $SiO_2(N_2O)$박막을 형성시켰다. 다음으로 두 박막 위에 SiH_4의 비율이 80%인 SiH_4과 암모니아 혼합가스를 사용하여 250℃, 100 mTorr인 공정조건에서 실리콘 함량이 많은 실리콘 나이트라이드(silicon nitride, SiN_x)를 15 nm의 두께 만큼 증착하여 전하저장층으로 사용하였다. 연속으로 전하차단층에 해당하는 20 nm의 SiO_2를 증착하여 MIS구조의 NMM을 제작하였다. 박막특성 및 MIS구조 NVM의 메모리 특성을 분석하기 위해 HP impedance analyzer와 Keithely electrometer와 semiconductor test analyser를 사용하여 측정 및 분석하였다.

3. 결과 및 고찰

그림 1은 Si의 에너지 영역에서의 D_{it}를 나타낸 그래프이다. 위 D_{it}는 Terman 방법으로 1 MHz의 고주파수, 실내 온도에서 Si 웨이퍼 위에 증착된 각각의 SiO_2박막의 정전용량과 전압변화에 따른 표면전압을 측정 및 계산되었다.

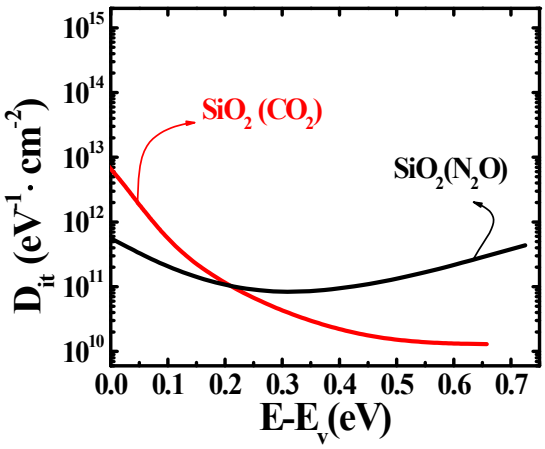

Fig. 1. The calculated energetic distributions of interface state density $D_{it}(E)$ obtained on insulator of $SiO_2(CO_2)$ and $SiO_2(N_2O)$.

Terman 방법으로 추출된 D_{it}계산식은 아래의 식과 같으며 이를 통해 계산된 D_{it}는 계면의 결함 정도를 가늠하게 해준다 [14].

$$D_{it} = \frac{C_{OX}}{q}\left(\frac{dV_G}{d\phi_S} - 1\right) - \frac{C_S}{q} = \frac{C_{OX}}{q}\frac{d(\Delta V_G)}{d\phi_S}$$

C_{ox}는 SiO_2의 정전용량 값, ϕ_s는 표면전위 값 그리고 V_G는 게이트전압을 나타낸다. 위 식을 통해 추출된 D_{it}의 최솟값은 $SiO_2(CO_2)$와 $SiO_2(N_2O)$박막이 0.3 eV에서 0.7 eV 범위 내에서 각각 1×10^{10} $cm^{-2}\cdot eV^{-1}$, 3.31×10^{10} $cm^{-2}\cdot eV^{-1}$을 나타냄을 통해 CO_2가스를 이용하였을 때 계면결함이 2.55배 적음을 추측할 수 있다. N_2O 가스를 이용하여 증착할 때 가스에 포함된 N성분이 계면에서 Si과 산소와의 결합력이 약한 결합을 깨고

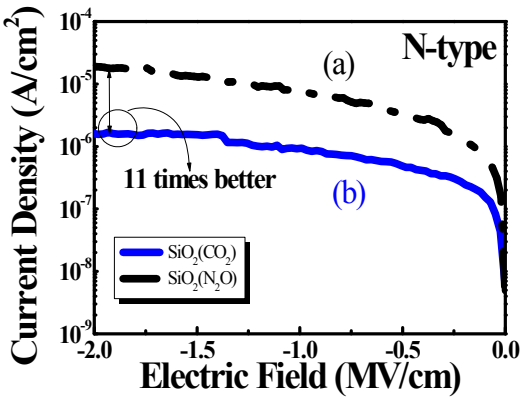

Fig. 2. The current density-electric field (J-E) curve for <Al/3.5 nm SiO_2/Si(100)> MOS diode with a) SiO_2 using SiH_4 and N_2O b) SiO_2 using SiH_4 and CO_2.

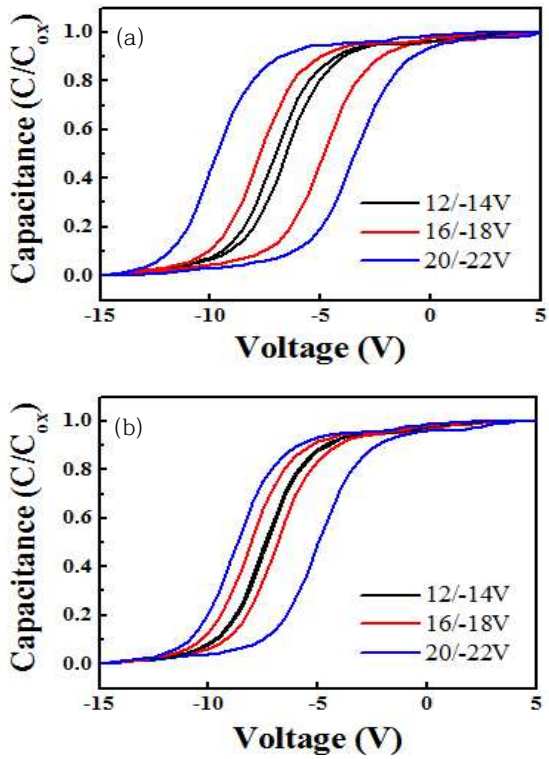

Fig. 3. Hysteresis capacitance-voltage(C-V) characteristics of MIS structure NVM using (a) $SiO_2(CO_2)$ on tunneling layer, (b) sing $SiO_2(N_2O)$ on tunneling layer.

Si-N 결합을 형성하게 되는데 몇몇 결합들은 수소(hydrogen, H)를 포함하여 H-N^+-3Si, 2H-N^+-2Si 결합 및 수소를 포함하지 않는 N^--2Si 결합이 되어 계면에서 포획 중심, 재결합 중심의 역할을 한다 [11]. 그러나 CO_2의 경우 SiO_2와 화학적으로 유사한 구조를 지니고 있어 Si-C 결합으로 인한 포획 중심 생성이 상대적으로 적기 때문에 결과적으로 이는 $SiO_2(CO_2)$ 박막의 D_{it}가 $SiO_2(N_2O)$박막의 D_{it}보다 작은 요인이 된다.

그림 2는 -1 V에서 0 V 범위에서 측정된 전기장에 대한 전류밀도를 나타낸 그래프이며 그래프에서 (a)곡선은 $SiO_2(N_2O)$ 박막, (b)곡선은 $SiO_2(CO_2)$박막으로 이루어진 MOS diode의 전류밀도를 나타내었다. -2 MV/cm의 전기장에서 (a)와 (b) MOS diode의 전류밀도는 각각 1.89×10^{-5} A/cm^2, 1.61×10^{-6} A/cm^{2}의 수치를 보여 (a)가 11배 높음을 알 수 있다. MOS diode의 산화막 자체의 성분과 특성이 전기적 특성에 영향을 미치지만 Si과 SiO_2의 계면 특성 또한 영향을 미친다는 점을 고려한다면 (a) MOS diode의 산화막의 D_{it}가 작기 때문에 계면에서 포획되는 전하의 수가 감소하므로 0 V 이하에서 나타나는 전기장에서 보이는 누설전류가 (b) MOS diode의 누설전류보다 작게 나타나는 요인으로 추측할 수 있다.

그림 3은 MIS구조 NVM의 터널층에 각각 $SiO_2(CO_2)$, $SiO_2(N_2O)$를 적용하여 여러 스트레스전압 범위에서 전압에 따른 정전용량을 정규화(normalization)하여 나타낸 그래프이다. $SiO_2(CO_2)$박막을 터널층에 적용한 MIS구조 NVM의 C-V 특성은 그래프 (a)에, $SiO_2(N_2O)$박막을 터널층에 적용한 것은 (b)그래프에 나타나있다. +12 V에서 -14 V의 낮은 스트레스 전압에서 나타나는 (a)와 (b)의 메모리윈도우는 각각 0.51 V, 0.10 V를 보이며 +16 V에서 -18 V의 스트레스 전압에서는 각각 2.92 V, 1.23 V를 보였으며 +20 V에서 -22 V의 높은 스트레스 전압에서는 각각 6.31 V, 3.72 V의 수치를 나타내었다.

표 1에 위와 같은 결과를 간략히 요약하였다. 같은 범위 내의 스트레스전압에서 $SiO_2(CO_2)$박막을 터널층에 적용한 MIS-NVM인 (a)그래프에서 (b)보다 넓은 메모리윈도우 특성을 보이고 있다. (a)그래프는 +12 V에서 -14 V의 낮은 스트레스전압에서 5.1배, +16 V에서 -18 V의 스트레스 전압에서 2.3배, +20 V에서 -22 V의 높은 스트레스전압에서 1.7배의 향상된 메모리윈도우를 보이지만 스트레스전압이 증가함에 따라 증가하는 크기가 점점 감소함을 알 수 있다. 이는 스트레스전압의 크기가 증가할수록 터널층을 이동하는 전하가 받는 에너지가 증가하여 계면에 포획되기 어려워지기 때문에 고전압을 가할수록 메모리윈도우 크기의 증가량이 감소하는 것이다. 결과적으로 메모리윈도우가 D_{it}의 영향을 받음을 확인할 수 있다.

Table 1. The memory window of MIS structure NVM applied SiO_2 using CO_2 gas or N_2O gas on tunneling layer for various range of bias stress voltage.

Stress voltage range	$SiO_2(CO_2)$ NVM memory window	$SiO_2(N_2O)$ NVM memory window
+12 V/-14 V	0.51 V	0.10 V
+16 V/-18 V	2.92 V	1.23 V
+20 V/-22 V	6.31 V	3.72 V

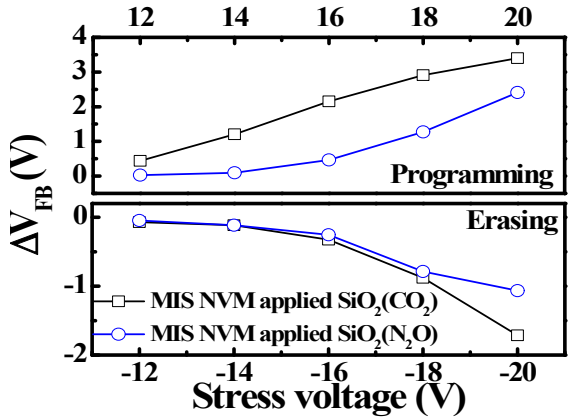

Fig. 4. Programming and erasing characteristics of each MIS structure NVM applied $SiO_2(CO_2)$ and $SiO_2(N_2O)$ thin film to tunneling layer at different operating voltages.

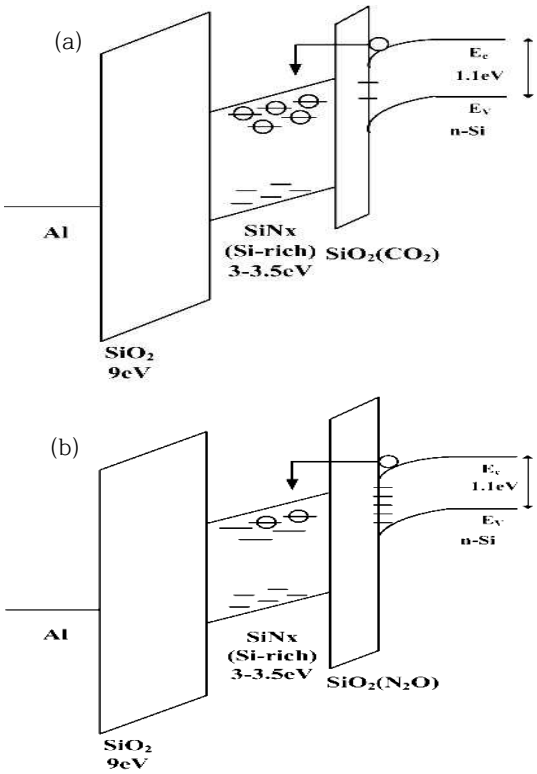

Fig. 5. Energy band diagram of MIS structure NVM using (a) $SiO_2(CO_2)$ thin film on tunneling layer, (b) $SiO_2(N_2O)$ thin film on tunneling layer after applying positive bias voltage.

그림 4는 각 MIS구조의 NVM 소자의 쓰기 및 소거 특성을 나타낸 그래프이다. 쓰기와 소거 특성을 나타낸 그래프에서 두 소자의 플랫밴드전압 이동(flat band voltage shift, $\triangle V_{FB}$)의 크기를 비교하였을 때 상대적으로 $SiO_2(CO_2)$박막을 터널층에 적용한 MIS구조 NVM 소자가 +20 V에서 -20 V까지의 스트레스전압 범위에서 전체적으로 우수한 특성을 보였다. 그런데 소거 특성보다 쓰기 특성의 $\triangle V_{FB}$ 차이가 더 크게 나타남을 고려하면 $SiO_2(N_2O)$박막의 계면에 전자를 포획하는 $H\text{-}N^+\text{-}3Si$, $2H\text{-}N^+\text{-}2Si$ 결합이 더 많을 것이라고 추측할 수 있다.

그림 5는 각각의 $SiO_2(CO_2)$, $SiO_2(N_2O)$박막이 터널층에 적용된 MIS구조의 NVM에 양전압이 인가되었을 때 전하의 이동 및 포획이 발생하는 과정을 밴드 다이어그램(band diagram)으로 나타낸 그림이다. 그림 5의 전하포획층의 SiN_x와 전하차단층인 SiO_2는 동일 공정에서 형성되었기 때문에 유사하게 나타내었다. 또한 위 논문에서 증착된 SiN_x박막은 Si함량이 더 많기 때문에 기존의 절연 목적으로 사용하는 SiN_x보다 밴드갭이 작고 댕글링 본드(dangling bond) 등 여러 실리콘 결함을 지님을 감안하여 밴다이어그램에 묘사하였다 [15].

$SiO_2(CO_2)$박막이 터널층에 적용된 MIS구조 NVM이 그려진 (a)는 계면에 있는 포획 중심이 적기 때문에, 양전압이 걸리면 이동할 수 있는 전자의 수가 $SiO_2(N_2O)$ 박막이 적용된 (b)에 비해 많다. (a)의 이동하는 전자는 SiN_x의 포획 중심에 갇혀 많은 수의 전하가 저장되지만 (b)의 이동하는 전자는 SiN_x이 아닌 계면에 있는 포획 중심에 갇히거나 혹은 계면의 포획 중심에서 벗어나기 위해 에너지를 소모하였으므로 SiN_x의 포획 중심에 도달하기 충분하지 않아 저장되는 전하가 적다. 결과적으로 계면에 포획된 전하 또한 저장을 하기 위해서는 상대적으로 높은 구동전압이 필요로 하므로 (a)가 (b)보다 상대적으로 저전력메모리의 특성을 가지게 된다.

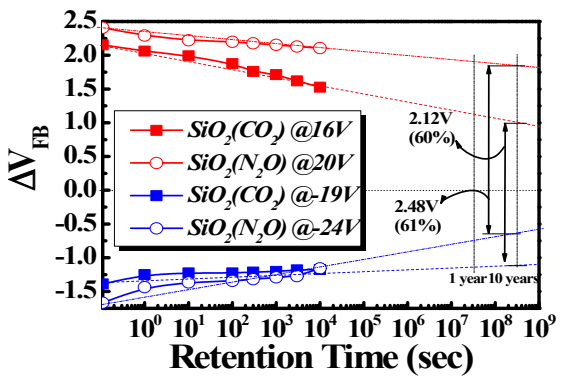

Fig. 6. The capabilities of more than 10 years MIS structure memory retention for +16/-20 V of $SiO_2(CO_2)$ tunneling layer and +20/-24 V of $SiO_2(N_2O)$ tunneling layer.

게다가 Si-N의 결합은 물질의 유전율을 상승시키고 Si-C결합은 감소시키는 경향이 있으므로 [16,17] 이와 같은 차이 또한 전압이득의 요인이라고 판단할 수 있다. 실제로 실험을 통해 $SiO_2(N_2O)$의 유전율이 1.7배 크다는 것을 확인하였고 등가산화물 두께(equivalent oxide thickness)를 고려한다면 이는 $SiO_2(N_2O)$의 박막 두께가 1.7배 두껍다는 의미이다 [18]. NVM의 터널층의 두께가 두꺼울수록 전하보유 특성(retention characteristics)이 증가하지만 구동전압 크기가 증가한다는 단점으로 인해 $SiO_2(CO_2)$박막을 터널층에 사용하는 것이 적합하다고 판단된다.

그림 6은 스트레스전압을 가한 후 전하보유 특성을 측정하여 나타낸 그래프이다. $SiO_2(CO_2)$박막을 적용한 MIS구조 NVM은 +16 V에서 -19 V의 스트레스전압 범위에서 3.54 V의 메모리윈도우를 보였으며 $SiO_2(N_2O)$박막을 적용한 경우는 +20 V에서 -24 V의 스트레스 전압범위에서 4.07 V의 메모리윈도우를 보였다. 그림 6에서 10년 후를 가정하였을 때 $SiO_2(CO_2)$, $SiO_2(N_2O)$ NVM의 메모리윈도우는 각각 2.12 V, 2.48 V로 추측되었으며 이를 통해 각각의 NVM은 60%, 61%의 전하보유 특성 지닌다는 것을 알 수 있었다. CO_2가스를 사용하였기에 유전율 측면에 있어서 전하보유 특성의 감소가 우려되었지만 실험을 통해 터널층의 D_{it}와 누설전류의 감소로 전하보유 특성이 크게 저하되지 않았음을 확인하였다.

4. 결 론

SiH_4와 CO_2가스, SiH_4와 N_2O가스를 이용하여 3.5 nm 두께의 SiO_2를 증착하였고 각 박막의 D_{it} 및 전기적 특성을 분석하였다. 또한 각각의 박막을 터널층으로 적용한 MIS구조의 NVM으로부터 메모리 및 전하보유 특성을 확인하였다. 단일박막의 D_{it}를 측정하였을 때 $SiO_2(CO_2)$ 박막의 D_{it}가 $SiO_2(N_2O)$박막보다 2.55배 작음을 알 수 있었다. 또한 J-E그래프에서 CO_2를 이용한 SiO_2박막의 전류밀도가 -2 MV/cm의 전기장에서 1.61×10^{-6} A/cm^{2}값을 나타내었고 이는 N_2O를 이용한 SiO_2박막의 전류밀도보다 11배가량 적은 수치였다. 두 박막을 MIS구조 NVM의 터널층에 적용하였을 때 $SiO_2(CO_2)$를 사용한 NVM의 메모리윈도우는 +20 V에서 -20 V까지의 스트레스전압에서 $SiO_2(N_2O)$를 이용한 MIS구조 NVM보다 우수하였다. 게다가 10년 후를 가정하여 전하보유 특성을 추측하였을 때, 전하보유 특성의 차이가 약 1%로 매우 적게 나타남을 알 수 있었다. 이를 통하여 SiO_2 물질을 메모리의 터널층으로 증착 시 CO_2 가스를 이용하는 것이 낮은 전압에서 메모리를 구동시킬 수 있으며 전하보유 특성 또한 기존과 크게 다르지 않으므로 이점이라고 판단한다.

감사의 글

This work (Grants No. C0300055) was supported by Business for Cooperative R&D between Industry, Academy, and Research Institute funded Korea Small and Medium Business Administration in 2015.

REFERENCES

[1] A. Chen, *Solid State Device Research Conference 2015 45th European* (eds. W. Pribyl, T. Grasser and M. Schrems) (IEEE, 2015) p. 109

[2] M. A. Beunder, R. V. Kampen, D. Lacey, M. Renault, and C. G. Smith, Non-Volatile Memory Technology Symposium 2005 (IEEE, 2005) p. 65

[3] C. H. Cheng, F. S. Yeh, and A. Chin, *Adv. Mater.*, **23**, 902 (2011). [DOI: http://dx.doi.org/10.1002/adma.201002946]

[4] H. C Card and M. I. Elmasry, *Solid-State Electronics*, **19**, 863 (1976). [DOI: http://dx.doi.org/10.1016/0038-1101(76)90044-7]

[5] Y. C. King, Y. J. King, and C. Hu, *IEEE Electron Devices Lett.*, **20**, 409 (1999). [DOI: http://dx.doi.org/10.1109/55.778160]

[6] H. T. Chen, S. I. Hsieh, C. J. Lin, and Y. C. King, *IEEE Electron Devices Lett.*, **28**, 499 (2007).

[DOI: http://dx.doi.org/10.1109/LED.2007.896894]
[7] J. H. Joo, *J. Kor. Inst. Surf. Eng.*, **41**, 279 (2008). [DOI: http://dx.doi.org/10.5695/JKISE.2008.41.6.279]
[8] D. L. Smith and A. S. Alimonda, *J. Electronchem. Soc.*, **140**, 1496 (1993).
[9] K. Radouane, L. Date, M. Yousfi, B. Despax, and H. Caquineau, *J. Phys. D: Appl. Phys.*, **33**, 1332 (2000). [DOI: http://dx.doi.org/10.1088/0022-3727/33/11/312]
[10] M. I. Alayo, I. Pereyra, W. L. Scopel, and M.C.A. Fantini, *Thin Solid Films*, **402**, 154 (2002). [DOI: http://dx.doi.org/10.1016/S0040-6090(01)01685-6]
[11] G. Lucovsky, Z. Jing, and D. R. Lee, *J. Vac. Sci. Technol. B*, **14**, 2832 (1996). [DOI: http://dx.doi.org/10.1116/1.588841]
[12] B. Holm, T. Ahuja, A. Belonoshko, and B. Johansson, *Phys. Rev. Lett.*, **85**, 1259 (2000). [DOI: http://dx.doi.org/10.1103/PhysRevLett.85.1258]
[13] M. T. Lee, C. H. Liu, and K. Y. Fu, http://www.google.com/patent/US6268269#backward-citations (1999).
[14] E. H. Nicollian and J. R. Brews, MOS (Metal Oxide Semiconductor) Physics and Technology (John Wiley and Sons, New York, 1982)
[15] J. Robertson and M. J. Powell, *Appl. Phys. Lett.*, **44**, 415 (1984). [DOI: http://dx.doi.org/10.1063/1.94794]
[16] K. F. Albertin and I. Pereyra, *Microelectronic Engineering*, **77**, 144 (2005). [DOI: http://dx.doi.org/10.1016/j.mee.2004.10.002]
[17] C. Y. Kim, S. H. Kim, R. Navamathavan, C. K. Choi, and W. Y. Jeung, *Thin Solid Film*, **516**, 340 (2007). [DOI: http://dx.doi.org/10.1016/j.tsf.2007.06.097]
[18] M. Suzuki, T. Yamaguchi, N. Fukushima, and M. Koyama, *J. Appl. Phys.*, **103**, 034118 (2008). [DOI: http://dx.doi.org/10.1063/1.2838470]