

이진 가중치 전류 제어 기법을 이용한 고속 응답 디지털 LDO 레귤레이터

우기찬¹ · 심재현² · 김태우¹ · 황선광¹ · 양병도^{3*}

Fast-Transient Digital LDO Regulator With Binary-Weighted Current Control

Ki-Chan Woo¹ · Jae-Hyeon Sim² · Tae-Woo Kim¹ · Seon-Kwang Hwang¹ · Byung-Do Yang^{3*}

¹Department of Semiconductor Engineering, Chungbuk National University, Cheongju, 28644, Korea

²Siliconworks, Daejeon, 34027, Korea

³Department of Electronics Engineering, Chungbuk National University, Cheongju, 28644, Korea

요 약

본 논문에서는 이진 가중치 전류 기법을 이용한 고속 디지털 LDO(Low Dropout) 레귤레이터를 제안했다. 기존의 디지털 LDO는 일정량의 전류를 한 단계씩 제어하기 때문에 응답하는데 오랜 시간이 걸리며, 링잉 문제가 발생하게 된다. 이중 가중치 전류 기법은 링잉 문제를 제거함으로써 출력전압이 빠르게 안정화되도록 한다. 출력전압이 목표 전압에 안정적으로 도달하면, 디지털 LDO의 동작을 멈추는 프리즈 모드를 추가했다. 제안된 고속 응답 디지털 LDO는 출력 전원 전압이 급격히 바뀌는 시스템에서 응답속도가 느린 DC-DC 변환기와 함께 사용되어 출력전압을 빠르게 변화하도록 한다. 제안된 디지털 LDO는 기존의 양방향 시프트 레지스터보다 면적이 56% 감소했고, 리플전압이 87% 감소했다. 제안된 디지털 컨트롤러는 0.18 μ m CMOS 공정으로 제작되었다. 1 μ F의 출력 캐패시터에서 정착시간이 3.1 μ s 이고, 리플전압은 6.2mV 였다.

ABSTRACT

This paper proposes a fast-transient digital LDO(Low dropout) regulator with binary-weighted current control technique. Conventional digital LDO takes a long time to stabilize the output voltage, because it controls the amount of current step by step, thus ringing problem is generated. Binary-weighted current control technique rapidly stabilizes output voltage by removing the ringing problem. When output voltage reliably reaches the target voltage, It added the FRZ mode(Freeze) to stop the operation of digital LDO. The proposed fast response digital LDO is used with a slow response DC-DC converter in the system which rapidly changes output voltage. The proposed digital controller circuit area was reduced by 56% compared to conventional bidirectional shift register, and the ripple voltage was reduced by 87%. A chip was implemented with a 0.18 μ m CMOS process. The settling time is 3.1 μ s and the voltage ripple is 6.2mV when 1 μ F output capacitor is used.

키워드 : 이진 가중치 전류, 디지털 LDO, 레귤레이터, 리플전압

Key word : Multiple current, digital LDO, regulator, ripple

Received 26 April 2016, Revised 27 April 2016, Accepted 08 May 2016

* Corresponding Author Byung-Do Yang(E-mail:bdyang@chungbuk.ac.kr, Tel:+82-43-261-3583)

Department of Electronics Engineering, Chungbuk National University, Cheongju, 28644, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.6.1154>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

공정기술이 발전함에 따라 코어 프로세서에 다양한 회로가 집적화되고 있다. 그림 1을 보면 코어 프로세서 시스템에 공급되는 전원 전압은 구동 회로의 종류에 따라서 필요한 전압 및 주파수가 달라진다. 코어 프로세서에서 구동 동작에 따라 필요한 전압이 다르기 때문에, 전원전압이 고속으로 변할 필요가 있다. 따라서, 필요한 전원전압을 빠르고 안정적으로 공급하는 전원 공급 장치가 필요하다[1, 2].

고성능의 코어 프로세서용 전력 모듈 설계를 위해서 그림 2(a) 와 같이 디지털 LDO(Low Dropout) 및 스위칭 레귤레이터를 혼합하는 전원전압 관리 회로에 대한 연구가 활발히 이루어지고 있다[3-6]. 그림 2(b)와 같이 요구되는 전압이 바뀔 경우, 디지털 LDO를 동작시켜 출력전압이 순간적으로 기준전압을 쫓아가게 한다. 그 후에 출력전압이 기준전압에 도달하면, 스위칭 레귤레이터[7, 8]를 동작시켜 안정적인 전압을 높은 효율로 공급한다. 디지털 LDO는 출력전압이 고속으로 생성되지만 전력 효율이 낮고 리플전압이 크게 발생하는 문제점이 있다. 한편, 스위칭 레귤레이터는 전력 효율을 높게 유지하지만 인덕터의 사용 때문에 출력전압이 빠르게 목표전압(V_{REF})을 쫓아가지 못하는 단점이 있다.

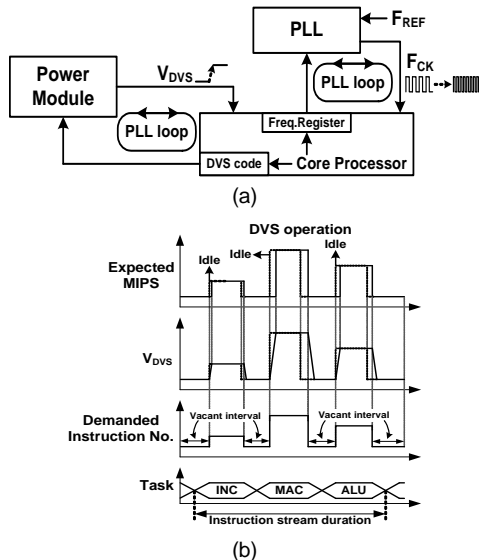


Fig. 1 Core processor power management system (a) circuit (b) Operation diagram

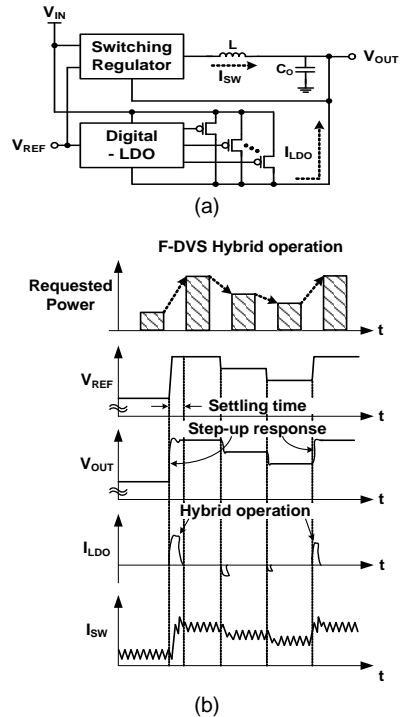


Fig. 2 Hybrid regulator(digital LDO and switching regulator parallel connection) (a) circuit (b) Operation diagram

기존의 디지털 LDO는 전력 스위치 어레이를 하나씩 제어해서 출력전압이 목표전압(V_{REF})에 도달하는데 오랜 시간이 걸린다. 또한 출력전압이 목표 전압에 도달 이후에도 링잉(Ringing)이 크게 발생하는 문제점이 있다. 기존의 디지털 LDO는 링잉이 발생하기 때문에 출력전압이 안정화된 이후에도, 오랜 시간 동안 저효율의 디지털 LDO를 동작시키게 된다. 결과적으로, 고속의 전원전압변화가 어려우며, 디지털 LDO를 필요 이상의 시간을 사용하여 전력효율을 감소시킨다.

본 논문에서는 이중 가중치 전류를 이용하여 스위치 어레이의 수를 효율적으로 제어함으로써 출력전압이 목표전압에 안정화 되는 시간을 줄이고, 링잉 문제를 해결한 디지털 LDO를 제안했다. 또한, 디지털 LDO의 동작 유무 시점을 자체적으로 정확히 알아내는 프리즈 모드를 적용하여, 외부 커패시터의 변화에도 정착 시점을 자체적으로 인식 할 수 있도록 했다. 결과적으로, 프리즈 모드를 제공함으로써, 디지털 LDO가 동작하는 시간을 최소화하여 전력 효율을 크게 향상시킬 수 있다.

본 논문의 II장에서는 제안된 디지털 LDO의 설계 및 동작을 설명하고, III장에서는 실험 결과를 검증하였다. 그리고 마지막으로 IV장에서 결론을 맺었다.

II. 본 론

그림 3은 기본적인 디지털 LDO 회로이다 [2]. 디지털 LDO는 비교기, 디지털 제어기, 스위치 어레이, 클럭 생성기로 구성된다. 비교기는 기준전압(V_{REF})과 디지털 LDO의 출력전압(V_{OUT})을 비교한다. 디지털 제어기는 비교기 결과 값을 토대로 스위치 어레이의 동작 개수를 조절한다. 스위치 어레이에서 조절된 전류(I_{SUPPLY})가 출력단 커패시터(C_O)로 공급된다. 클럭 생성기는 동작 신호가 발생하면 클럭을 생성한다.

그림 4는 기존의 양방향 쉬프트 레지스터를 이용한 디지털 LDO 회로와 동작을 보여준다[2]. 그림 4(a)는 양방향 쉬프트 레지스터의 제어기를 보여준다. 제어기는 플립플롭과 멀티플렉서로 구성되며 스위칭 어레이의 동작 개수를 조절한다. 그림 4(b)는 스위치 어레이 제어 동작을 보여준다. 비교기의 결과값이 '0'일 경우 스위치 제어 전압('1')이 오른쪽으로 이동하면서 PMOS 스위치를 순차적으로 켜주게 된다. PMOS 스위치는 공급전류를 증가시키고, 공급된 전류는 부하 커패시터에 저장되며 출력전압을 증가시킨다. 반면에 비교기의 결과값이 '1'일 경우 스위치 제어 전압이 왼쪽으로 이동하면서 PMOS 스위치를 순차적으로 꺼주게 된다. 공급전류는 감소되면서 출력전압을 감소시킨다. 기존의 양방향 쉬프트 레지스터 방식을 이용한 디지털 LDO의 제어기는 스위치 어레이 1개를 제어하기 위해서 1개의 플립플롭과 멀티플렉서가 필요해서 면적이 큰 단점을 가진다. 그림 4(c)는 기존의 양방향 쉬프트 레지스터 방식을 이용한 디지털 LDO 동작 다이어그램이다. 기준전압이 V_1 에서 V_2 로 변할 때, 클럭 동작 신호가 발생하여 디지털 LDO를 동작시킨다. 비교기의 출력에 따라 스위치 어레이의 PMOS 및 NMOS 동작 개수를 조절하여 출력전압이 목표전압을 쫓아간다. 하지만 스위치 개수를 한 개씩 조절하기 때문에 출력전압이 목표전압에 도달하는데 오랜 시간이 필요하다. 또한, 기준전압이 출력전압에 도달 후에도 비교기의 출력값이 '0'과 '1'을 반복하고,

스위치 어레이의 수를 하나씩 조절하기 때문에 출력전압에 링잉이 생기는 문제점이 발생한다.

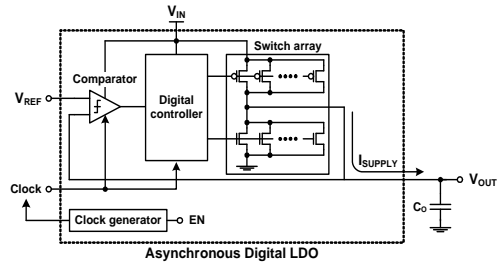


Fig. 3 Digital LDO circuit

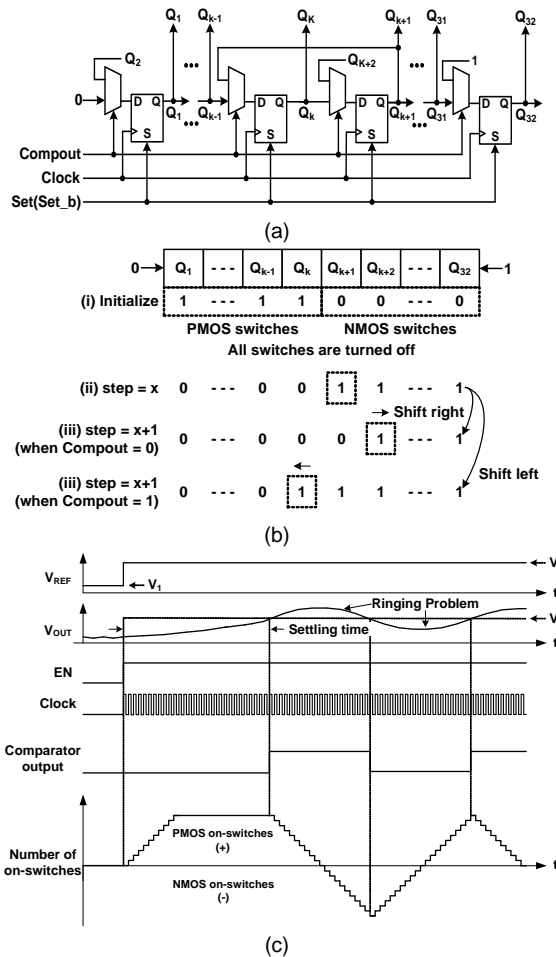


Fig. 4 Conventional digital LDO using bi-directional shift register (a) Controller circuit (b) Operation description (c) Operation diagram

그림 5는 제안된 스위치 어레이를 보여준다. 제안된 스위치 어레이는 스위치 트랜지스터의 사이즈가 이진 배열(binary-weighted)로 되어있으며 5개의 블록으로 구성됐다. 따라서 각 블록마다 생성되는 전류는 이중가중치 만큼 달라진다. 디지털 제어를 통해서 SW1~SW5의 동작 유무를 결정한다. 목표전압(V_{REF})이 출력 전압보다 높게 변했을 경우, 비교기의 결과(Comparator output)가 '1'이 된다. 모든 PMOS 스위치가 동작하여 출력전압(V_{OUT})이 빠르게 목표전압(V_{REF})을 쫓아간다. 출력전압이 목표전압에 도착하고 나면, 비교기의 출력값에 따라 PMOS 또는 NMOS를 순차적으로 정지시켜 안정화시간을 감소시킨다.

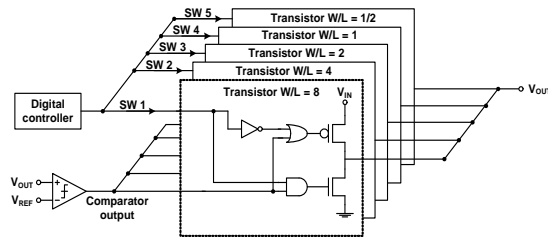


Fig. 5 Proposed switch array

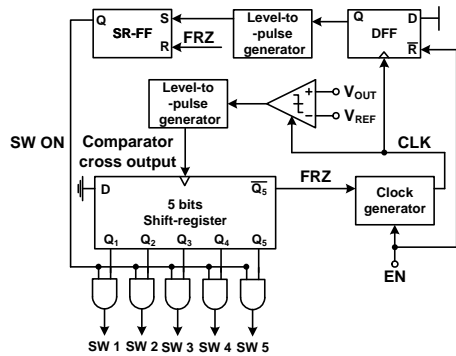


Fig. 6 Proposed digital controller

그림 6은 제안된 디지털 제어를 보여준다. 제안된 디지털 제어기는 쉬프트 레지스터, 두 개의 레벨 펄스 생성기, 비교기, 클럭 발생기, 두 개의 플립플롭으로 이루어져 있다. 클럭 동작 신호(EN)가 생성되면 플립플롭과 레벨 펄스 발생기에서 인식해서 SW_ON 신호가 '1'이 된다. SW1~SW5는 쉬프트 레지스터 결과값(Q1~Q5)에 결정된다. 결과값이 '1'일 경우 스위치 셀을 동작시키고, '0'일 경우 스위치 셀 동작을 멈춘다.

디지털 LDO의 동작 유무를 제어하는 프리즈(FRZ: freeze) 신호는 비교기, 레벨-펄스 생성기, 5비트 쉬프트 레지스터로 이루어져 있다. 비교기의 출력값이 '0'에서 '1'로 또는 '1'에서 '0'으로 교차할 경우만 레벨 펄스 생성기에서 비교기 출력값 변화 감지 신호(Comparator cross output)를 발생시킨다. 이 신호가 쉬프트 레지스터의 클럭으로 동작하면서 SW1에서 SW5 까지 순차적으로 켜게 된다. 5번 교차하게 되면 FRZ 신호가 '1'이 되면서 클럭 생성기와, SR-플립플롭의 동작을 멈춘다. 그 결과 디지털 LDO의 동작이 멈추게 된다.

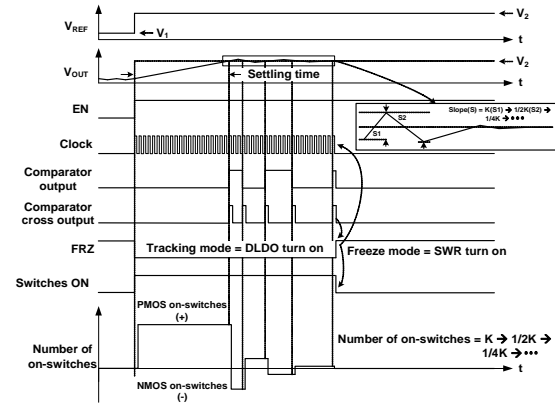


Fig. 7 Proposed digital LDO operation diagram

그림 7은 배수 전류를 이용한 고속 디지털 LDO 동작 다이어그램이다. 기준전압이 V_1 에서 V_2 로 변하면 출력 전압이 기준전압으로 빠르게 쫓아가기 위해서 모든 PMOS 스위치 어레이를 켜다. 출력전압이 기준전압에 도달하면 비교기의 출력값이 '1'로 바뀌게 되면서 비교기 출력값 변화 감지 신호(comparator cross output)를 생성한다. 교차 신호가 발생함에 따라 스위치 셀이 하나씩 꺼지기 때문에 출력전압의 기울기가 이진으로 줄어들게 되면서 적은 리플 전압을 보여준다. 5번의 교차 후에는 출력전압이 기준전압에 안정적으로 도달하며 FRZ 신호를 생성하게 된다. 기존의 디지털 LDO에서 발생하는 링잉 문제점이 제거된다.

제안된 디지털 LDO는 요구되는 전압이 변화 할 때, 모든 스위치 어레이를 동시에 켜므로써 기존의 하나씩 스위치 어레이를 켜는 방법에 비해서 동작속도를 감소시켰다. 또한, 회로 자체적으로 디지털 LDO와 스위칭 레귤레이터의 동작 시점을 구별하는 프리즈 모드를 적

용하여 외부 커패시터 변화에도 두 회로간의 동작 여부를 구분할 수 있게 됐다. 하지만 기존의 디지털 LDO 회로는 자체적으로 동작 여부를 지시하는 신호를 생성할 수 없기 때문에 출력전압이 기준전압에 도달한 후에도 일정 시간을 소모하게 됨으로 디지털 LDO의 파워 소비를 증가시킨다.

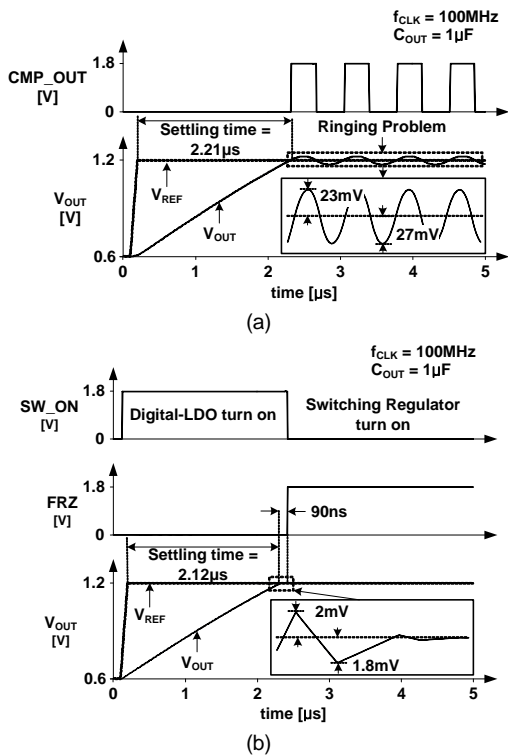


Fig. 8 Proposed digital LDO versus conventional digital LDO ripple voltage comparison diagram (a) conventional digital LDO (b) proposed digital LDO

그림 8은 기존의 양방향 쉬프트 레지스터 방식을 이용한 디지털 LDO와 제안된 디지털 LDO의 출력 스윙 비교 동작 다이어그램이다. 기존의 디지털 LDO는 기준전압이 600mV에서 1.2V로 변화할 때, 안정화 시간은 2.21μs이다. 출력전압이 기준전압에 도달하고 나면 비교기의 출력값이 '0'과 '1' 사이를 교차하게 되므로 출력전압에 링잉이 발생하게 된다. 링잉 문제로 인하여 출력전압에 리플이 50mV 발생한다. 제안된 디지털 LDO는 기준전압이 600mV에서 1.2V로 변화할 때, 추안정화 시간이 2.12μs이다. 출력전압이 기준전압에 도

달하게 되면 이전배열의 스위치 어레이의 의해서 공급전류가 2배씩 감소된다. 공급전류가 조절되면서 출력전압에서 발생하는 리플은 최대 3.8mV이다. 비교기의 출력값이 '0'에서 '1' 또는 '1'에서 '0'으로 5번 교차하게 되면 디지털 LDO 동작을 멈추는 FRZ 신호가 발생하면서 스위칭 레귤레이터가 동작하게 된다. 결과적으로, 제안된 디지털 LDO는 기존의 디지털 LDO에 비해서 90ns 정착시간이 감소되었으며, 클럭 주파수가 낮아짐에 따라 정착시간의 차이는 커질 것으로 예측된다. 출력전압의 리플이 87% 감소하였다.

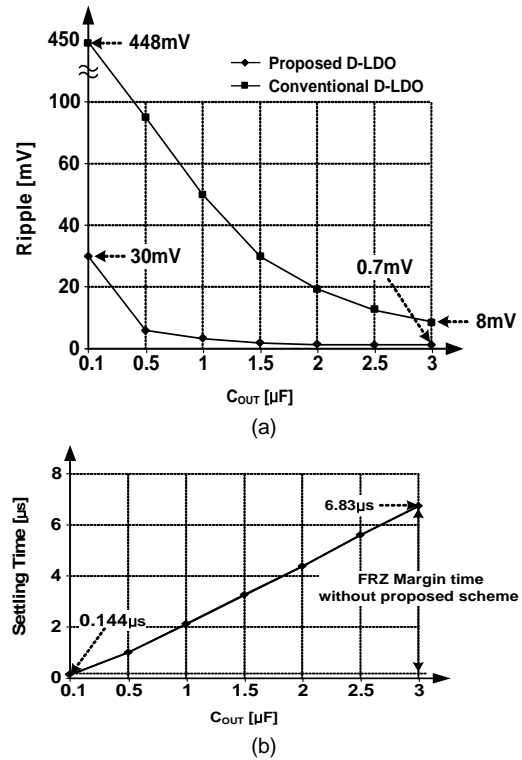


Fig. 9 Proposed digital LDO versus conventional digital LDO ripple voltage comparison diagram according to output capacitor (a) ripple voltage (b) settling time

그림 9는 외부 커패시터에 따른 리플 및 정착시간을 보여준다. 그림 9(a)는 외부 커패시터에 따른 기존의 디지털 LDO와 제안된 디지털 LDO의 출력전압 리플 비교이다. 외부커패시터가 100nF~3μF 변할 때, 기존의 디지털 LDO는 최대 리플이 448mV, 최소 리플 8mV의 성능을 보여준다. 제안된 디지털 LDO는 최대 리플이

30mV, 최소 리플 0.7mV 보인다. 기존의 디지털 LDO에 비해서 최대 93% 리플이 감소됐다. 그림 9(b)는 외부 커패시터에 따른 정착시간을 보여준다. 기존의 디지털 LDO는 외부 커패시터에 따른 정착시작의 변화에 대응할 수 없으므로 스위칭 레귤레이터의 동작을 수행하기 위해서 불필요한 여분의 시간이 필요하다. 하지만 제안된 디지털 LDO는 출력전압이 기준전압 부근에서 자체적으로 FRZ신호를 생성함으로써 커패시터에 변화에 관계없이 동작 시점이 일정하게 설정되어 불필요한 시간을 줄일 수 있는 큰 장점을 지닌다. 제안된 디지털 LDO의 프리즈 모드로 인해 100nF~3μF에서 최대 6.7μs의 정착시간을 줄일 수 있다.

III. 실험

제안된 디지털 LDO는 0.18μm CMOS 공정으로 제작되었다. 그림 10과 11은 레이아웃과 측정된 파형이다. 그림 11에서 기준전압이 600mV에서 1.2V 변할 때 출력전압의 측정파형을 보여준다. 기준전압(V_{REF})이 600mV 일 때의 출력전압(V_{OUT})은 609mV 이고, 1.21V 일 때의 출력전압은 1.14V이다. 출력전압이 기준전압에 비해서 오차가 발생하는데 출력단의 기생 저항으로 인하여 전압 강하가 발생이 예측된다. 상승주기에서 출력전압의 리플은 5.8mV이고, 하강주기에서 출력전압의 리플은 6.2mV이다. 실제 칩 결과의 리플이 시뮬레이션의 리플에 비해서 오차가 발생하는데 출력단의 기생 인덕터에 의해서 발생이 예측된다.

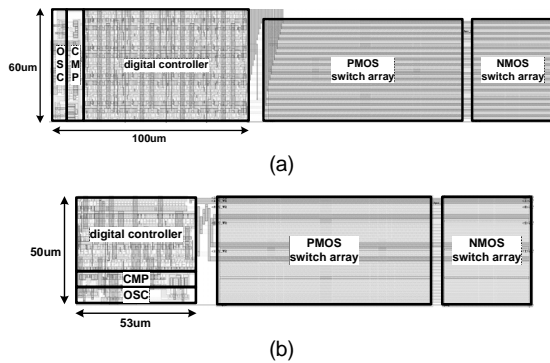
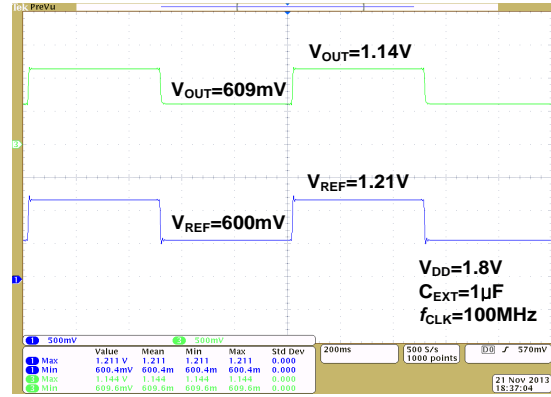
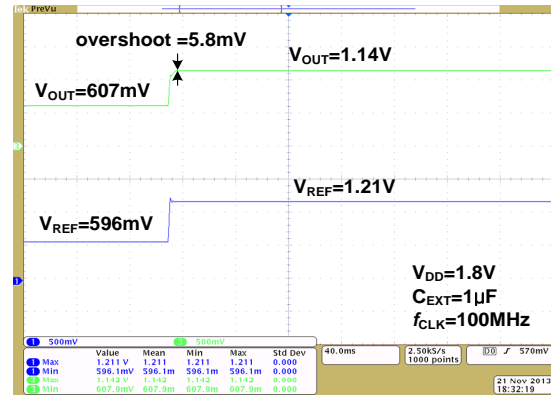


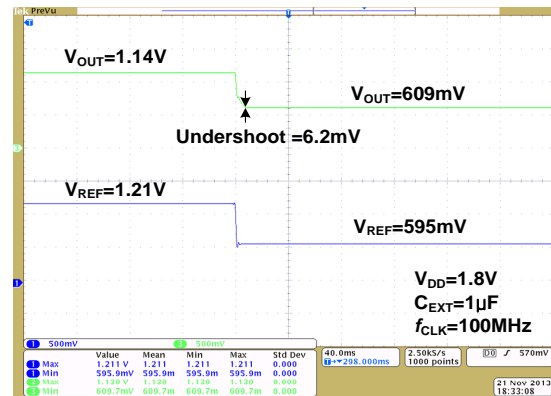
Fig. 10 Layout of digital LDO chip (a) conventional digital LDO (b) proposed digital LDO



(a)



(b)



(c)

Fig. 11 Measured waveforms of output voltage at reference voltage from 600mV to 1.2V (a) output voltage (b) output voltage of the rising edge (c) output voltage of the falling edge

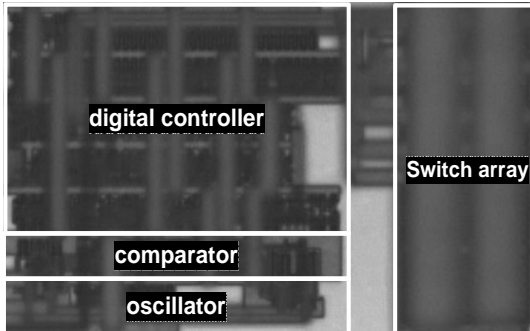


Fig. 12 Microphotograph of digital LDO chip

그림 12는 제안된 디지털 LDO의 칩 사진이다. 표 1은 디지털 LDO의 비교 결과이다. [9]번은 과도기간 동안 파워 MOSFET의 구동 전압을 제어함으로써 전하 밸런스를 조절하여 응답시간을 감소시키고, [10]번은 멀티 비트 순환 TDC(Time to digital converter)를 이용하여 응답시간을 감소시켰다. 제안된 디지털 LDO는 빠른 정착시간 및 적은 리플전압을 보여주고 있으며, 칩 면적 또한 가장 작다. 기존의 디지털 LDO는 50mV의 리플전압을 보이지만, 제안된 디지털 LDO는 3.8mV의 리플전압을 보여준다. 약, 92.4%의 리플 우수 성능을 보여준다.

실제 테스트 결과 12mV 정도의 리플전압을 보여준다. 그림 12는 제안된 디지털 LDO의 실제 칩 사진이며 0.01mm²으로 기존의 디지털 LDO보다 약 56%의 면적이 감소하였다.

또한, 제안된 디지털 LDO는 자체적인 회로의 동작 유무 신호에 의해서 외부 커패시터의 변화에도 정착시간을 인식할 수 있도록 했다. 표 1에서 제안된 디지털 LDO 결과는 한 개의 표본 칩으로 테스트한 결과이다.

IV. 결 론

본 논문에서는 기존의 디지털 LDO에서의 링잉문제를 해결하고, 다른 고효율의 스위칭 레귤레이터와 혼합되어 사용하기에 적합한 고속 응답 디지털 LDO를 제안하였다.

제안된 디지털 LDO는 스위치 어레이의 수를 이진 배열로 제어하여 고속으로 출력전압이 생성되도록 하였다. 또한, 프리즈 모드를 제공하여 회로 자체적으로 디지털 LDO의 동작 유무를 판단한다.

레이아웃 및 시뮬레이션 확인 결과 기존의 디지털 LDO에 비해서 약 56%의 면적이 감소하였고, 링잉 문제점이 발생하지 않는 상황에서 최대 리플 6.2mV로 안정한 출력전압 특성을 보였다. 제안된 디지털 LDO 칩은 0.18μm CMOS 공정을 사용하여 제작되었다. 실험에 사용된 전원 전압은 1.8V, 클럭 주파수는 100MHz, 외부 커패시터는 1μF이다.

Table. 1 Digital LDO comparison

	[9]	[10]	Conventional	This Work	
	test	test	simulation	Simulation	test
Process	0.18 μm CMOS	0.11 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	
Supply voltage (V)	0.9~1.8	0.6-1.2	1.8	1.8	
Clock frequency (MHz)	-	-	100	100	
Output capacitor (μF)	1	0.001	1	1	
settling time (μs)	4	38	2.21 (before ringing)	2.12	3.1
output voltage ripple (mV)	70	53	50	3.8	12
overshoot (mV)	-	-	23	2	5.8
undershoot (mV)	-	-	27	1.8	6.2
Area(mm ²)	0.81	0.04	0.0156	0.01	
Digital control LDO	N/A	N/A	N/A	FRZ signal	

ACKNOWLEDGMENTS

This paper was financially supported by the research of Chungbuk National Academic Support Program in 2014.

Production of the chip has been supported by the IDEC (IC Design Education Center).

REFERENCES

- [1] Y. H. Lee et al, "A Low Quiescent Current Asynchronous Digital-LDO With PLL-Modulated Fast-DVS Power Management in 40 nm SoC for MIPS Performance Improvement," *IEEE J. Solid-State Circuits*, vol. 48, no. 4, pp. 1018-1030, Apr. 2013.
- [2] Y. H. Lee et al, "A single-inductor dual-output converter with switchable digital-or-analog low-dropout regulator for ripple suppression and high efficiency operation," *IEEE Asian Solid-State Circuits Conf. (ASSCC)*, pp. 225-228, 2012.
- [3] Yasuyuki Okuma, et al, "0.5-V Input Digital LDO with 98.7% Current Efficiency and 2.7- μ A Quiescent Current in 65nm CMOS," in *Proc. of Custom Integrated Circuits Conf. (CICC)*, pp. 1-4, 2010
- [4] A. Barrado, R. Vázquez, E. Olías, A. Lázaro, and J. Pleite, "Theoretical study and implementation of a fast transient response hybrid power supply," *IEEE Trans. Power Electron*, vol. 19, no. 4, pp. 1003-1009, Jul. 2004.
- [5] K. Lee, F. C. Lee, J. Wei, and M. Xu, "Analysis and design of adaptivebus voltage positioning system for two-stage voltage regulators," *IEEE Trans. Power Electron*, vol. 24, no. 12, pp. 2735-2745, Dec. 2009.
- [6] J. Wei and F. C. Lee, "Two-stage voltage regulator for laptop computer CPUs and the corresponding advanced control schemes to improve lightload performance," in *Proc. IEEE APEC*, pp. 1294-1300, 2004.
- [7] J. Xiao, A. V. Peterchev, J. Zhang, and S. R. Sanders, "A 4- μ A quiescent-current dual-mode digitally controlled buck converter IC for cellularphone applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2342-2348, Dec. 2004.
- [8] J. H. Sim et al, "Digital low-dropout regulator using fast current generating scheme for power management of core processor," in *Proc. of The institute of electronics engineers of korea Conf.* pp 201-204, 2013.
- [9] Yen-Chia Chu, Le-Ren Chang-Chien., "Digitally Controlled Low-Dropout Regulator with Fast-Transient and Autotuning Algorithms," *IEEE Transactions on Power Electronics*, vol. 28, no. 9, pp 4308-4317, Sep. 2013.
- [10] T.-J. Oh and I.-C. Hwang, "A 110-nm CMOS 0.7-V input transient-enhanced digital low-dropout regulator with 99.98% current efficiency at 80-mA load," *IEEE Trans. on Very Large Scale Integration (VLSI) Syst.*, vol. 23, no. 7, pp. 1281-1286, Jul. 2015.



우기찬(Ki-Chan Woo)

2014년 충북대학교 전자공학부 학사 졸업
2014년 ~ 현재 충북대학교 반도체공학부 석·박사 통합 과정
※관심분야 : 전력변환 IC 설계, 아날로그 디지털 변환기 설계



심재현(Jae-Hyeon Sim)

2012년 충북대학교 전자공학부 학사 졸업
2014년 충북대학교 전자공학부 석사 졸업
2015년 ~ 현재 실리콘웍스 연구원
※관심분야 : 아날로그 IC 설계, 전력변환 IC 설계



김태우(Tae-Woo Kim)

2016년 충북대학교 전자공학부 학사 졸업
2016년 ~ 현재 충북대학교 반도체공학부 석사 과정
※관심분야 : 아날로그 IC 설계, 아날로그 디지털 변환기 설계



황선광(Seon-Kwang Hwang)

2016년 충북대학교 전자공학부 학사 졸업
2016년 ~ 현재 충북대학교 반도체공학부 석사 과정
※관심분야 : 아날로그 IC 설계, 전력변환 IC 설계



양병도(Byung-Do Yang)

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업
2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업
2005년 한국과학기술원 전자전산학과 전기및전자공학전공 박사 졸업
2005년 ~ 2006년 삼성전자 반도체 사업부 책임 연구원
2006년 ~ 2007년 충북대학교 전자공학부 전임강사
2008년 ~ 2011년 충북대학교 전자공학부 조교수
2012년 ~ 2015년 충북대학교 전자공학부 부교수
2016년 ~ 현재 충북대학교 전자공학부 정교수
※관심분야 : 아날로그 IC 설계, 전력변환 IC 설계, 메모리 설계