

글리치를 고려한 매핑가능 클러스터 생성 방법을 이용한 저전력 알고리즘

김재진*

The Low Power Algorithm using a Feasible Clustert Generation Method considered Glitch

Kim Jaejin

〈Abstract〉

In this paper presents a low power algorithm using a feasible cluster generation method considered glitch.

The proposed algorithm is a method for reducing power consumption of a given circuit. The algorithm consists of a feasible cluster generation process and glitches removal process. So that glitches are not generated for the node to which the switching operation occurs most frequently in order to reduce the power consumption is a method for generating a feasible cluster. A feasible cluster generation process consisted of a node value set, dividing the node, the node aligned with the feasible cluster generation. A feasible cluster generation procedure is produced from the highest number of nodes in the output. When exceeding the number of OR-terms of the inputs of the selected node CLB prevents the signal path is varied by the evenly divided. If there are nodes with the same number of outputs selected by the first highest number of nodes in the input produces a feasible cluster. Glitch removal process removes glitches through the path balancing in the same manner as [5].

Experimental results were compared with the proposed algorithm [5]. Number of blocks has been increased by 5%, the power consumption was reduced by 3%.

Key Words : Feasible Cluster, Glitch Removal, CLB, Deviding a Node, Path Balancing

I. 서론

저전력 회로 설계 방법에 대한 연구는 휴대용 전자 제품의 수요가 급격히 증가되어 배터리와 같은 한정된 전력을 이용하여 많은 양의 연산과 동작이 가능하도록 진행되고 있다. 전력 소모의 가장 큰 원인은 충·방전 과정에서 발생하는 동적 전력(dynamic

power)이다[1-2]. 동적 전력을 감소시키기 위해 가장 많이 연구되고 있는 것은 스위칭 동작(switching activity)을 감소시키는 것이다[3-4].

회로를 소자(device)로 구현하기 위해 주로 사용되는 FPGA(Field Programmable Gate Array)와 CPLD(Complexity Programmable Logic Device)는 내부를 구성하고 있는 논리 블록(Logic Block)에 의해 회로 분할이 된다. 본 논문에서 적용하고자 하는

*강동대학교 신재생에너지과 부교수

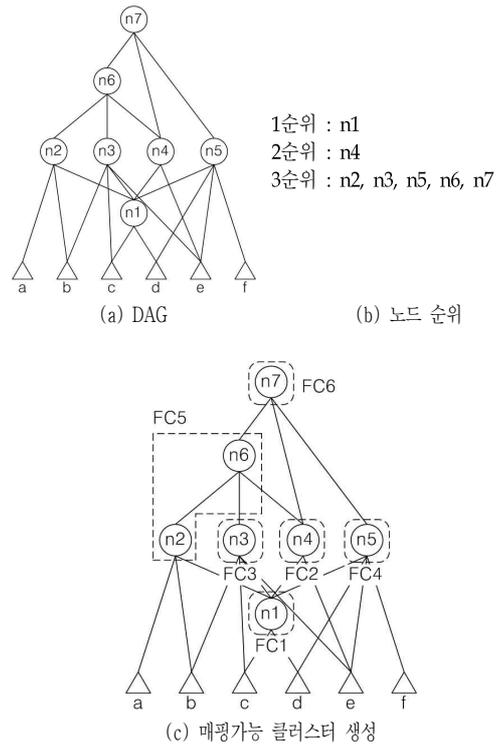
CPLD는 CLB(Common Logic Block)로 구성되어 있으며 기존에 발표된 알고리즘으로는 DDMAP과 TEMPLA, TMCPLD, PLAMap 등이 있으며 CPLD에 대한 글리치 제거 방법을 이용한 저전력 알고리즘으로는 [5]이 있다[5-9].

[5]의 글리치 제거 방법은 DAG를 구성하고 있는 노드들 중에서 출력의 수가 가장 많은 노드부터 출력의 수에 따라 노드들을 검색하여 매핑가능 클러스터를 생성한다. 매핑가능 클러스터를 생성하고자 하는 노드에 대한 입력 경로에 대해 글리치 발생확률을 계산한 후 지연 소자를 삽입하여 글리치가 발생되지 않도록 회로를 분할하는 방법을 적용하였다. 그러나 이러한 방법은 매핑가능 클러스터를 생성하고자 하는 노드를 포함한 입력의 모든 노드들을 하나의 클러스터로 생성할 때에는 효과적이거나 입력 노드들은 분할하여 매핑가능 클러스터를 생성할 때에는 매핑 가능 클러스터들 사이에 글리치가 발생할 수 있는 가능성이 높다는 단점이 있다.

본 논문에서는 이러한 단점을 보완하여 DAG를 형성하고 있는 노드들 중에서 출력의 수와 입력의 수를 모두 고려하여 매핑가능 클러스터 생성 순서를 결정하고 입력 노드들의 분할을 균등하게 분할하여 글리치의 발생을 억제할 수 있는 저전력 알고리즘을 제안하였다.

II. 관련연구

[5]의 저전력 알고리즘은 CLB로 구성되어 있는 CPLD를 대상으로 회로를 분할하는 방법을 제안하였다. CPLD를 구성하고 있는 CLB는 프로그램가능한 AND 어레이(array)와 고정된 OR 어레이로 구성되어 있어 제한점은 OR터 수가 된다. CLB의 OR터 수를 CLB_{OR_terms} 로 정의하고 매핑 가능 클러스터의 OR



<그림 1> 출력 수만 고려한 매핑가능 클러스터 생성

수를 FC_{OR_terms} 라고 정의하면 회로를 CLB로 구성된 CPLD에 구현할 수 있는 매핑 가능 클러스터를 생성할 수 있는 조건은 다음의 (조건 1)과 같다.

$$CLB_{OR_terms} \geq FC_{OR_terms} \quad (\text{조건 1})$$

(조건 1)을 만족하는 매핑 가능 클러스터를 생성할 수 있는 순서로서 최우선은 노드들 중에서 가장 출력이 많은 노드이다. 출력이 가장 많은 노드는 스위칭 동작이 가장 많이 발생될 수 있는 가능성이 높기 때문이다. 그러나 노드의 출력 수만으로 순위를 설정하면 단수가 낮아 불필요하게 많은 매핑가능 클러스터가 생성되거나, 입력의 수가 많을 경우 단수가 달라져 글리치가 발생할 수 있는 가능성이 높아지게 된다. 출력

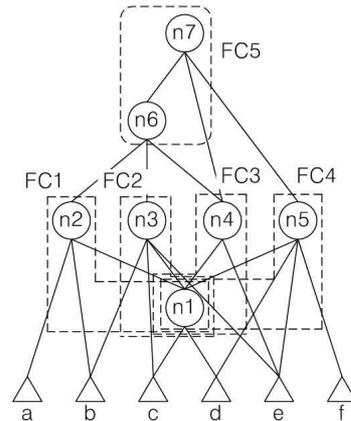
수만을 고려하여 매핑가능 클러스터가 증가되고 글리치가 발생될 수 있는 확률이 높은 회로의 예로 OR텀수=5인 경우의 결과를 그림 1에 나타내었다.

그림 1에서 매핑가능 클러스터 생성결과 (c)와 같이 매핑가능 클러스터는 총 6개가 생성되었다. 또한 입력에서 출력까지의 경로가 최장 경로인 경우 FC1→FC3→FC5→FC6의 4단으로 구성되며, 최소 경로는 FC1→FC2(FC4)→FC6의 3단으로 구성된다. 면적을 고려한 매핑가능 클러스터 생성 결과는 그림 2에 나타내었다.

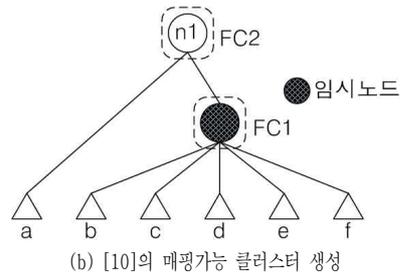
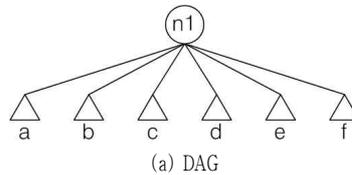
그림 2에서 생성된 매핑가능 클러스터는 5개로 그림 1의 [5] 알고리즘과 비교하여 면적이 더 적은 것을 알 수 있다. 또한 모든 경로가 2단으로 구성되어 글리치 발생 확률이 매우 낮다는 것도 알 수 있다.

그림 1의 경우 외에 입력의 수가 OR텀수를 초과할 경우 분할하는 방법에 있어 최소의 면적을 갖기 위해 단수가 고려되지 않은 단점이 있으며 그림 3에 나타내었다.

그림 3의 매핑가능 클러스터 생성 결과 입력의 수가 OR텀수를 초과하여 분할을 수행하며, 이로 인해 단수는 증가되나 경로의 불균형이 발생되어 전체 회로에 적용할 경우 글리치가 발생될 확률이 높다는 단점을 가지고 있다.



<그림 2> 면적을 고려한 매핑가능 클러스터 생성



<그림 3> 입력수에 따른 매핑가능 클러스터 생성

III. 저전력 알고리즘

저전력 회로 구현을 위해서는 주어진 회로에 대해 최소의 전력 소모가 발생되도록 CLB의 구조에 맞도록 분할하여 매핑가능 클러스터를 생성하여야 한다. 전체 회로에 대한 매핑가능 클러스터가 생성되면 전체에 대한 글리치 발생여부를 판단하여 글리치가 발생되지 않도록 하는 과정을 필요로 한다.

3.1 매핑가능 클러스터 생성

매핑가능 클러스터는 CLB의 구조에 맞도록 회로를 분할하여 하나의 클러스터를 만드는 과정으로 CLB의 구조에 맞는 OR텀수가 제한 요소이다. 따라서 주어진 회로에 대한 DAG를 구성하는 노드들은 OR게이트이며 OR텀수를 고려하여 매핑가능 클러스터를 생성하여야 한다.

3.1.1 노드 값 설정

매핑가능 클러스터 생성의 우선순위를 선정하기 위해 입력의 수와 출력의 수가 모두 고려되어 노드 값을 설정한다. 노드 값은 (식 1)과 같이 나타낸다.

$$Cost_Node(i) = (Node(i)_{OR_terms}, Node(i)_{output}, Node(i)_{input}) \quad (식 1)$$

$Cost_Node(i)$: Node(i)의 노드값

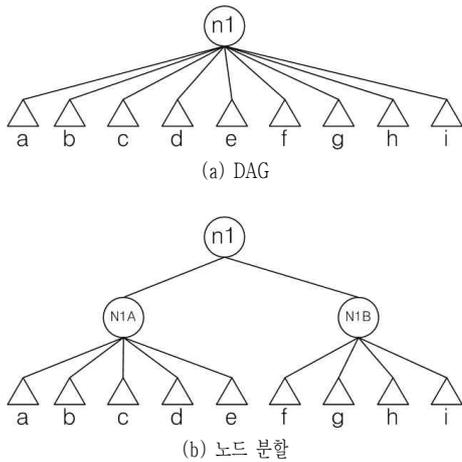
$Node(i)_{OR_terms}$: Node(i)의 OR 텀수

$Node(i)_{output}$: Node(i)의 출력 에지 수

$Node(i)_{input}$: Node(i)의 입력 에지 수

3.1.2 노드 분할

DAG를 구성하고 있는 모든 노드들에 대한 노드 값이 설정되면 (조건 1)을 만족하도록 노드를 분할하여야 한다. 분할은 2단으로 분할하며 OR_terms 에 맞춰 분할한다. 노드 분할의 예는 그림 4에 나타내었다.



<그림 4> 노드 분할

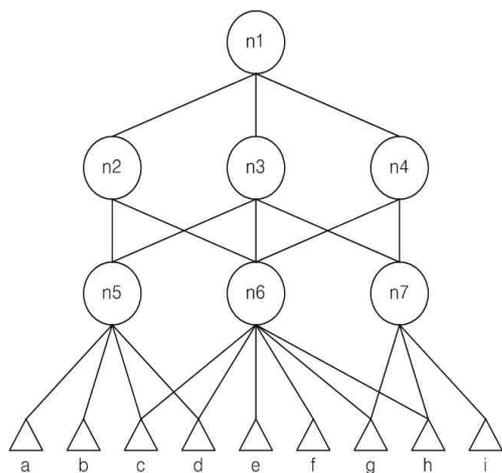
3.1.3 노드 정렬

노드 값 설정과 노드 분할을 수행 한 후 매핑가능 클러스터를 생성하기 위해 우선순위에 따라 노드를 정렬하여야 한다. 우선순위는 노드의 출력의 수가 가장 많은 노드로부터 출력의 수가 작은 노드의 순서로 정렬한다. 정렬이 끝난 노드들중에서 같은 수의 출력을 가진 노드들을 대상으로 입력의 수가 많은 노드부터 입력의 수가 적은 노드의 순서로 다시 정렬한다.

3.1.4 매핑가능 클러스터 생성

매핑가능 클러스터는 CLB에 회로를 구현하기 위해 분할된 회로의 부분으로 프로그램 가능한 AND 어레이와 고정된 OR 어레이로 구성된 CLB의 구조에 따라 OR텀수가 제한점이 된다. 매핑가능 클러스터는 (조건 1)에 맞도록 생성된다. 또한, 노드 값이 설정되고 노드 분할과 노드 정렬을 통하여 우선 분할 대상인 노드를 CLB의 출력으로 지정하고 OR텀수에 맞도록 자식노드들을 포함하여 매핑가능 클러스터를 생성한다. $CLB_{OR_terms}=5$ 일 경우 매핑가능 클러스터 생성의 예는 그림 5에 나타내었다. 그림 5의 (a)는 주어진 회로에 대한 DAG를 나타낸 것이며 (b)는 노드 값 설정 과정으로 회로 분할에 필요한 노드의 값을 (식 1)에 의해 주어진 값이다. (c)는 노드 분할과정으로 노드 n6이 CLB_{OR_terms} 보다 큰 값을 가지고 있으므로 노드 분할의 대상이 되며 n6-1과 n6-2로 균등 분할된 결과이다.

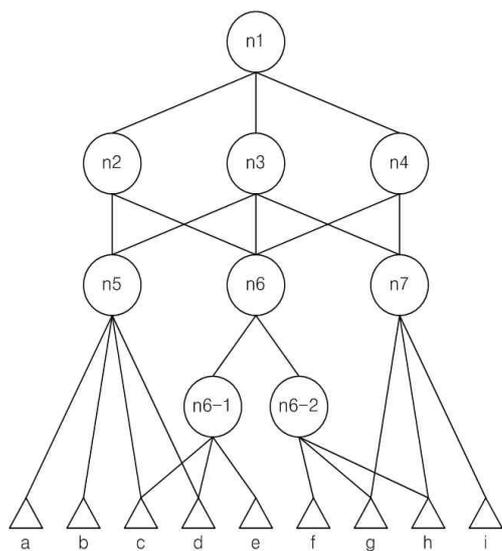
(d)는 노드 정렬 결과로서 출력의 수에 따라 1차 정렬을 수행한다. 출력의 수가 동일한 노드들 중에서 입력의 수를 비교하여 2차 정렬을 수행하며 n5와 n7, n1과 n3의 노드들의 우선순위가 변경된 결과를 나타내었다. (e)는 매핑가능 클러스터 생성 결과로서 노드분할이 수행된 노드 n6과 분할로 생성된 n6-1,



(a) DAG

노드	노드값
n1	[3, 1, 3]
n2	[2, 1, 2]
n3	[2, 1, 3]
n4	[2, 1, 2]
n5	[4, 2, 4]
n6	[6, 3, 6]
n7	[2, 2, 3]

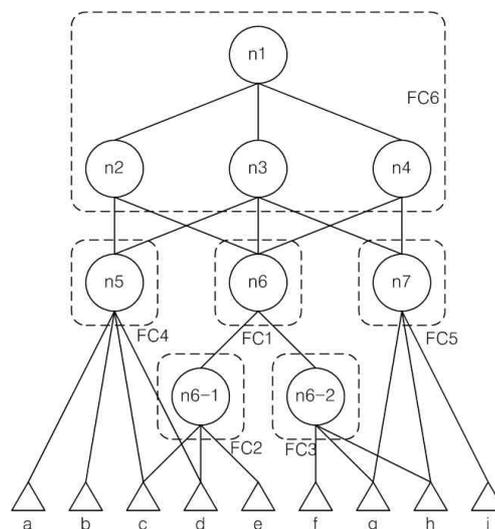
(b) 노드 값



(c) 노드 분할

1차 노드정렬	2차 노드정렬
n6	n6
n6-1	n6-1
n6-2	n6-2
n7	n5
n5	n7
n1	n3
n3	n1
n2	n2
n4	n4

(d) 노드 정렬



(e) 매핑가능 클러스터 생성

<그림 5> 매핑가능 클러스터 생성 예($CLB_{OR_terms} = 5$ 일 경우)

n6-2에 대해 우선 매핑가능 클러스터를 생성한다. 나머지 노드들은 노드 정렬의 순서에 따라 $CLB_{OR_terms} \leq 5$ 을 만족하는 최대 크기의 매핑가능 클러스터를 생성한다. 이와 같은 방법으로 총 6개의 매핑가능 클러스터를 생성한다.

3.2 글리치제거

글리치는 입력에서 출력까지의 신호 경로가 다르

고 게이트의 종류에 따라 지연 시간 등이 다르기 때문에 발생된다. 따라서 글리치를 제거하기 위해서는 최장 경로를 검색하여 모든 경로의 지연시간과 게이트 단수 등을 동일하게 맞추는 방법이 가장 일반적인 글리치 제거 방법이다. 이러한 방법은 [5]에 제안되어 있으며 정확한 소모 전력 비교를 위해 [5]의 방법을 적용하여 글리치를 제거하였다.

3.3 저전력알고리즘

주어진 회로에 대한 저전력으로 구현하기 위한 방법으로 저전력 알고리즘을 그림 6에 나타내었다.

```

Generation_FC(DAG)
{
  Generation_Node_Cost(Node(i)OR_terms, Node(i)output, Node(i)input)
  Search all Node(i);
  if(Node(i)OR_terms > CLBOR_terms){
    Separation Node(i);
  }
  Sort Node_list();
  //노드의 출력이 많은 노드에서 적은 노드 순서로 정렬
  Generation_FC(i); // 매핑가능 클러스터 생성
  Glitch_removal(FCG); //글리치제거
}

Glitch_removal(FCG){
  //FCG : 매핑가능 클러스터로 생성된 전체 회로 그래프
  Create Node_level();
  Search critical_path(FC);
  if((Parent_Node_level-1);      Parent_Node_level      =
  Child_Node_level ; ++){
    insertion delay_FC;
  }
}

Separation(Node(i)){
  N =  $\frac{Node(i)_{OR\_terms}}{CLB_{OR\_terms} - 1}$ ;
  for(j=1;j=N;j++){
    Node_list() <= Generation Node(i-(j));
  }
}
    
```

<그림 6> 저전력 알고리즘

IV. 실험 결과

본 논문에서 제안한 방법에 대한 실험으로 [5]과 소모 전력을 비교하였다.

실험에 사용한 예제는 SIS에서 제공되는 MCNC 벤치마크 회로들의 불린 네트워크를 입력으로 사용하였다[10].

MCNC 벤치마크 회로들은 조합논리회로와 순서논리회로가 있으며 그 중에서 11개의 회로를 선정하여 실험에 사용하였다. 회로구현을 위한 장비는 한백전자의 HBE-Combo II-DLD로 실험하였으며 프로그램 툴은 Quartus 2를 사용하였다. 실험결과 레포트(report) 파일의 일부를 캡처한 그림을 그림 7에 나타내었다. 그림 6은 본 논문에서 제안한 알고리즘을 적용하여 소모 전력을 분석한 결과로 주어진 SIS 회로들 중 psdes회로에 대한 소모 전력을 분석하여 27.1 mW의 결과를 나타낸 것이다. 이와 동일한 방법으로 SIS의 11개 회로에 대해 각각의 소모 전력을 분석한 결과를 표 1에 나타내었다.

매핑가능 클러스터의 수에 따른 블록의 수는 13.6%증가되는 결과를 나타내었으나 소모 전력은 6.15% 감소된 결과를 나타내었다.

```

-----
: Parallel Compilation
:-----
: Processors      : Number
:-----
: Number detected on machine : 4
: Maximum allowed      : 4
:-----
: Average used      : 1.00
: Maximum used      : 4
:-----
: Usage by Processor : % Time Used
:   1 processor      : 100.0%
:   2-n processors   : < 0.1%
:-----
    
```

```

-----
: PowerPlay Power Analyzer Summary
:-----
: PowerPlay Power Analyzer Status : Successful - Mon May 09 17:49:55 2016
: Quartus II Version              : 11.0 Build 157 04/27/2011 SJ Web Edition
: Revision Name                   : altera
: Top-level Entity Name           : Top_altera
: Family                          : Cyclone IV E
: Device                          : EP4CE38F28C8
: Power Models                    : Final
: Total Thermal Power Dissipation : 27.1 mW
: Core Dynamic Thermal Power Dissipation : 0.00 mW
: Core Static Thermal Power Dissipation : 11.9 mW
: I/O Thermal Power Dissipation   : 15.72 mW
: Power Estimation Confidence     : Low: user provided insufficient toggle rate data
:-----
    
```

<그림 7> 실험 결과 레포트 파일

<표 1> 실험 결과

	[10]		제안한 방법	
	block	power	block	power
alu2	57	4.8	61	4.7
alu4	189	19.9	214	19.8
dalu	488	27.4	561	24.5
ex5p	134	11.8	141	10.2
duke2	71	7.3	73	6.8
t481	94	18.6	111	18.7
cps	135	24.2	162	23.4
apex4	129	24.3	148	22.8
misex3	142	29.7	148	24.8
psdes	127	26.3	172	27.1
sort	101	18.8	102	17.7
Total	1667	213.1	1893	200.5

V. 결론

본 논문은 글리치를 고려한 매핑가능 클러스터 생성 방법을 이용한 저전력 알고리즘을 제안하였다.

제안한 알고리즘은 회로의 전력 소모를 감소시킬 수 있는 방법으로 DAG에서 스위칭 동작이 가장 많이 발생하는 노드에 대해 글리치가 생성되지 않도록 매핑가능 클러스터를 생성하는 방법을 제안하였다. 매핑가능 클러스터는 출력의 수를 최우선 고려하여 선정되며 같은 수의 출력을 가진 노드들 중에서 입력의 수가 가장 많은 클러스터를 최우선으로 선택하여 매핑가능 클러스터를 생성한다. 출력과 입력의 수가 가장 많은 노드의 입력이 CLB를 구성하고 있는 OR 텀수 보다 많을 경우 글리치 생성을 제거하기 위해 균등한 분할을 수행한다.

제안한 알고리즘을 적용한 결과를 [5]과 비교하였다. 비교 결과 면적은 증가되었으나 소모 전력은 6.15% 감소되었다.

참고문헌

- [1] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits," in Proc. 32nd DAC, June 1995, pp. 242-247.
- [2] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design," Journal of Solid State Circuits, vol. 27, no. 4, April 1992, pp. 473-484.
- [3] S. ErColani et al., "Testability measures in pseudorandom testing," IEEE Trans. Computer-Aided Design., vol. 11, 1992, pp. 794-800.
- [4] J. Cong and Y. Ding, "FlowMap : An 'Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs," *IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems*, Vol. 13, No. 1, January 1994, pp.1-11.
- [5] Kwan-Houng Lee, Jin-Gu Kang, Nam-Seo Park, Choong-Mo Yun, Jae-Jin Kim, "A Low Power Communication Circuit Design using Selective Glitch Removal Method," FGCN2008, 2008, pp. 51-56.
- [6] Jason Helge Anderson, Stephen Dean Brown, "Technology Mapping for Large Complex PLDs, Design Automation Conference," 1998, pp. 698-703.
- [7] M. Hashimoto, H. Onodera, and K. Tamaru, "A partial gate resizing technique considering glitch reduction for low power design," Proc. 1999 Design Automation Conference, June 1999, pp. 446-451.

- [8] Hosun Shin, Naeun Zang, Juho Kim, Stochastic Glitch Estimation and Path Balancing for Statistical Optimization, Proc. 2006 IEEE International SoC Conference, September 2006, pp. 85-88.
- [9] 김유세, "저전력 설계를 위한 경로 상관관계를 고려한 확률적 글리치 예측 및 제거 방법," 서강대학교 대학원, 2007.
- [10] E. M. Sentovice et al., SIS : A system for sequential Circuit Synthesis, *Technical Report UCM/ERL M92/41*, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992.

■ 저자소개 ■



김 재 진
Kim Jaejin

2001년 3월~2012년 2월
강동대학교 컴퓨터정보과 교수
2012년 3월~현재
강동대학교 신재생에너지과 교수
2003년 2월 청주대학교 전자공학과(공학박사)
1995년 8월 청주대학교 전자공학과(공학석사)
1993년 2월 청주대학교 전자공학과(공학사)
관심분야 : 저전력알고리즘, CAD, 에너지
E-mail : dkimjj@gangdong.ac.kr

논문접수일: 2016년 5월 16일
수 정 일: 2016년 5월 30일
계제확정일: 2016년 6월 7일