시간교차(Time Interleaving)방식 고속 디지털-아날로그 변환기(Digital-to-Analog Converter) 기반 신호발생 시스템 교정

박 영 철

한국외국어대학교

Ⅰ. 서 론

이동통신 기술의 급격한 발전을 시작으로 다양한 기기 간의 연결과 이에 필수적인 무선 자원을 효과적으로 활용하고자 하는 연구가 최근 들어 더욱 활발하게 진행되고 있다[1]~[4]. 이러한 연구의 기저에는 고속 혹은 광대역 신호를 발생시키고, 이를 채집하는 고성능 디지털-아날로그 변환기(Digital-to-Analog Converter; DAC)와 아날로그-디지털 변환기(Analog-to-Digital Converter; ADC)가 시스템 구성에서 필수적인 역할을 하고 있다. 이러한 고속 기기는 샘플링 주파수, 전력소모 및 시간축 오차 등의 현실적 제약 조건이 존재하여 이를 분석, 극복하기 위한 여러 가지 연구가 진행되고 있다[5]~[10]. 그 중에서도 상대적으로 저속의 기기들을 시간 차이를 두로 동작시킴으로써 유효한 샘플링 주파수를 높이는 시간 교차 방식(Time Interleaving; TI)의 시스템 구성이 현재의 기술적 한계를 극복하기 위한 방안으로 많은 주목을 받고 있다[11]~[17]. 이에 본 고에서는 이러한 시간교차방식 DAC (TIDAC)의 원리를 살펴보고, 시스템적인 오차를 최소하화기 위한 다양한 기술을 소개하고자 한다.

Ⅱ. 병렬 경로 디지털-아날로그 변환기

아날로그-디지털 변환기의 Spurious Free Dynamic Range (SFDR) 성능을 샘플의 update 속도를 높이는 방법으로 개선하기 위하여 샘플링 기기의 샘플링 속도를 높이는 방안이 활발히 연구되어 왔다[17],[18]. 그러나 이와 같이 샘플링 속도를 높이는 방법 중에서 클럭 속도를 Nyquist rate 이상으로 공급하는 전통적인 방법은 소모 전력이나 제조 및 설계 공정에 의해 그 한계를 나타내고 있다. 이러한 기술적 제약을 극복하기 위한 일환으로 두 개의 디지털-아날로그 변환기를 병렬로 연결하여 일종의 poly phase 형태로 구동시키는 방안이 제시되었다([그림 1])[10],[12],[17]. 해당 구조에서 DAC2는 DAC1와 180도의 위상차를 갖는 클럭에 의해 구동되며, 출력 노드에서는 두 DAC의 출력 전류를 더한 결과를 만들게 된다.

이러한 시스템을 분석하기 위해 기저대역에서 발생한 DAC의 입력신호 $x_d(t)$는 다음과 같이 정의할 수 있다.

$$x_d(t) = x(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \tag{1}$$

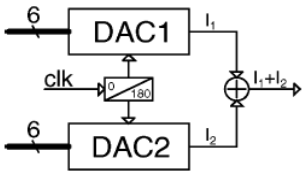
여기서 $x(t)$는 샘플링 발생 이전의 연속시간 입력이다.

다중경로를 활용하는 time-interleaving 구조는 이를 시간 영역에서 샘플링 클록 기준으로 0도와 180도에 대하여 신호를 분리한 후 경로#1과 경로#2를 통과시키게 되며, 이 경우 각각의 신호는 주파수 영역에서 다음과 같이 표현된다[12].

$$Y_1(\omega) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X\left(\omega - \frac{(n-1)\pi}{T_s}\right) H_1(\omega) \tag{2}$$

$$Y_2(\omega) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X\left(\omega - \frac{(n-1)\pi}{T_s}\right) H_2(\omega) e^{j(n-1)\pi} \tag{3}$$

여기서, 각 DAC는 입력 신호를 sample-hold 회로를 통해 아날로그 신호로 생성시키게 되는데, 그로 인해 각 신호 경로의 주파수 응답 $H_1(\omega)$과 $H_2(\omega)$는 다음과 같은 sinc 함수의 주파수 특성을 포함한다.



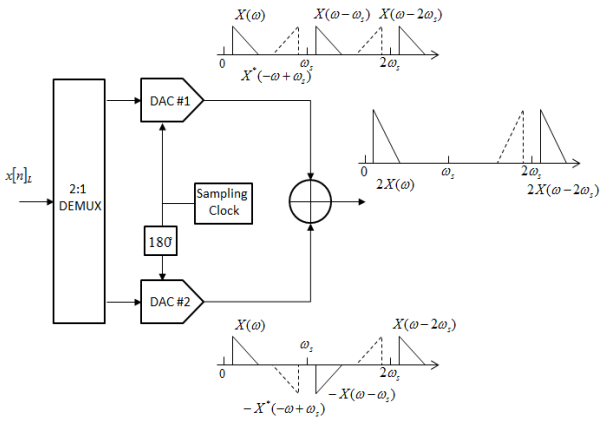
[그림 1] 상보 클럭으로 구동되는 병렬 DAC 구조[17]

$$Sinc\left(\frac{\omega}{\omega_s}\right)=\frac{\sin\left(\frac{\pi\omega}{\omega_s}\right)}{\frac{\pi\omega}{\omega_s}} \tag{4}$$

이러한 아날로그로 변환된 신호는 출력 노드에서 전류합산 방식으로 합산된다. 이 때 짝수 번째 Nyquist zone(식 (2)와 식 (3)에서 n이 홀수인 경우)에서는 경로#1과 경로#2의 이미지가 서로 반대 부호를 갖게 되어, 결과적으로 해당 이미지가 상쇄되게 된다([그림 2]). 따라서 전체 TIDAC 시스템은 유효 Nyquist 영역을 2배 확장시키는 효과를 나타내게 된다.

다만 이 시스템의 현실적인 구현에 있어서는 경로별 응답함수 $H_1(\omega)$과 $H_2(\omega)$의 특성이 동일하지 않음으로 인해 출력노드에서 이미지 영역의 신호가 완전히 상쇄되지 않게 되는 현상이 발생한다. 즉, 식 (2)와 식 (3)의 이미지는 $H_2(\omega) = H_1(\omega) \cdot H_{img}(\omega)$와 같이 개별 주파수 특성을 공통성분과 비대칭 성분으로 분리할 경우 다음 식과 같이 표현되고, $H_{img}(\omega) \neq 1$인 경우 잔류 이미지가 존재하게 된다.

$$\begin{aligned} Y(\omega) &= Y_1(\omega)+Y_2(\omega) \\ &= \sum_{n=-\infty}^{\infty} X\left(\omega-\frac{(n-1)\pi}{T_s}\right)\left[H_1(\omega)\pm H_2(\omega)\right] \\ &= \sum_{n=-\infty}^{\infty} X\left(\omega-\frac{(n-1)\pi}{T_s}\right)H_1(\omega)\left[1\pm H_{imb}(\omega)\right] \\ &\begin{pmatrix}+: n\ \ odd \\ -: n\ even\end{pmatrix} \end{aligned} \tag{5}$$



[그림 2] Time interleaving 방식의 신호가 주파수 영역에서 샘플링 주파수가 증가하는 개념도[10]

Ⅲ. TIDAC 오류원 분석

3-1 주요 오류원 분류 및 성능 영향 분석

[그림 1]에서와 같이 출력이 개별 DAC의 전류합으로 정의되기에 DAC의 출력 전류의 비대칭성은 이미지 신호의 제거성능의 저하를 유발하며, 아울러 원신호의 복소 영역 합성 품질에도 영향을 미치게 된다. 따라서 본 절에서는 TIDAC 시스템의 주요 오류원과 이의 SFDR 성능에 미치는 영향을 소개하고자 한다[14].

3-1-1 정적(Static) 오류원: DAC 간의 설계 비대칭

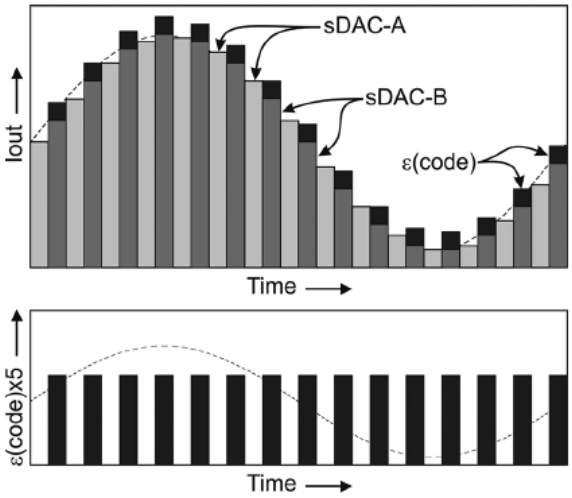
아날로그 회로에 있어 출력부에서의 DC 오프셋은 응용 시스템에서 다양한 문제를 유발시키게 된다. 특히 TIDAC 시스템에서 DAC 간의 DC 오프셋 차이는 출력에서 전류 합 방식을 활용하는 구조의 특성 상 불필요한 출력 파형을 발생시키게 되는데, 이는 입력 신호의 특성에 무관하며, 시스템 샘플링 주기의 2배의 주기를 갖는 펄스형태를 띄게 된다([그림 3]). 이와 유사하게 DAC 내부 트랜지스터 간의 trans-conductance 차이로 인한 증폭률의 차이는 입력신호 특성에 영향을 받는 노이즈 파형을 유발시킨다. 그 형태는 역시 2배의 샘플링 주기를 갖는 펄스형태이면서 크기는 입력 신호에 비례하게 된다. [그림 3]은 입력신호를 사인파로 가정하였을 때 DAC 비대칭 오류로 인한 출력에서의 spur를 나타낸다[14].

이로 인한 출력에서의 SFDR은 다음과 같이 추정할 수 있다.

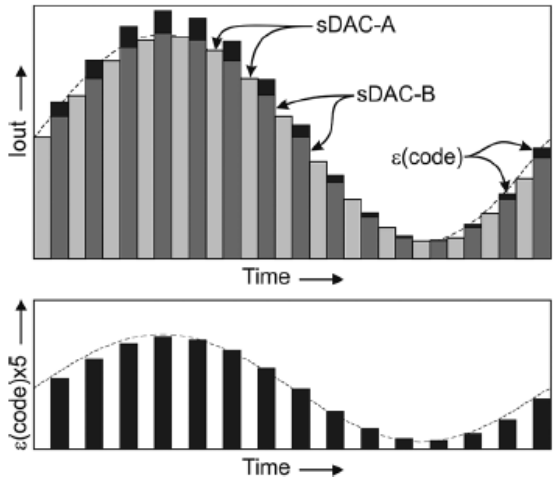
$$SFDR_{static}=20\log_{10}\left(\frac{|x_d|}{|x_d|(1+\epsilon_{gain}/2)+\epsilon_{offset}}\right) \tag{6}$$

3-1-2 동적 오류원: DAC 간의 클럭 비대칭

DAC 간의 클록은 이상적인 경우 50 %의 duty cycle을 가지고 180도의 위상 차이를 두고 공급되어야 하나, 그렇지 않을 경우 역시 이미지 신호의 제거 성능과 원 신호의 복소 합성능에 제약이 발생하게 된다. [그림 4]는 이로 인한 출력에서의 펄스 파형을 나타내며, 그 주기는 샘플링 주기의 2배를 가짐을 보이고 있다. 이 때 펄스의 크기는 원신호의 기울기



(a) DC 오프셋 차이(ε_{offset})로 인한 에러 파형



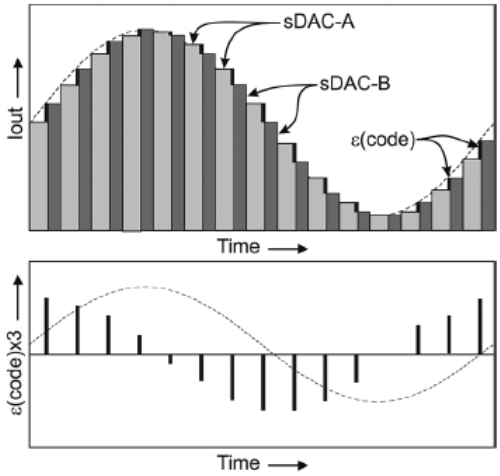
(b) 증폭률 차이(ε_{gain})로 인한 에러 파형

[그림 3] 병렬 DAC 구조에서의 정적 시스템 오류원[14]

와 샘플링 주파수로써 표현이 가능하며, 좁은 펄스 형태를 감안하여 sinc 함수로 인한 감쇄를 무시할 경우 다음과 같이 표현된다[14].

$$\epsilon_{amp} \approx T_s \left| \frac{dx_d}{dt} \right| \tag{7}$$

또한 이러한 펄스의 폭은 다음과 같은 duty를 갖는 것으로 정의할 수 있다.



[그림 4] 병렬 DAC 구조에서의 duty cycle 차이로 인한 에러 파형[14]

$$duty_{\Delta t} = \frac{\Delta t}{2T_s} \tag{8}$$

결과적으로, 클록 비대칭으로 인한 노이즈 전력은 위 식의 곱으로 표현할 수 있으며, 이로 인한 SFDR은 다음 식으로 추정할 수 있다.

$$SFDR_{dynamic} = 20\log_{10}\left(\frac{2|x_d|}{|x_d'||\Delta t|} \right) \tag{9}$$

3-2 시간축 신호에 대한 오류 함수 정의

앞에서의 시스템에 대한 시간영역 분석을 위하여 기저대역 생성 신호는 다음과 같이 분리할 수 있다.

$$\begin{aligned} x_d(t) &= x_1(t) + x_2(t) \\ &= x(t) \cdot \left\{ \sum_{n=odd} \delta(t - nT_s) + \sum_{n=even} \delta(t - nT_s) \right\} \end{aligned} \tag{10}$$

여기서, 해당 신호가 디지털-아날로그 변환과정을 거치면서 상기 언급된 sample-hold 회로에 의한 aperture 변형, sampling clock의 불균일성에 의한 sampling jitter, 회로의 비이상

적 주파수 응답 등으로 인해 신호가 왜곡되거나 변형되며, 개별 현상은 수학적으로 다음과 같이 표현할 수 있다[10].

• 신호 변환 시스템의 공통 응답 특성

a. 샘플링 aperture:

$$x_1(t) = x_d(t_d) * Aperture(t_d) \quad (11)$$

여기서 $t_d = t - nT_s$이다.

b. 샘플링 지터:

$$x_1(t) = x_d(t_d - \Delta t_{trig} - \Delta t_{err}) \quad (12)$$

c. 기타 회로적 요인의 주파수 특성:

$$x_1(t) = x_d(t) * h_{ciruit}(t) \quad (13)$$

이상과 같은 신호는 일반적으로 고주파 대역으로 송신하기 위하여 상향믹서 모듈에서 Local carrier를 입력받아 변조하는 방식을 취하는데, 이 때 상향믹서의 회로적 요인으로 인한 주파수 응답과 Local 신호의 위상 노이즈 및 특성에 따라 신호의 위상과 주파수에 다음과 같이 오차를 유발하게 된다.

• 상향믹서 영향

a. LO 위상잡음:

$$\widetilde{x_1}(t) = x_1(t) e^{j(w_c t + \Delta\phi_{LO})} \quad (14)$$

b. LO 주파수 오차:

$$\widetilde{x_1}(t) = x_1(t) e^{j(w_c t + \Delta w_{err} t)} \quad (15)$$

c. 믹서의 주파수 특성:

$$\widetilde{x_1}(t) = x_1(t) * h_{mixer}(t) \quad (16)$$

이에 더하여, 앞에서 언급된 이중경로 간의 비대칭 왜곡은 다음과 같이 표현된다.

• 개별 채널에서의 비대칭 응답 특성

a. 샘플링 aperture:

$$\widetilde{x_2}(t) = x_2(t_d) * Aperture_{imb}(t_d) \quad (17)$$

b. 샘플링 지터:

$$\widetilde{x_2}(t) = x_2(t - \Delta t_{imb}) \quad (18)$$

c. 회로적 비대칭성:

$$\widetilde{x_2}(t) = x_2(t) * h_{imb,circuit}(t) \quad (19)$$

d. 상보위상 오차:

$$\widetilde{x_2}(t) = x_2(t) \times e^{j\Delta\phi_{imb}} \quad (20)$$

이를 종합적으로 반영할 경우, 최종적인 출력 노드에서의 파형은 다음 식으로 정리할 수 있다.

$$x_{RF}(t) = \{x_1(t_d) + x_2(t_d) * h_{imb}(t_d)\} * e^{j\omega_c t_d} * h_{com}(t_d) \quad (21)$$

여기서 공통응답특성 $h_{com}(t)$와 비대칭 특성 $h_{imb}(t)$는 위에서 언급된 비이상적 응답을 포함하여 다음과 같이 정의된다.

$$h_{com}(t_d) = Aperture_{com}(t_d) * h_{com,ciruit}(t_d) * e^{j(\omega_c \Delta t_{err} + \omega_c \Delta t_{err} + \omega_{err} \Delta t_d + \Delta\phi_{LO})} \quad (22)$$

$$h_{imb}(t_d) = Aperture_{imb}(t_d) * h_{imb,ciruit}(t_d) * \delta(t_d - \Delta t_{imb}) e^{j(\Delta\phi_{imb})} \quad (23)$$

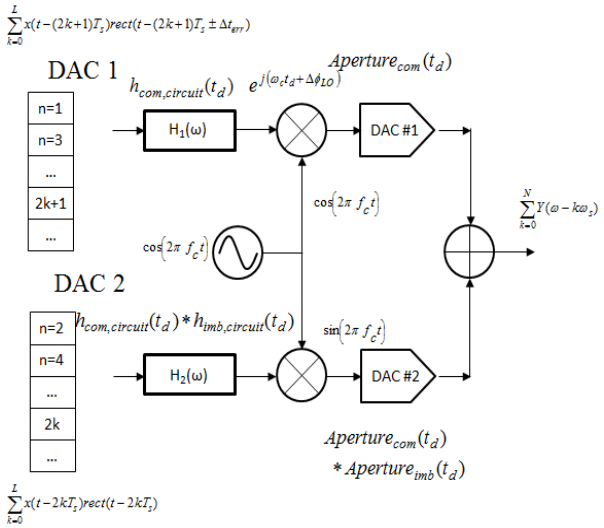
아울러 열거된 오류인자들은 그 특성별로 <표 1>에서와 같이 그 발생 경로와 통계적 특성에 따라 $h_{com}(t)$와 $h_{imb}(t)$에 포함될 수 있다.

Ⅳ. TIDAC의 동적 Timing 오류 감소 방안

본 절에서는 TIDAC의 동작 성능에 가장 큰 영향을 미치는 인자인 timing 오류를 감소시키기 위한 방법을 소개하고자 한다[15]. 우선, 발생하는 timing 오차를 분석하고, 이를 신호처리 기법으로 보상하거나, 노이즈 변형(noise shaping) 알고리즘을 적용하여 관심대역 바깥쪽으로 이동시키는 방안이 활용될 수 있으며, 그 중에서도 추가적인 DAC를 활용하여 오류 변수를 직접 측정하고, DSP 적으로 노이즈 변형 필터를 적용하는 방안이 제시되고 있다. [그림 6]은 이러한 구성

〈표 1〉 시스템 왜곡 인자 특성에 따른 합성 함수 분류

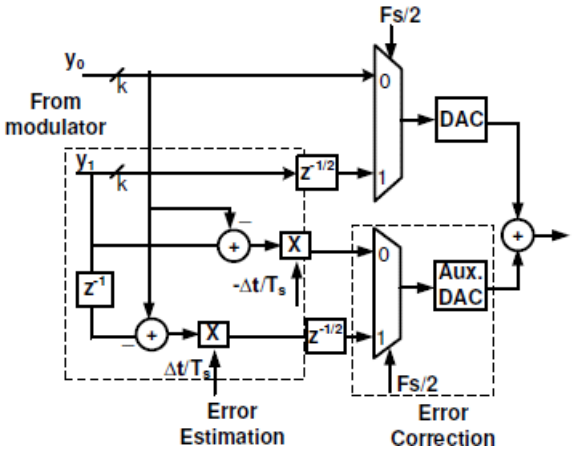
	Symbol	Composite response	Property
Sampling aperture	$Aperture(t)$	$h_{com}(t)$	Deterministic
Ch. analog response	$h_{com,ciruit}(t)$		Deterministic
LO error	$\triangle\omega_{err}$		Quasi-deter.
Sampling error/jitter	$\triangle t_{trig}+\triangle t_{err}$		Det.+Random
LO phase noise	$\triangle\phi_{LO}$		Random
Imb. sampling aperture	$Aperture_{imb}(t)$	$h_{imb}(t)$	Deterministic
Imb. mixer analog response	$h_{imb,mix}(t)$		Deterministic
Imb. Ch. analog response	$h_{imb,ciruit}(t)$		Deterministic
Imb. sampling jitter	$\triangle t_{imb}$		Random
Quadrature error	$\triangle\phi_{quad}$		Both



[그림 5] Non-ideal 특성이 반영된 병렬 DAC 구조

을 나타내고 있다.

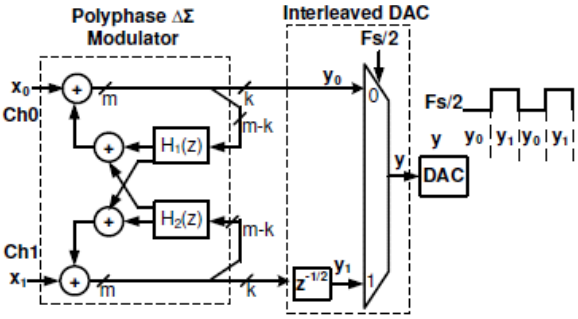
그러나 이러한 방법은 추가적인 DAC 회로가 포함되어야 하기에 또 다른 비이상적인 요소가 더해지고, 결과적으로 시스템 복잡성이 증가하는 단점이 있다.



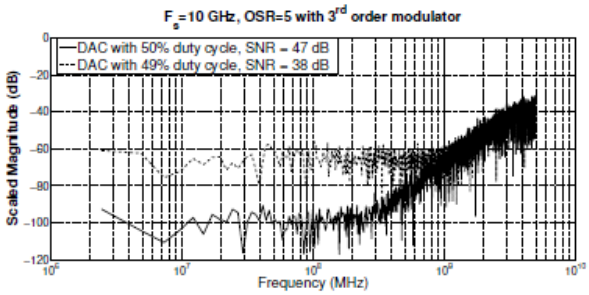
[그림 6] 보조 DAC를 활용한 timing jitter 감쇄 구조[15]

이와 유사한 방법으로써 다음 그림과 같은 Δ-Σ구조를 활용해서 노이즈 변형을 유도함으로써 유효 주파수 대역의 기저 노이즈를 감쇄하는 구조가 제안되었다[15].

이러한 방법의 경우, 신호의 주파수가 Nyquist 주파수에 근접할수록 노이즈 전력이 오히려 증가하며, DAC의 유효 비



[그림 7] 보조 DAC를 활용한 timing jitter 감쇄 구조[15]



[그림 8] 보조 DAC를 활용한 timing jitter 감쇄 구조[16]

트 수가 높지 않은 특징이 있다.

Ⅴ. TIDAC의 주파수 기반 정적(static) 오류 교정

본 절에서는 이와 같은 공통 및 비대칭 응답 기반의 모델링을 기반으로 하는 시스템 정적(static) 오류 교정에 대하여 소개한다[8]~[10].

TIDAC 시스템의 정적 오류는 3-2절에서 기술된 바와 같이, deterministic 방법으로 수학적인 모델에 포함시킬 수 있으며, 이는 다시 공통응답 함수와 비대칭 함수로써 표현될 수 있다. 따라서 정교한 교정(calibration) 신호를 활용해서 DAC1과 DAC2의 응답을 분리해 낼 경우, 개별 응답은 다음의 형태를 가지게 된다.

$$\begin{aligned} Y(\omega)_{x_1=0} &= Y_2(\omega)+N_0 \\ &= \sum_{n=-\infty}^{\infty} X\left(\omega-\frac{(n-1)\pi}{T_s}\right)H_2(\omega)e^{j(n-1)\pi}+N_0 \end{aligned} \tag{24}$$

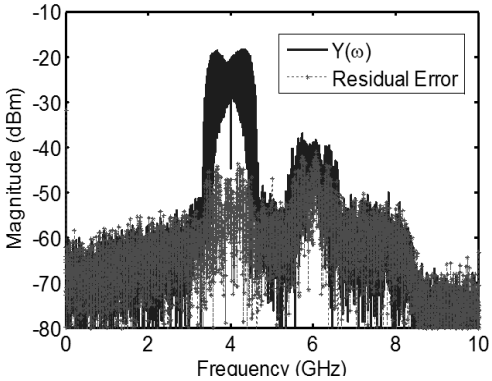
여기서 N_0는 비이상적 영향으로 발생하는 백색잡음 특성의 노이즈 전력이다.

$$\begin{aligned} Y(\omega)_{x_2=0} &= Y_1(\omega)+N_0 \\ &= \sum_{n=-\infty}^{\infty} X\left(\omega-\frac{(n-1)\pi}{T_s}\right)H_1(\omega)+N_0 \end{aligned} \tag{25}$$

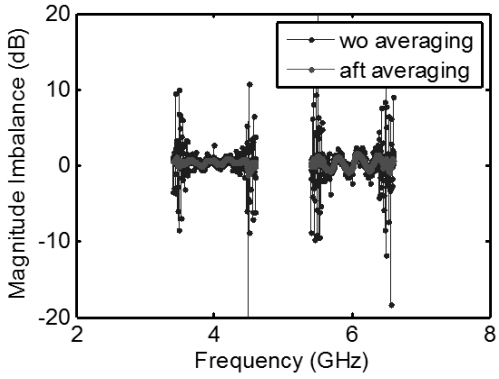
이상의 식을 활용하면 $h_{com}(t)$와 $h_{imb}(t)$ 및 $H_1(\omega)$와 $H_2(\omega)$를 추출할 수 있으며, 이렇게 얻어지는 시스템 함수는 n^{th} 샘플링 영역에서 다음과 같은 구조로 나타낼 수 있다[10].

$$H_k(\omega)_{n^{th}-zone} = \frac{Y_k(\omega)_{n^{th}-zone}}{X\left(\omega-\frac{(n-1)\pi}{T_S}\right)},\ |\omega-\omega_c| \le B/2 \tag{26}$$

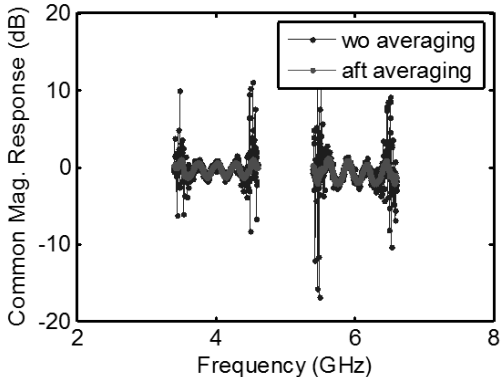
본 저자를 비롯한 연구진은 밀리미터파 대역 신호원으로 활용하기 위한 광대역 신호발생장치에 대하여 위의 수학적 분석을 기반으로 오류 교정을 수행하였다[8]~[10]. 해당 연구에서는 우선 대역폭 1.2 GHz, 전송률 1 Gsymb/s의 QAM 신호를 활용하여 시스템 특성을 분석한 결과, [그림 9]~[그림 11]



[그림 9] Time interleaving 방식 신호원으로 1.0 Gbps 신호를 생성할 경우 주파수 영역 신호응답(실선) 및 비이상적 오차로 인한 노이즈 전력(점선)[10]



[그림 10] 광대역 calibration 신호(1 Gbps)를 활용하여 파악된 time interleaving 경로 간 비대칭 특성[10]

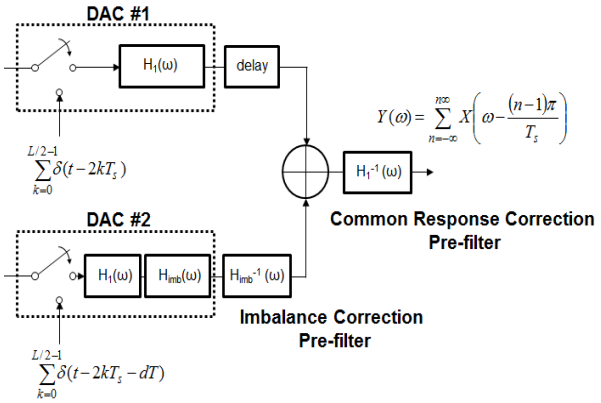


[그림 11] 광대역 calibration 신호(1 Gbps)를 활용하여 파악 된 시스템 경로 특성[10]

의 특성을 추출하였다.

아울러 TIDAC 시스템은 causal 시스템이므로 위 함수의 역함수를 연산하고, 이를 $x(t_d)$에 대한 pre-filter 함수로써 구현할 경우, 출력에서 이상적인 응답특성을 복구할 수 있게 된다([그림 12]).

이와 같은 방법으로 44 GHz 신호원에 대한 교정 결과, 교정 전 Error-Vector Magnitude(EVM) 2.3 %의 값을 약 0.8 % 이하로 낮추는 결과를 얻을 수 있었다[10]. [그림 13]은 이상으로부터 연산된 교정 함수를 기저대역 64QAM 신호에 적용하기 전과 후의 성상도를 나타낸다.



[그림 12] 공통 및 비대칭 응답 특성을 활용한 시스템 경로 특성 개선[10]

참 고 문 헌

[1] S. Rangan, T. S. Rappaport et. al., "Beyond 5G: What's next for cellular wireless?", *CATT Research Review*, Polytechnic Institute of NYU, Nov. 2012.

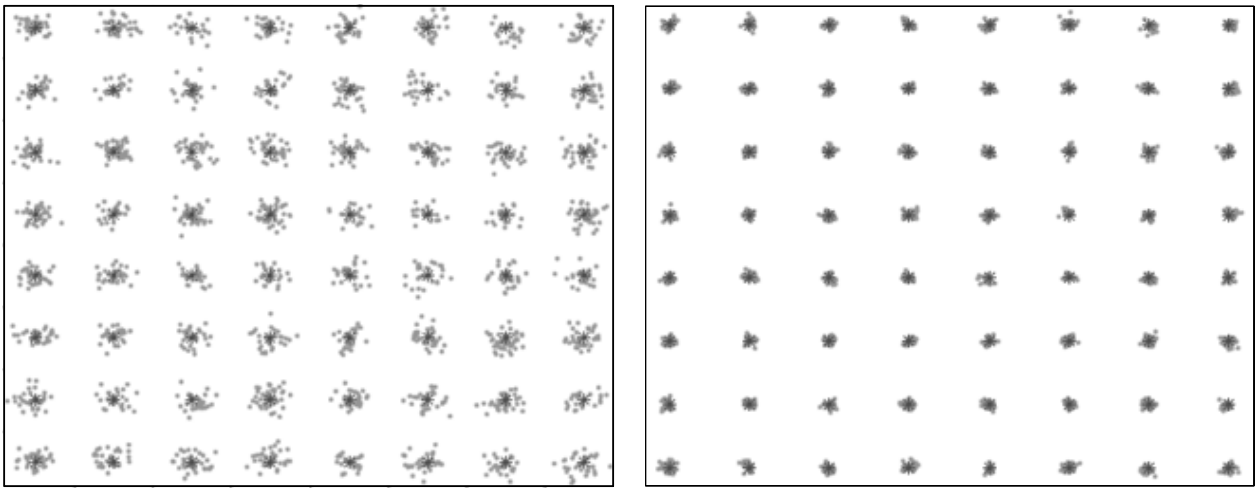
[2] Tomorrow Works, "Samsung announces world's first 5G mm-Wave mobile technology", *Samsung Tomorrow* [Online], May 13, 2013. Available: http://global. samsungtomorrow.com/?p=24093

[3] T. S. Rappaport, S. Shu, R. Mayzus, H. Zhao, Y. Azar, K. Wang, G. N. Wong, J. K. Schulz, M. Samimi, and F. Gutierrez, "Millimeter wave mobile communications for 5G cellular: It will work!", *IEEE Access,* 1, pp. 335-349, May 2013.

[4] Z. Pi, F. Khan, "An introduction to millimeter-wave mobile broadband systems", *IEEE Commun. Mag.*, pp. 101-107, Jun. 2011.

[5] D. F. Williams, P. D. Hale, and K. A. Remley, "The sampling oscilloscope as a microwave instrument", *IEEE Microwave Mag.,* vol. 8, no. 4, pp.59-68, Apr. 2007.

[6] K. A. Remley, P. D. Hale, D. F. Williams, and C.-M. Wang, "A precision millimeter-wave modulated-signal source", *IEEE Int. Microwave Symp. Dig.*, Seattle, WA, Jun. 2-7, 2013, Paper TH2D-3.



(a) 교정 전 (b) 교정 후

[그림 13] 광대역 64QAM 신호발생 시스템 교정 성능 비교

[7] C.-M. Wang, P. D. Hale, J. A. Jargon, D. F. Williams, and K. A. Remley, "Sequential estimation of timebase corrections for an arbitrarily long waveform", *IEEE Trans. Inst. and Meas.,* vol. 61, no. 10, pp. 2689-2694, Oct. 2012.

[8] K. A. Remley, D. F. Williams, P. D. Hale, C. M. Wang, J. A. Jargon, and Y. C. Park, "Calibrated oscilloscope measurements for system-level characterization of weakly nonlinear sources", *Proc. INMMiC 2014*, Leuven, Belgium, pp. 1-4, Apr. 2014.

[9] K. A. Remley, D. F. Williams, P. D. Hale, C. M. Wang, J. A. Jargon, and Y. C. Park, "Millimeter-wave modulated-signal and error-vector-magnitude measurement with uncertainty", *IEEE Trans. on Microwave Theory and Tech.,* vol. 63, no. 5, pp. 1710-1720, May 2015.

[10] Y. C. Park, K. A. Remley, "Two-stage correction for wideband wireless signal generators with time-interleaved digital-to-analog converters", *83rd ARFTG Conf. Dig.*, Tampa Bay, FL, pp. 1-4, Jun. 2014.

[12] Application Note: 76W-29216-0, *Understanding AWG70000A Series Frequency Response and DAC Performance*, Tektronix, Beaverton, OR, 2013.

[13] W. C. Black, D. A. Hodges, "Time interleaved converter arrays", *IEEE J. Solid-State Circuits,* vol. SC-15, no. 6, pp. 1022- 1029, Dec. 1980.

[14] E. Olieman, A.-J. Annema, and B. Nauta, "An interleaved full nyquist high-speed DAC technique", *IEEE J. of Solid-State Circuits,* vol. 50, no. 5, pp. 704-713, Mar. 2015.

[15] A. Bhide, A. Alvandpour, "Timing challenges in high-speed interleaved DACs", *Proc. 2014 Int. Symp. on Integ- rated Circuits*, Singapore, 2014.

[16] R. Khoini-Poorfard, L. B. Lim, and D. A. Johns, "Time-interleaved oversampling A/D converters: Theory and practice", *IEEE Trans. on Circuits and Systems-II,* vol. 44, no. 8, Aug. 1997.

[17] J. Deveugele, P. Palmers, and M. S. J. Steyaert, "Parallel-path digital-to-analog converters for nyquist signal generation", *IEEE J. of Solid-State Circuits,* vol. 39, no. 7, Jul. 2004.

≡ 필자소개 ≡

박 영 철

1992년 2월: 연세대학교 전기공학과 (공학사)
1994년～2000년: 삼성전자 정보통신 총괄 선임 연구원
2004년 7월: Georgia Inst. Tech. (공학박사)
2004년～2007년: 삼성전자 정보통신총괄 책임 연구원
2007년 3월～현재: 한국외국어대학교 전자공학과 교수

[주 관심분야] 전력증폭기 설계, 디지털 무선 신호처리, 무선 측정시스템 불확도 해석, 레이더 응용 시스템, 주파수 분할기/체배기 설계