

논문 2016-53-6-7

파워 게이팅 설계에서 IR Drop에 견고한 셀 배치 방법

(Robust Placement Method for IR Drop in Power Gating Design)

권 석 일*, 한 태 희**

(Seok Il Kwon and Tae Hee Han[©])

요 약

파워 게이팅은 반도체 칩의 누설전류(leakage current)를 감소시키는 데 효과적인 기술로 알려져 있으며, 전원 차단용 파워 게이팅 셀 (power-gating cell, PGC)에서의 IR drop 증가로 인한 성능 및 신뢰성 저하에 대해 많은 연구가 이루어져왔다. 그러나 최신 공정에서는 트랜지스터 사이즈 감소 추세에도 불구하고 금속 배선의 스케일링이 제한됨에 따라, IR drop에 견고한 파워 게이팅 설계 시 셀 배치와 금속 배선 면적을 고려한 새로운 접근 방식이 필요하다. 본 논문에서는 셀 점유율(cell utilization)과 소모 전류에 근거한 로직 셀 배치 기법을 통해 PGC 면적 및 IR drop을 개선한 파워 게이팅 설계 방법을 제안한다. 28nm 공정으로 제조된 스마트폰용 어플리케이션 프로세서(Application processor, AP) 내 고속 디지털 코어에 적용한 결과 기존 PGC 배치 기법 대비 PGC 면적은 12.59~16.16%, 최대 IR drop은 8.49% 감소함을 확인하였다.

Abstract

Power gating is one of effective techniques for reducing leakage current in semiconductor chip. However, power gating cell (PGC) which is used to switch the power source causes performance degradation and the associated reliability problem by increasing IR drop. However, the newly raised problem caused by different scaling properties between gates and metal wires demands additional considerations in power gating design. In this paper, we propose a robust cell placement based power gating design method for reducing the area for power gating cell and metal routing thus to meet IR drop requirement. Experimental results by applying the proposed techniques on the application processor for smartphone fabricated in 28nm CMOS process show that power gating cell area is reduced by 16.16% and maximum IR drop value is also decreased by 8.49% compared to existing power gating cell placement techniques.

Keywords : 파워 게이팅, IR Drop, 파워 게이팅 셀 배치, 전류 기반 로직 셀 배치, 배선 면적

I. 서 론

반도체 칩의 누설전류를 줄이기 위한 가장 효과적인 방법 중 하나는 파워 게이팅 설계 기법^[1]으로 비동작 시간(idle time) 동안 파워 게이팅이 적용된 구역의 전원을 차단하여 누설전류로 인한 전력 소비를 최소화하는 것이 목적이다. 전원의 연결/차단은 전력 분배 망(power distribution network, PDN)에 포함되는 파워 게이팅 셀(power-gating cell, PGC)에 의해 조절된다. 실제 전원인 VDD PDN과 선별적으로 전압이 인가되는

Virtual VDD(VVDD) PDN 사이에 배치되는 PGC의 개폐 제어를 통해 VVDD PDN에 전원을 연결/차단함으로써 누설전류에 의한 전력 소모를 최대 50배까지 감소시킬 수 있다^[2].

그러나 설계에 사용되는 PGC로 인한 IR drop은 칩 성능 저하를 유발하고 최악의 경우 오동작^[3]을 야기할 수 있어, 이를 해결하고자 PGC의 배치와 개수를 최적화하는 여러 연구들이 진행되어 왔다^[4-6]. 하지만, 기존의 연구들은 공정 미세화가 진행되면서 노광(lithography) 기술의 제약으로 다중 패터닝과 광 근접 보정(Optical

* 학생회원, 성균관대학교 반도체디스플레이 공학과 (Sungkyunkwan University)

** 정회원, 성균관대학교 정보통신대학 (Sungkyunkwan University)

© Corresponding Author (E-mail : than@skku.edu)

※ 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 대학ICT연구센터 육성지원사업(IITP-2016-H8501-16-1005) 및 2015년도 정부(교육부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(NRF-2015R1D1A1A01057278)

Received ; February 2, 2016

Revised ; May 3, 2016

Accepted ; May 31, 2016

proximity correction, OPC)을 위한 금속 배선 디자인 룰(Design rule)이 더욱 복잡해지는 물리적 설계(physical design) 단계 문제들^[7~8]을 반영하지 못하고 있다.

이러한 문제점에 착안하여 본 논문에서는 IR drop에 강인하면서 PGC 면적 결정 및 배선 면적 오버헤드를 줄이기 위한 두 가지 배치 방법을 제안한다. 첫째, 셀 점유율(cell utilization)에 근거한 PGC 면적 추정 및 배치를 통해 PGC 면적을 최적화할 수 있는 방법과 둘째, PGC 배치 상황 하에서 로직 셀들의 전류 용량 기반 배치(current capacity-based placement)를 통해 IR drop을 최소화하는 방법이다. 위와 같은 방법으로 IP 블록을 설계하면 크게 세 가지 이점을 얻을 수 있다. 첫째, 물리적 설계 초기 단계에서 다중 패터닝으로 디자인 룰이 복잡해지는 20nm급 이하 칩의 물리적 설계 특성을 고려함으로써 정적 IR drop의 최대값을 감소시키는 동시에 iteration으로 인한 설계 시간 증가를 감소시킬 수 있다. 둘째, PGC 및 PDN의 면적을 감소시킴으로써 칩 면적 효율화에 기여한다. 셋째, 비동작 기간 동안 PGC에 의해 발생하는 전력 소모량을 감소시킬 수 있다. 이를 통해 기존 연구 방법 대비 최대 12% 가량 높은 셀 집적성이 가능했다. 더불어 초기 단계에서부터 IR drop 문제를 고려함으로써 물리적 설계 단계에서 발생하는 IR drop violation의 수정과정을 단축시켜 전체 설계 시간을 약 10% 정도 감소시킬 수 있었다.

본 논문의 구성은 다음과 같다. II장에서는 이전 연구 및 배경 지식들에 대해 소개한다. III장에서는 셀 점유율을 반영한 PGC 면적 결정 및 배치 방법과 로직 셀의 동작 전류 크기에 근거한 로직 셀 배치 기법을 설명한다. IV장에서는 실험 방법 및 결과, V장에서는 결론과 향후 연구 방향에 대해 기술한다.

II. 관련 연구 및 배경

1. 관련 연구

파워 게이팅 설계에 대한 연구는 주로 wake-up 시간 및 과도 전류(in-rush current) 감소에 관한 연구와 PGC 면적 결정 및 배치 방법의 최적화에 대한 연구로 분류된다.

wake-up 시간 및 과도 전류 감소에 관한 연구는 PGC turn-on chain 구성 방식에 대해 다루고 있다^[1,9].

PGC 면적 결정 및 배치 방법의 최적화에 관한 연구는 다시 두 가지로 분류된다. 그림 1의 (a), (b)와 같이 로직 셀들을 그룹화하고 그룹별 소모 전류를 고려한 커스텀 PGC 설계 방법^[10~11], 그리고 그림 1의 (c)와 같은 PGC

라이브러리 기반 균일 배치 방법^[4~6]에 대한 연구이다.

그룹별 소모 전류를 고려한 커스텀 PGC 설계 방법은 단일 PGC로 파워 게이팅을 구현 시^[10] 그림 1의 (a)와 같이 PGC가 과도하게 커질 수 있는 단점을 해결하기 위해 등장하였다. 이는 그림 1의 (b)와 같이 셀 배치의 지역성과 상호 배타적인 스위치 동작을 기준으로 몇 개의 클러스터 단위로 나누어 예상되는 소모 전류량에 맞춰 PGC 크기를 정하는 클러스터 기반 PGC^[11] 배치 방법이다. 이 경우 단일 PGC 방식보다 면적을 효율적으로 구현할 수 있으나, 클러스터 별 PGC의 개폐 컨트롤이 복잡하며 각 PGC를 커스텀하게 구현해야 하는 문제점을 초래한다.

이를 개선하고자 클러스터 단위가 아닌 로직 셀이 배치되는 방식에 근거하여 PDN을 망사형(mesh)으로 구성하는 distributed sleep transistor network(DSTN)방식에 대한 연구가 진행되었으며 PGC의 배치 방식은 그림 1의 (c)와 같다^[12~14]. 그러나 DSTN을 기반으로 한 연구들 또한 PGC를 위한 커스텀 설계가 필요하여 수 백만 게이트 이상의 대규모 칩 설계 적용에 제약이 있다.

커스텀 PGC 설계 방식의 연구들이 갖는 문제를 해결하기 위해 제한된 크기의 PGC로 구성된 라이브러리를 이용함으로써 대규모 칩 설계에서의 효율성을 향상시키는 방법에 관한 연구들도 있다^[4~6]. 각각은 누설전류 최소화에 집중하여 coarse-grained 구조 내 가용 배치 영역에 모두 PGC를 배치한 후 IR drop의 크기에 따라 불필요한 PGC를 제거하는 방법^[4], PGC를 fake via model로 가정하여 단일 PGC의 개수와 배치를 결정한 뒤 IR drop 결과에 따라 PGC를 추가 배치하거나 위치를 조정하는 방법^[5], 여러 종류의 PGC를 공급 지역 내 사용되는 예상 전류를 바탕으로 각각 선정한 후 IR drop 발생 시 해당 지역 내 빈 공간에 PGC를 추가 배치하는 방법^[6] 등이다. 그러나 이 연구들은 공정 미세화와 노광 기술의 제약에 따른 디자인 룰 복잡도 증가^[7]에 대한 고려가 부족하여, 배선이 많이 사용되는 부분에 PGC가 추가되면 재배선(rerouting)자체가 불가능한 경우가 발생할 수 있다.

본 논문에서는 소모 전류량의 크기와 셀 점유율을 고려하여 PGC 면적 및 배치 위치를 결정하고 배치된 PGC와 PDN 하에서 셀별 소모 전류량에 따라 배치 가능 영역을 제한함으로써 IR drop을 감소시키고자 하였다. 이를 통해 셀 점유율이 60~70% 수준인 통상적인 설계 대비, 80% 이상의 높은 셀 점유율 하에서도 PGC의 면적과 PDN을 위한 배선 면적 사용량을 줄이면서 동시에 최대 IR drop을 줄일 수 있다.

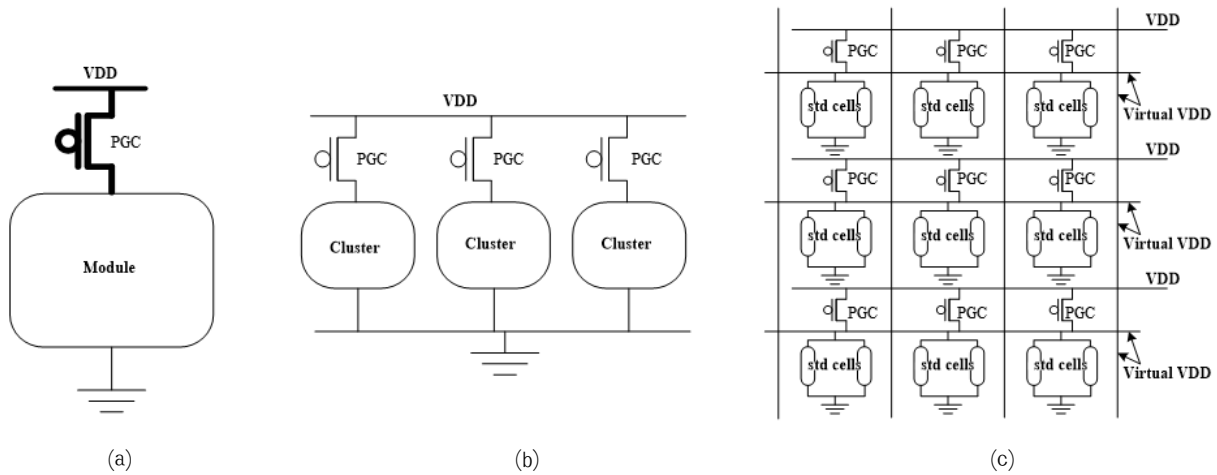


그림 1. PGC 면적 결정 및 배치 방법에 관한 연구들 (a) module 기반 배치, (b) cluster 기반 배치, (c) DSTN 기반 배치
Fig. 1. PGC area and placement determination methods. (a) module based placement, (b) cluster based placement, (c) DSTN based placement.

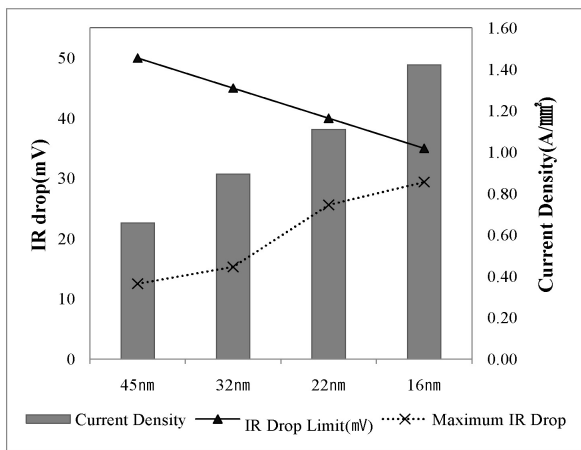


그림 2. 각 공정 별 IR drop의 한계값, 최대값 및 공정 별 전류 밀도
Fig. 2. Limited and maximum value for IR drop, and current density of technology scaling.

2. IR Drop

90nm 공정의 경우 1%의 IR drop은 대략 3%의 지연 시간 증가를 유발하며, 32nm의 경우 약 8%까지 증가한다^[15]. 또한 공정 미세화가 진행될수록 IR drop에 의한 회로 지연시간 가변성이 증가한다. 일례로 16nm 공정은 45nm 공정 대비 IR drop에 의한 지연 시간 가변성이 약 97% 증가함으로써 신뢰성에 더 큰 영향을 미친다^[16].

공정이 미세화 됨에 따라 동작 전압은 감소하고 전류 밀도는 증가하여 IR drop에 의한 신뢰성 저하 문제가 더욱 부각되고 있다. 그림 2는 특정한 멀티코어(Penryn-like multicore)를 이용하여 각 공정별 전류밀도의 변화, IR drop 허용 값 및 최대 IR drop 값을 나타낸 그래프이다^[17].

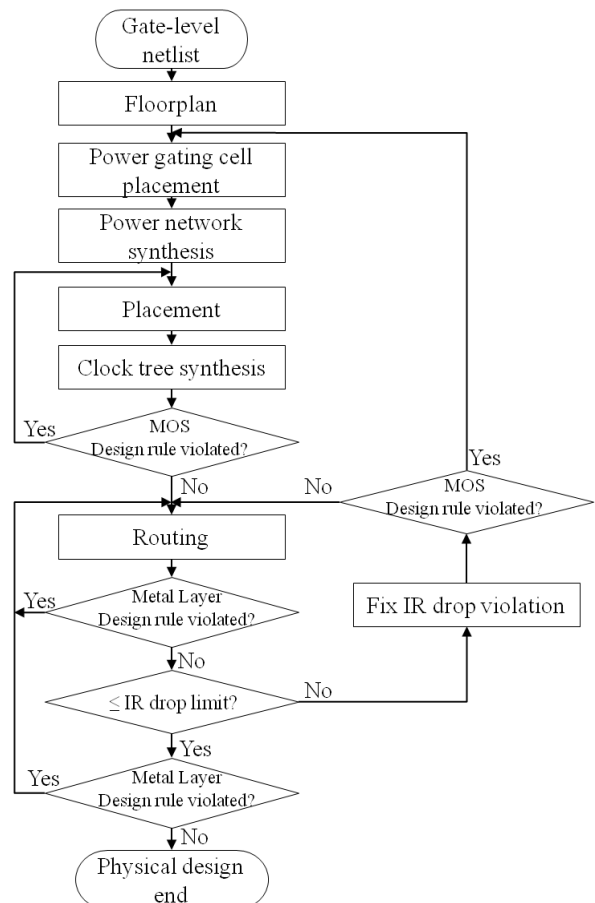


그림 3. 파워 게이팅 설계 하에서 물리적 설계 단계 순서도
Fig. 3. Physical level design flow in power gating design.

일반적으로 IR drop은 정적 IR drop과 동적 IR drop으로 구성된다. 정적 IR drop의 경우 동작 중 발생하는 평균 전류량과 PDN의 구조에 주로 영향을 받는다. 반면,

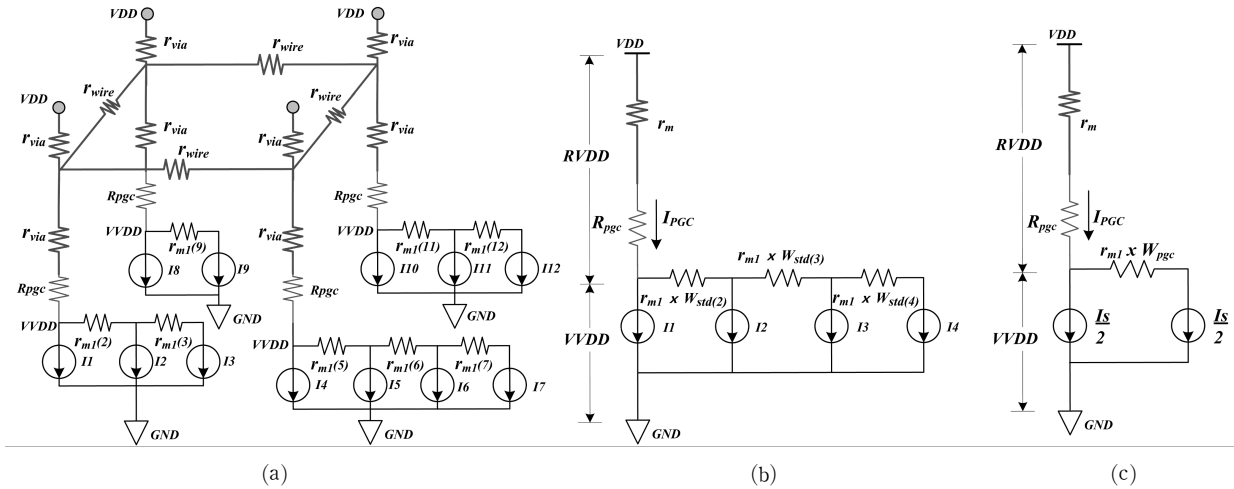


그림 4. 파워 게이팅 설계 내 파워 분배망 모델링, (a) PDN 전체 모델링, (b) PDN 내 단일노드 모델링, (c) 단일노드에 대한 간략화 모델링

Fig. 4. Power distribution network modeling in power gating design. (a) Overview modeling in PDN, (b) Single node model in PDN, (c) Abstract model.

동적 IR drop의 경우 특정 동작 구간에서 발생하는 전류량을 바탕으로 VDD/GND 간 decoupling capacitance와 vector profile에 좌우된다^[18, 22]. 본 논문에서 적용대상으로 삼은 28nm 8천만 게이트급 AP 설계에서는 전체 decoupling capacitance 대비 PGC 면적이 10% 이내이므로 PGC가 동적 IR drop의 변화에 미치는 영향은 미미한 수준이다. 따라서 정적 IR drop 관점에 대해서만 논의하도록 한다.

3. PGC를 포함한 물리적 설계 방법

그림 3은 파워 게이팅 설계를 포함한 물리적 설계 단계(physical level design flow)를 간략화한 순서도이다. 플로어 플랜(floor plan)이 완료되면 예상 전류 소모량에 근거하여 PGC의 면적이 결정되고, 배치가 진행된다. 이후 PDN을 구현하는 Power network synthesis (PNS)를 거친 뒤 셀 배치 및 배선(placement and routing, P&R)을 진행한다. IR drop 시뮬레이션은 P&R이 완료된 후, 모든 신호 배선에 사용된 금속들의 저항 및 capacitance 등을 포함한 상태에서 수행된다. IR drop violation의 수정은 그 크기와 개수에 따라 국부적인 영역에 대한 수정과 설계 전체에 대한 수정으로 나눌 수 있다. violation의 크기가 허용 가능한 IR drop 최대값 대비 10% 내외이고 개수가 적으면 발생 지역에서 PGC를 추가, 변경하거나, 또는 PDN을 보강하는 등 국부적인 수정 방법을 사용한다. 반면 violation 발생 범위가 넓거나 그 개수가 많으면 PGC 면적과 배치 및 PDN의

구성 전체를 수정하여야 한다. 국부적인 수정이 가능한 범주의 IR drop violation이 발생할지라도 해당 구역 내 PGC의 추가, 변경이나 PDN의 수정이 불가능할 정도로 여유 공간이 부족하면 물리적 설계 단계를 처음부터 다시 수행해야 하는 경우도 발생할 수 있다.

파워 게이팅 설계에서 가장 중요한 단계인 PGC 배치와 PNS의 최적화 여부는 물리적 설계 단계가 완료되어야 확인이 가능하다. PGC 배치와 PDN을 최소화(shallow)하게 구현하면 PDN 내 저항이 증가하여 공정별로 결정되어 있는 IR drop의 최대값을 초과하게 된다. 이 경우 post-layout 단계에서 설계 수정이 필요하게 된다. 반면 과밀한 PGC 배치와 PDN의 구현은 P&R 단계에서 설계가 요구하는 성능을 만족시킬 수 없거나 과도한 디자인 룰 체크(Design Rule Check, DRC) violation을 초래하고, 최악의 경우 PGC의 누설전류가 증가하게 되어 비동작 기간 동안 전력 소비를 줄이겠다는 파워 게이팅 설계의 본래 목적을 달성하지 못하는 상황이 발생할 수 있다^[4, 6]. 따라서 설계에서 요구하는 성능과 면적에 따른 예상 전력 소모량의 예측은 파워 게이팅 설계의 구현에서 중요한 부분을 차지한다.

4. 파워 분배망 모델링

본 논문에서 사용하는 PDN의 수학적 모델링은 Shi, Kaijian의 논문^[5]에서 제안한 fake via model에 근거한 방법을 기반으로 하였다.

그림 4의 (a)는 외부 인가전압 VDD에서 PGC까지의

VDD PDN과 PGC를 통해 전원 개폐가 조절되는 VVDD PDN의 간략화 모델을 저항과 부하 전류(current sink)로 표현한 것이다. VDD PDN의 구성은 상위 계층의 금속 저항(r_{wire})과 via 저항(r_{via})으로 표현할 수 있다. VDD PDN은 각 금속 계층 별로 일정한 선폭과 동일한 크기의 via로 구현하므로 그림 4의 (b)와 같이 하나의 값(r_m)으로 모델링이 가능하다. 실제 동작 모드에서 PGC가 활성화 되면 PGC는 MOSFET의 linear 모드에서 동작하므로, 이를 등가 유효 저항(R_{pgc})으로 표현할 수 있다. PGC에 의해 전압 인가 여부가 결정되는 VVDD PDN은 부하 전류까지의 금속 배선 및 via 저항값($r_{m(i)}$)을 의미한다. VVDD PDN 또한 하위 계층의 금속 배선과 via를 동일한 크기로 사용하므로 로직 셀까지의 저항값 $r_{m(i)}$ 는 그림 4의 (b)와 같이 단위저항(r_{ml})과 로직 셀의 폭($W_{std(i)}$)으로 나타낼 수 있다. 로직 셀들은 동작, 크기와 문턱전압 별로 각기 다른 전류 크기로 표시한다. 그림 4의 (b)는 (a)에 나타낸 모델링 중 하나의 PGC에 연결된 노드만을 분리하여 도시한 것이다.

이전 연구들의 경우, VDD PDN과 VVDD PDN의 등가 저항 값이 PGC와 로직 셀의 유효 저항값 대비 무시할 수 있을 정도의 작다고 가정하여 그림 4의 (b)의 금속 배선 및 via의 저항을 무시하고 PGC의 면적과 배치를 유도하거나, VVDD PDN의 저항값을 한 노드상에 존재하는 로직 셀 폭의 총합(W_{pgc})으로 가정하여 PGC의 면적을 유도하였다.

그러나 공정 미세화가 진행되면서 금속 배선 및 via 저항의 크기가 증가하여 이를 무시한 채 PGC의 면적 및 배치를 예측하게 되면, PGC 면적이 필요량 대비 적게 예측되고 IR drop이 커지는 문제가 발생한다. 반대로 VVDD PDN의 저항을 로직 셀 폭의 총합(W_{pgc})으로 가정하고 PGC의 간격을 결정하면 PGC의 면적량이 과도하게 증가하는 문제가 발생한다. 따라서 본 논문에서는 그림 4의 (c)와 같이 VVDD PDN의 저항($r_{ml} \times W_{pgc}$)과 부하 전류들의 총합(I_s)을 파이(π)모델로 간략화하여 사용한다.

III. 제안하는 방법

본 논문에서 제안하는 셀 배치 방법은 크게 두 가지로 구분할 수 있다.

먼저 PGC 배치 단계에서 셀 점유율에 근거하여 면적을 추정하고 배치하는 방법이 있다. 다음으로 PGC의 면적과 배치가 결정된 후 개별 소모 전류량에 근거한

```

1. p ← Used cells in the design
2. q ← PGC size type
3. r ← Threshold voltage
4. γ ← Added power estimated value during physical level design flow
5. for i ← 0 to number(p) do
6.   Istd(i) ← Cell_current(i)
7.   Itotal ← Itotal + Istd(i)
8. end for
9. for j ← 0 to number(q) do
10.  for k ← 0 to number(r) do
11.   Ipgc(j,k) ← Current(PGC(j,k))
12.   Num(pgc) ← ceil{( Itotal + γ ) / Ipgc(j,k)}
13.   Size_array[j,k] ← {Num(pgc), PGC(j,k)}
14. end for
15. end for
16. {Number(pgc), Type(pgc)} ← nimum(Size_array[])
17.

```

그림 5. PGC 면적 추정 및 종류 선정에 관한 의사코드
Fig. 5. PGC type and area determination pseudo code.

로직 셀 배치 허용 여부를 반영하는 방법으로 나뉜다.

1. 파워 게이팅 셀 면적 및 배치 결정 방법

본 논문에서 제안하는 PGC 면적 및 배치 결정 방법은 다시 두 부분으로 나뉜다. 설계에서 예상되는 총 소모 전류 크기를 바탕으로 PGC 면적을 추정하는 방법과 이를 바탕으로 PGC를 선정한 후 배치 간격을 결정하는 방법이다.

(1) PGC 면적 추정 및 종류 선정 방법

PGC의 면적 결정은 물리적 설계 단계에 사용되는 넷리스트(netlist)를 바탕으로 계산된다. 넷리스트 내에는 설계 동작에 필요한 모든 로직 셀(m)의 종류와 크기가 기술되어 있다. PGC는 해당 로직 셀들이 동작 시 사용하는 총 전류량($I_{std(i)}$)의 합과 물리적 설계 단계에서 추가되는 로직 셀의 양을 충분히 반영하는 마진 값(γ)을 더한 전류량(I_{pgc})을 공급할 수 있어야 하며 식 (1)과 같이 표현 가능하다.

$$I_{pgc} \geq \gamma + \sum_{i=1}^m I_{std(i)} \quad (1)$$

식 (1)을 통해 PGC 면적의 최소값을 확인할 수 있다. PGC의 면적이 증가하면 공급 가능한 전류량이 증가하고 전체 IR drop은 낮아진다. 그러나 PGC 면적의 증가는 전체 설계 면적이 증가하고 PGC가 갖는 누설전류가 증가하여 총 누설 전류 또한 증가하는 문제점을 야기한다. 따라서 식 (1)의 조건을 만족하며 PGC에 의한 총 누설 전류를 최소화하는 문턱전압(Threshold voltage, V_{th})의 종류(p)와 크기(q)를 갖는 PGC를 선정한다.

위에서 언급된 PGC의 종류 및 면적 추정 방법에 대한 의사 코드 형식의 표현은 그림 5와 같다. 그림 5에서 PGC의 전류 크기($I_{PGC}(j,k)$)와 설계 내 총 소모 전류의 크기($I_{total} + \gamma$)에 따라 PGC의 개수($Num(pgc)$)가 결정된다. PGC의 종류에 따른 개수 중 가장 적은 수의 PGC($Number(pgc), Type(pgc)$)가 선정된다.

(2) PGC 배치 간격 결정 방법

본 절에서 사용되는 모델링은 II장 4절에서 언급된 하나의 PGC에 연결된 금속 배선과 via, 로직 셀을 표현한 그림 4의 (c)를 따른다. 언급한 바와 같이 로직 셀들이 소모하는 전류는 각 노드별로 공급되는 PGC를 통해 전달되며 식(2)와 같이 표현할 수 있다.

$$I_{pgc(p,q)} \geq \sum_{j=1}^n I_{std(j)} (= I_S) \quad (2)$$

식 (2)에서 $I_{pgc(p,q)}$ 는 (1)항에서 결정된 문턱 전압의 종류(p)와 크기(q)를 갖는 PGC가 공급 가능한 최대 전류이고, $I_{std(j)}$ 는 PGC로부터 전류를 공급받는 로직 셀들의 소모 전류량을 의미한다. 이 로직 셀들의 총 소모 전류량을 I_S 로 표현한다. n 은 하나의 PGC로부터 전류를 공

식 (3)에서 V_{RVDD} 은 PGC와 VDD PDN에 인가되는 전압을, V_{VVDD} 는 로직 셀에 인가되는 전압을 의미한다. R_{PGC} 는 $I_{pgc(p,q)}$ 가 갖는 유효 저항을, r_m 은 VDD PDN이 갖는 등가 저항을, R_s 는 하나의 PGC로부터 전류를 공급받는 모든 로직 셀들의 등가 유효저항을 뜻한다. R_l 은 그림 4의 (c)에서 VVDD PDN의 금속 배선과 via 저항의 모델링 값($r_{ml} \times W_{PGC}$)을 표현한다. 요구 성능을 충족시키기 위해서는 이상적으로 로직 셀에 인가되는 전압과 공급전압은 일치해야 한다. 그러나 VDD PDN 및 PGC를 통과하는 전류로 인하여 공급전압은 V_{RVDD} 와 V_{VVDD} 사이에 일정 비율(β)로 분배된다. β 는 공정에서 제한하는 한계 IR drop 값보다 충분히 작거나, 인가전압의 10% 이하의 값 중에서 설계자에 의해 선정한다. V_{RVDD}/V_{VVDD} 값 β 를 식 (3)에 반영하고, 인가 전압으로 나누면 식 (4)와 같다.

$$\frac{1}{r_m + R_{PGC}} \geq \beta \cdot \left(\frac{2}{R_s} + \frac{2}{R_s + 2R_l} \right) \quad (4)$$

식 (4)를 R_l 으로 정리하고, R_l 을 VVDD PDN의 단위 저항(r_{ml})과 PGC간격인 W_{PGC} 로 변경하면 식 (5)를 도출할 수 있다.

$$W_{PGC} \leq \frac{1}{r_{m1}} \cdot \frac{R_s^2 - 4\beta(R_{PGC} + r_m)R_s}{4\beta(R_{PGC} + r_m) - 2R_s} \quad (5)$$

플로어플랜 완료 후 충분한 마진 값을 포함하여 PGC의 위치를 임시로 결정하고 로직 셀 배치를 간략하게 수행하면, 하나의 PGC에 의해 전류가 공급되는 영역의 셀 점유율 및 모든 로직 셀에 대한 등가 유효 저항을 도출할 수 있다. 예측된 셀 점유율 값(α)을 식 (5)에 반영하면 식 (6)과 같이 PGC 배치 간격의 최대값(W_{PGC})을 계산할 수 있다. 상기의 PGC 간격(W_{PGC})을 결정하는 방법을 의사 코드 형태로 나타내면 그림 6과 같다. 1항에서 결정된 PGC의 개수($Num(pgc)$)와 설계 내 필요로 하는 행의 개수(i)를 이용하면 설계 내에 PGC의 열의 개수(j)를 예측할 수 있다. 이를 바탕으로 하나의 PGC에서 공급되는 로직 셀들의 총 등가 저항(R_s)과 예상되는 셀 점유율 값(α)을 이용하여, 각 PGC 당 간격($Width[p,q]$)을 계산한다. 이후 이들을 열 단위($Width[*k]$)로 구분하고, 그 중 최소값을 각 열의 단위 간격($W_{PGC}(column_k)$)으로 선정한다.

```

1. i ← Total numbers of site rows
2. j ← Total numbers of column
3. Num(pgc) ← Previously determined PGC number
4. RPGC ← Resistance value of PGC
5. rm1 ← Equivalent resistance of VVDD PDN
6. β ← Ratio between VVDD and RVDD
7. α ← Cell utilization of the design
8
9. j ← i / Num(pgc)
10. for p ← 0 to number(i) do
11.   for q ← 0 to number(j) do
12.     Rs ← Sum(Resistance_of_std(PGC(p,q)))
13.     Width[p,q] ← α × func_of_eq6(rm1, Rs, RPGC, β)
14.   end for
15. end for
16. for k ← 0 to number(j) do
17.   WPGC(column_k) ← minimum(Width[*k])
18. end for

```

그림 6. PGC 간격 결정에 관한 의사코드

Fig. 6. The width between PGC and PGC determination pseudo code.

급받는 로직 셀의 개수를 뜻한다. 식 (2)를 그림 4의 (c)에 근거하여 인가전압과 등가 유효 저항으로 나타내면 식 (3)과 같이 표현할 수 있다.

$$\frac{V_{RVDD}}{r_m + R_{PGC}} \geq \frac{V_{VVDD}}{\frac{R_s}{2}} + \frac{V_{VVDD}}{\frac{R_s}{2} + R_l} \quad (3)$$

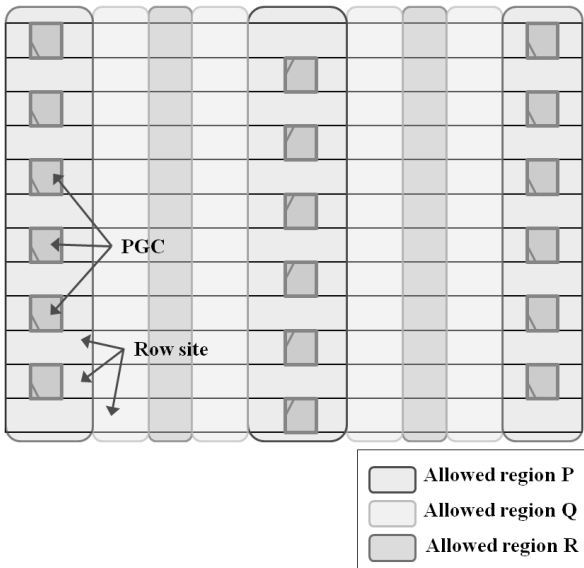


그림 7. 파워게이팅 셀 배치 하에 근거한 로직 셀 배치 가능 영역
Fig. 7. Logic cell placement region based on PGC design.

```

1. p ← Vth type
2. q ← standard cells
3. r ← the number of current groups
4. While until all p,q are classified do
5.   for m ← 0 to number(p) do
6.     for n ← 0 to number(q) do
7.       Ctype ← function of cell(m,n)
8.       Ctarget ← Cell_CurrentValue_in_lib(m,n)
9.       if ( Ctype == cell(high_toggling) ) then
10.        Ctarget ← ζ · Ctarget
11.      end if
12.      for x ← 0 to number(r) do
13.        if ( Ctarget ≥ Boundary_CurrentGroup(x) ) then
14.          Current_group(x) ← Ctarget
15.          x ← number(r)
16.        end if
17.      end for
18.    end for
19.  end for
20. end while
    
```

그림 8. 전류 소모량에 근거한 로직 셀 분류 의사코드
Fig. 8. Standard cell current group based on current dissipation sorting pseudo code.

$$W_{PGC} \leq \frac{\alpha}{r_{m1}} \cdot \frac{R_s^2 - 4\beta(R_{PGC} + r_m)R_s}{4\beta(R_{PGC} + r_m) - 2R_s} \quad (6)$$

2. 로직 셀 배치 방법

파워 게이팅 설계는 PGC의 면적 결정 및 배치 후 PDN이 완료되면 이를 바탕으로 P&R이 진행된다. 로직 셀 배치 방법은 로직 셀 배치 단계에서 셀이 배치될 영역을 분할한 뒤 셀별 전류 소모량에 따라 배치 허용 영역을 제한하는 것이다.

각각의 로직 셀이 소모하는 전류 값은 사전에 라이브러리 내에 기술되어 있다. 이 값을 바탕으로 로직 셀의 current group을 설정한다. current group의 수와 그룹 간 경계 값이 될 로직 셀의 최대·최소전류량은 설계자가 사용할 셀의 종류, 크기 및 개수 등을 반영하여 결정한다. 각 current group의 배치는 그림 7과 같이 사전에 배치된 PGC와의 거리를 근거로 구분된다. 예를 들어 전류 소모량이 많은 로직 셀들의 그룹을 current group A라 하면 current group A의 로직 셀들은 그림 6 내 PGC에 바로 인접한 allowed region P에 배치될 수 있다. 전류 소모량이 적은 로직 셀들의 그룹을 current group C로 정의하면 PGC와 가장 먼 allowed region R에만 배치되도록 제한된다. 전류 소모량이 current group A와 C에 포함되지 않은 로직 셀들은 current group B에 그러나 해당 로직 셀들이 기본적인 성능 조건을 충족하지 못하는 경우 상기의 group region에 근거한 배치 허용 여부를 무시하고, 모든 영역에 배치할 수 있도록 한다. 로직 셀 current group을 설정하는 기준은 라이브러리 내 기술된 전류 값을 기준으로 하지만, 로직 셀의 toggling ratio 또한 영향을 미치므로 로직 셀의 전류 그룹 결정 단계에서 이를 포함하여야 한다. 상기의 설명을 의사코드 형식으로 표현하면 그림 8과 같다. 포함되며, 이들은 allowed region Q에 놓인다.

그림 8에서 로직 셀의 종류(q)와 문턱전압(p)에 대해 라이브러리에 기술된 값(C_{target})과 각 current group 별 경계값(Boundary_CurrentGroup(x))간에 비교를 진행하여 해당 로직 셀들이 포함될 current group을 결정한다. 단, 클럭 버퍼/인버터 그리고 클럭 게이트 셀 등과 같이 많은 동작을 요구하는 셀들(cell(high_toggling))의 경우, 개별 전류 소모는 작지만 클럭 동작으로 인해 블록 전체 전류 소비의 최대 40% 정도를 차지하고^[23] IR drop에 대한 영향도 크다. 이를 반영하기 위해 높은 소모 전류를 갖는 current group에 포함시키기 위해 가중치(ζ)를 부여하여 분류하도록 한다. 이 때, 가중치(ζ)의 크기는 각 공정과 회로의 구조에 따라 다르므로, 이를 고려한 값으로 선정한다. 본 논문의 실험에서 적용한 가중치(ζ)의 크기는 클럭 트리 구성에 사용되는 최소 크기의 인버터 셀이 동작 과정에서 소모하는 동적 전류를 가장 작은 크기의 순서회로의 동적 전류 크기와 비슷하게 구현하기 위해 약 8 정도의 크기로 선정하였다.

IV. 실험

III장에서 언급된 방법의 타당성 검증을 위한 실험 설계, 결과 및 분석은 다음과 같다.

1. 실험 설계

본 논문에서 제시하는 방법의 타당성 검증을 위한 실험은 모바일 AP에서 IR drop 문제가 critical한 두 종류의 고속 디지털 IP core 블록을 선정하였다. AP 블록에 대한 구조도는 그림 9와 같다^[19]. 그림 9에서 개별적으로 전력 공급 조절이 가능한 블록은 회색으로 구분되어 있다. 이 중 실험에 선정된 블록들은 AP내에서 가장 빠른 동작 속도를 요구하는 블록(IP_1)과 동작 시 가장 많은 전력을 소모하는 블록(IP_2)으로, 가장 빈번하게 동작하는 동시에 AP 전체의 전력 소모에 압도적인 비중을 차지한다. 또한 IP_1과 IP_2의 경우 로직 셀의 구현 형태가 목적에 따라 상이하다. IP_1의 경우 고성능 설계를 위한 로직 셀 라이브러리를 사용한다. 반면 IP_2에서는 고집적 및 저전력 구현에 최적화된 로직 셀 라이브러리를 이용한다. 이를 통해 본 논문에서 제안한 기법의 영향을 AP 전체 범위에서 확인 할 수 있도록 하였다.

실험의 수행은 상기의 두 IP들을 바탕으로 적용된 방법에 따라 세 종류로 구분하여 진행하였다. 먼저 Lin, Jai-Ming, et al.^[5]에서 제안한 방법을 이용하여 구현한 설계(A, Lin's method), 본 논문 III장 1절의 셀 점유율을 반영한 PGC 배치 기법만을 반영한 설계(B, PGC method), 마지막으로 III장 1절의 PGC 배치 기법과 2절의 current group에 따른 로직 셀 배치 허용 영역을 결정하는 방식을 모두 적용한 설계(C, PGC + CG method)이다.

표 2. 설계 내 면적 관련 및 DRC 비교
Table2. Design and DRC violation comparison.

IP	IP_1			IP_2		
	A	B	C	A	B	C
routing						
total routing area(μm^2)	9,447,563.00	9,320,370.00	9,397,240.00	3,370,370.00	3,278,055.00	3,366,905.00
PDN routing area(μm^2)	1,588,702.00	1,551,302.00	1,552,258.00	1,171,615.00	1,099,232.00	1,099,232.00
PDN/total(%)	16.82	16.64	16.52	34.76	33.53	32.65
Cell Area(Normalized)	100.00	97.65	97.71	100.00	99.56	98.62
Metal routing violations(ea)	5	0	0	16	0	0
Cell utilization(%)	77.40	80.29	81.03	72.85	82.32	82.22

2. 결과 및 분석

실험 결과는 두 가지 기준으로 분석하였다. 먼저 설계에 사용된 PGC 셀의 크기 및 전체 로직 셀과 총 배선 면적 등을 통한 물리적 설계 결과에 관한 분석을 진행하고, 이후 블록 동작에 따른 정적 IR drop에 관한 비교를 통해 결과의 유효성을 확인하도록 한다.

(1) 물리적 설계 결과에 관한 분석

물리적 설계 결과는 II장 3절에서 언급한 PGC를 포함한 물리적 설계 단계가 완료된 후 얻어지는 최종 결

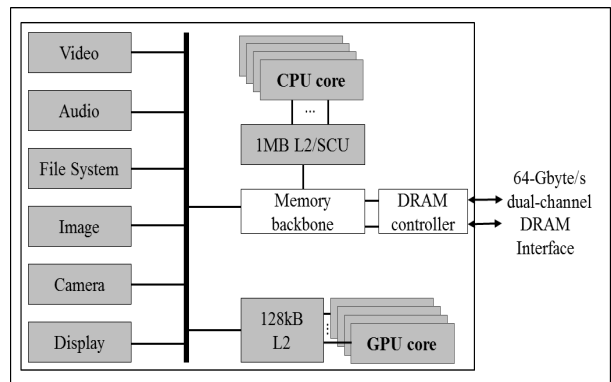


그림 9. 실험에 사용된 AP의 간략한 아키텍처 및 power domain
Fig. 9. Simplified AP architecture and power domain.

표 1. PGC 면적 및 wake-up time 비교
Table1. PGC area and wake-up time comparison (Normalized).

		A	B	C
IP_1	PGC area(μm^2)	32,370.62	28295.71	28,215.71
	Wake-up Time (Normalized)	100.00	87.41	87.41
IP_2	PGC area(μm^2)	147,658.37	123,794.11	123,794.11
	Wake-up Time (Normalized)	100.00	83.84	83.84

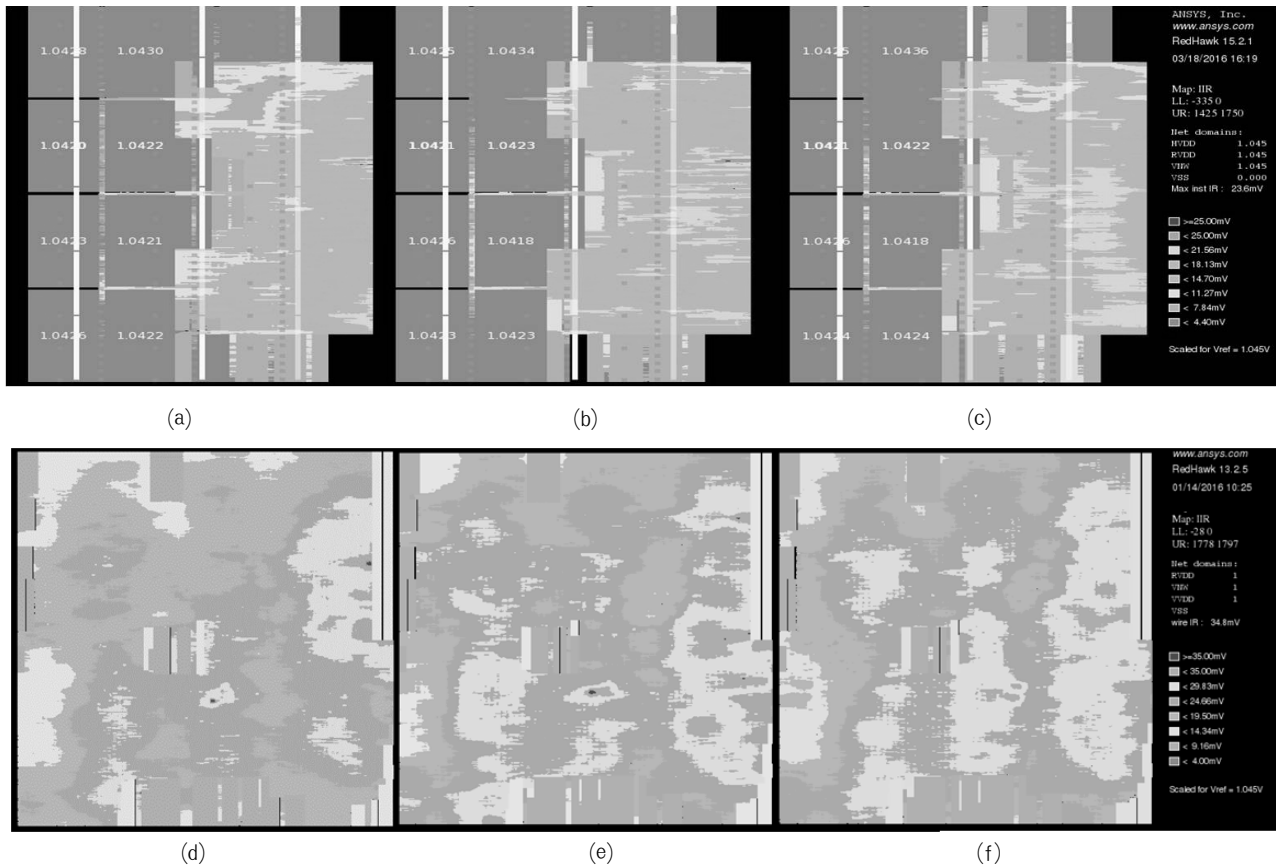


그림 10. 설계 내 전체 IR drop 결과 분포, (a)/(d) Lin's 기법, (b)/(e) PGC 기법, (c)/(e) PGC + CG 기법
Fig. 10. Overall IR drop map in tested design. (a)/(d) Lin's method, (b)/(e) PGC method, (c)/(e) PGC + CG method.

표 3. 최대 IR drop 발생 지역 내 점유율
Table3. Cell Utilization in maximum IR drop region.

Static IR drop		A	B	C
IP_1	Max IR drop(mV)	25.90	25.20	23.70
IP_2	Max IR drop(mV)	37.72	37.33	34.78

표 4. 셀 점유율에 따른 설계 B 대비 설계 C의 IR drop 개선 정도 비교

Table4. IR drop improve rate of design C compared to design B in accordance with cell utilization.

Utilization(%)	66.24	72.85	82.32
Improved Rate(%)	114.68	112.09	107.24

과물이다. 여기에서 PGC가 전체 설계에 미치는 영향을 PGC 면적 측면과 배선 및 셀을 포함한 설계 면적 측면으로 구분하여 분석토록 한다.

PP의 크기, 전력 소비, 그리고 수율 등에 영향을 미친다. PGC 면적 측면 분석은 총 PGC 면적 비교를 통해 설계의 효율성을 확인한다. 실험에서 사용된 PGC의 총 면적은 표 1과 같다. B, C의 경우 PGC의 총 면적이 A 대비 각각 12.59%(IP_1), 16.16%(IP_2) 감소하였음을 확인하였다. 이를 통해 본 논문에서 제안한 셀 점유율을 이용한 PGC 면적 추정, 종류 선정 및 배치 방법이 PGC 면적 측면에서 기존의 방법 대비 더 효과적임을 확인할 수 있다. wake-up time과 차단 동작 기간 동안의 누설전류 또한 감소되는 PGC 개수 비율만큼 개선할 수 있었다. 이를 통해 기존 방식 대비 비동작 기간이 최

대 7% 짧더라도 파워 게이팅 동작을 사용하여 전력 소모를 감소시킬 수 있다. PP의 크기, 전력 소비, 그리고 수율 등에 영향을 미친다. PGC 면적 측면 분석은 총 PGC 면적 비교를 통해 설계의 효율성을 확인한다. 실험에서 사용된 PGC의 총 면적은 표 1과 같다. B, C의 경우 PGC의 총 면적이

A 대비 각각 12.59%(IP_1), 16.16%(IP_2) 감소하였음을 확인하였다. 이를 통해 본 논문에서 제안한 셀 점유율을 이용한 PGC 면적 추정, 종류 선정 및 배치 방법이 PGC 면적 측면에서 기존의 방법 대비 더 효과적임을 확인할 수 있다. wake-up time과 차단 동작 기간 동안의 누설전류 또한 감소되는 PGC 개수 비율만큼 개선할 수 있었다. 이를 통해 기존 방식 대비 비동작 기간이 최대 7% 짧더라도 파워 게이팅 동작을 사용하여 전력 소

모를 감소시킬 수 있다. PP의 크기, 전력 소비, 그리고 수율 등에 영향을 미친다. PGC 면적 측면 분석은 총 PGC 면적 비교를 통해 설계의 효율성을 확인한다. 실험에서 사용된 PGC의 총 면적은 표 1과 같다. B, C의 경우 PGC의 총 면적이

A 대비 각각 12.59%(IP_1), 16.16%(IP_2) 감소하였음을 확인하였다. 이를 통해 본 논문에서 제안한 셀 점유율을 이용한 PGC 면적 추정, 종류 선정 및 배치 방법이 PGC 면적 측면에서 기존의 방법 대비 더 효과적임을 확인할 수 있다. wake-up time과 차단 동작 기간 동안의 누설전류 또한 감소되는 PGC 개수 비율만큼 개선할 수 있었다. 이를 통해 기존 방식 대비 비동작 기간이 최대 7% 짧더라도 파워 게이팅 동작을 사용하여 전력 소모를 감소시킬 수 있다.

설계 면적 측면은 정규화된 셀 전체 면적과 셀 점유율, PGC의 면적 및 배치에 따른 PDN이 전체 설계에 미치는 오버헤드를 배선 면적량과 DRC를 통해 분석한다. 배선 면적 측면의 분석은 신호 연결을 위해 사용된 금속 배선의 면적 비교 및 DRC violation의 개수 비교를 통해 확인한다. DRC는 P&R이 완료된 시점에서 IC Compiler^[20]내에서 생성되는 DRC 리포트를 사용했고, 결과는 표 2와 같다.

기존의 논문에서 제시된 방식을 이용한 A의 경우 한계 IR drop 값을 맞추기 위해 과도한 양의 PGC와 PDN의 구현이 필요했다. 이 때문에 DRC 과정에서 rule violation이 발생하였고 추가적인 수정 과정 없이는 violation을 제거할 수 없었다. 반면 본 논문에서 제안한 기법을 적용한 B, C가 A 대비 약 3~6%의 배선 면적이 감소하였으며, DRC violation 없이 성공적으로 구현할 수 있음을 확인했다. 셀 면적 측면에서는 B, C의 기법이 A와 큰 차이는 없었다. 그러나 DRC violation을 발생시키지 않는 범위 내에서 설계를 구현할 경우 B, C가 A 대비 최대 12.86% 면적을 감소시킬 수 있었다.

(2) 정적 IR drop에 관한 분석

정적 IR drop의 측정은 Apache 사의 Redhawk^[21]을 사용하였다. 정적 IR drop을 수행하는 조건은 실험 전체에서 동일하게 vectorless 환경으로 클럭과 로직 셀의 toggling ratio를 설정한다. Redhawk에서는 하나의 클럭 사이클 내 발생하는 모든 transition을 기준으로 IR drop을 예측하므로 클럭 관련 셀 및 핀에 대해 클럭 주기 당 2회의 toggling ratio를 설정하였다. 기타 로직 셀에 대해서는 벤치마크들과 ATPG(Auto Test Pattern Generation)분석을 통해 peak toggling rate로 확인된

35%의 값으로 설정하였다.

설정된 환경에서 확인된 정적 IR drop의 결과는 표 3 및 그림 10과 같다. IP_1의 경우 C가 A 대비 PGC 면적은 12.59% 감소하며 최대 IR drop은 8.49% 감소하였다. IP_2의 경우 C가 A 대비 PGC 면적은 16.16%, PDN 배선 면적은 6.18% 감소함을 볼 수 있다. 그럼에도 정적 IR drop의 최대값은 C가 A 대비 7.79% 개선된 결과를 나타냈다.

또한 실험에 사용된 설계의 총 면적을 변경하면서 동일한 실험을 수행한 결과 C는 B와 비교하여 셀 점유율이 낮을수록 IR drop 값의 개선 정도가 큼을 표 4를 통해 확인할 수 있다. 표 4 내 개선 정도는 각 셀 점유율 하에서 B의 IR drop 최대값을 C의 값으로 정규화한 크기이다.

V. 결 론

공정 미세화는 원하는 패턴을 구현하기 위한 공정 복잡성과 디자인 룰의 증가를 초래한다. 공정 비용 증가로 인한 부담을 감소시키기 위해 높은 셀 점유율을 갖는 설계에 대한 요구가 증가하는 상황에서 디자인 룰의 증가는 금속 배선의 집적도를 저해하여 셀 점유율 증가를 제한하는 요인이 된다. 여기에 저전력 설계에 대한 요구의 증가는 인가전압의 지속적인 감소를 초래하고, IR drop으로 인한 신뢰성 문제를 야기하고 있다. 따라서 디자인 룰을 충족하는 동시에 최소한의 배선 면적을 바탕으로 IR drop을 만족시키는 문제는 반도체 설계에서 중요한 이슈가 되고 있다.

본 논문에서는 파워 게이팅 설계 시 IR drop으로 인한 신뢰성 문제를 완화시킬 수 있는 방법을 제시하였다. 셀 점유율에 근거한 PGC 면적 추정, 종류 선정 및 배치에 가변성을 두는 방법을 통해 기존 연구에서 제시한 배치 방법 대비 PGC 면적 측면에서 12.59~16.16%, PDN 배선 면적 측면에서 6.27% 감소함을 확인할 수 있었다. 또한 PDN 면적의 감소로 인해 높은 셀 점유율에서도 DRC 에러 없이 설계를 구현할 수 있었고, 이를 통해 설계 면적을 12.86% 감소시킬 수 있었다.

결정된 PGC 배치 아래에서 로직 셀 배치 진행 시 셀 종류 별 전류량을 이용하여 그룹을 설정하고, 이들의 배치 가능 영역을 한정하는 방법을 물리적 설계 단계에 추가하였다. 이를 통해 IR drop으로 인한 신뢰성 문제에 견고한 설계를 구현할 수 있었다. 실험 결과 논문에서 제안하는 방법을 적용치 않은 설계 대비 정적 IR drop 최대값을 7.79~8.49% 개선시킬 수 있음을 확인하였다.

반도체 설계 과정에서 IR drop 문제가 발생하면 물리적 설계 과정에서 반드시 해결되어야만 한다. 이의 수정 과정은 경우에 따라 다르지만 물리적 설계 과정 중 5~10% 정도의 일정을 증가를 유발한다. 본 논문에서 제안하는 기법을 적용할 경우, 이러한 개발 기간 상의 지연을 최소화 할 수 있었으며, 80% 이상의 셀 점유율이 요구되는 경우에도 가능한 적은 PDN 면적을 이용하여 IR drop으로 인한 신뢰성 문제를 해결할 수 있었다.

REFERENCES

- [1] Shi-Hao Chen, Youn-Long Lin, and Mango C-T. Chao, "Power-up sequence control for MTCMOS designs," *IEEE Trans. Very Large Scale Integration Systems*, Vol. 21, no. 3, pp. 413-423, Mar. 2013.
- [2] Preeti Gupta. Be Early with Power. *Chip Design Magazine*, (2006), [Online], Available: www.chipdesignmag.com/display.php?articleId=613
- [3] Khalil DiaoEldin, and Ismail Yehea, "Optimum sizing of power grids for IR drop," *Proceeding of 2006 IEEE International Symposium Circuits and Systems(ISCAS)*, pp 481-484. May, 2006.
- [4] Lee Kee Yong, and Chee Kong Ung, "Power density aware power gate placement optimization scheme," *Proceeding of 2010 2nd Asia Symp. Quality Electronic Design(ASQED)*, pp. 38-42, Aug. 2010.
- [5] Shi, Kaijian, Zhian Lin, and Yi-Min Jiang, "Simultaneous sleep transistor insertion and power network synthesis for industrial power gating designs," *Proceeding of 2007 Quality Electronic Design 07 8th International Symp. (ISQED)* pp. 362-367, Mar. 2007.
- [6] Jai-Ming Lin, Che-Chun Lin Lin, "Current density aware power switch placement algorithm for power gating designs," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 34, no 3, pp. 766-777, May. 2015.
- [7] David Abercrombie, Elakkumanan Praveen, and Lars Liebman, "Restrictive design rules and their impact on 22 nm design and physical verification," *Proceeding of 2009 Electronic Design Processes Symposium*. Vol. 143. Apr. 2009.
- [8] Meng-Kai Hsu, Katta Nitesh, homer Yen-Hung Lin, Keny Tzu-Hen Lin, King Ho Tam, Ken Chung-Hsing Wang, "Design and manufacturing process co-optimization in nano-technology," *Proceedings of the 2014 IEEE/ACM International Conference on Computer-Aided Design*, pp 574-581, Nov. 2014.
- [9] Tsuang-Wei Chang, Ting-Ting Hwang, and Sheng-Yu Hsu, "Functionality directed clustering for low power MTCMOS design," *Proceedings of 2005 Asia and South Pacific Design Automation Conference*, Vol. 2. pp. 862-867, Jan. 2005.
- [10] James Kao, Anantha Chandrakasan, and Dimitri Antoniadis, "Transistor sizing issues and tool for multi-threshold CMOS technology," *Proceedings of the 34th annual Design Automation Conference*. ACM, pp. 409-414, Jun. 1997.
- [11] Anis Mohab, Shawki Areibi and Mohamed Elmasry, "Design and optimization of multi-threshold CMOS(MTCMOS) circuits," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 22, no. 10, pp. 1324-1432, Oct. 2003.
- [12] Changbo Long and Lei He, "Distributed sleep transistor network for power reduction", *IEEE Trans. Very Large Scale Integration Systems*, Vol. 12, no. 9, pp. 937-946, Sep. 2004.
- [13] Benton H. Calhoun, Frank A. Honore and Anantha P Chandrakasan, "A leakage reduction methodology for distributed MTCMOS," *IEEE Journal of Solid State Circuits(JSSC)*, vol. 39, no. 5, pp. 818-826, May, 2004.
- [14] Wang Yu, Lin Hai, Yang Huazhong, Luo Rong, Wang Hui, "Simultaneous Fine-grain Sleep Transistor Placement and Sizing for Leakage Optimization," *Proceeding of 2006 International Symposium on Quality Electronic Design (ISQED)*, pp. 723-728, Mar. 2006.
- [15] Fang Bao, Tehranipor Mohammad, and Chen Huanting, "Worst-Case Critical-Path Delay Analysis Considering Power-Supply Noise," *Proceeding of 2013 22nd Asian Test Symposium (ATS)*, IEEE, pp. 37-42, Nov. 2013.
- [16] Andrade Dennis, Robio A, Calomarde A., and Contofana S. D., "Analysis of delay mismatching of digital circuits caused by common environmental fluctuations," *Proceeding of 2011 Circuits and Systems(ISCAS)*, IEEE International Symposium on. pp. 2585-2588, May. 2011.
- [17] Runjie Zhang, Brett H. Meyer, Wei Huang, Kevin Skadron, Mircea R. Stan, "Some limits of power delivery in the multicore era," *Proceedings of 2012 4th Workshop on Energy Efficient Design(WEED)*, Jun. 2012.
- [18] Lin, Shen, and Norman Chang. "Challenges in power-ground integrity." *Proceeding of 2011 IEEE/ACM Conference on Computer Aided Design(ICCAD)*, pp. 651-654, Nov. 2001.

- [19] Yang, Se-Hyun, Pyo, Jung-ryul, and Shin, Young-min, "A 1.6 GHz quad-core application processor manufactured in 32 nm high-k metal gate process for smart mobile devices." *IEEE Communications Magazine*, Vol. 51, pp. 94-98, Apr. 2013.
- [20] Synopsys IC Compiler, Synopsys IC Compiler Implementation User Guide Manual, (2015), [Online] Available: <http://www.synopsys.com/>
- [21] Apache Design Inc. RedHawk, RedHawk User Reference Manual, (2015), [Online] Available : <https://www.apache-da.com/>
- [22] Soman, Brahme, Venkatraman, Shaikh, Thiyagaraja, Patil "Ensuring On-Die Power Supply Robustness in High-Performance Designs" Proceedings of 24th VLSI Design International Conference on IEEE, 2011.
- [23] Rabaey, Jan M., Anantha P. Chandrakasan, and Borivoje Nikolic. *Digital integrated circuits. Vol. 2*. Englewood Cliffs: Prentice hall, pp. 508-512, 2002.

 저 자 소 개



권 석 일(학생회원)

2006년 성균관대학교 정보통신공학사 졸업.

2006년 3월~현재 삼성전자 반도체사업부 책임연구원.

2015년 3월~현재 성균관대학교 반도체디스플레이공학과 석사과정.

<주관심분야: SoC 설계 방법론>



한 태 희(평생회원)

1992년 KAIST 전기 및 전자공학과 학사 졸업.

1994년 KAIST 전기 및 전자공학과 석사 졸업.

1999년 KAIST 전기 및 전자공학과 박사 졸업.

1999년 3월~2006년 8월 삼성전자 통신연구소 책임 연구원.

2006년 9월~2008년 2월 한국산업기술대학교 전자공학과 조교수.

2008년 3월~현재 성균관대학교 정보통신대학 반도체시스템공학과 부교수.

2011년 5월~2013년 4월 지식경제부 시스템반도체 PD

<주관심분야: SoC 아키텍처 및 설계 방법론, 3D IC, 메모리/스토리지 시스템 구조, 임베디드 SW, IT 융합기술>