그래핀을 이용한 전자소자 연구

http://dx.doi.org/10.5757/vacmac.3.1.22

이상경, 김윤지, 이병훈

Study on future electronic device using graphene

Sang kyung Lee, Yun Ji Kim, Byoung Hun Lee

Although graphene has been considered as one of the promise materials for future logic devices due to extremely high mobility, its applications in electronics have been limited to a few cases such as a flexible interconnect, and RF devices. Furthermore, most of the studies on graphene devices reported unstable operations, claimed to be due to the poor quality of graphene. Nevertheless, recent studies showed that the electrical performance of graphene field effect transistor could be stabilized even with CVD graphene when well-established integration processes to control the interface of graphene were used. These results indicate that as in the case of silicon devices, a proper control of graphene interface is very important for the stable operation of graphene device as well as other 2D material based devices.

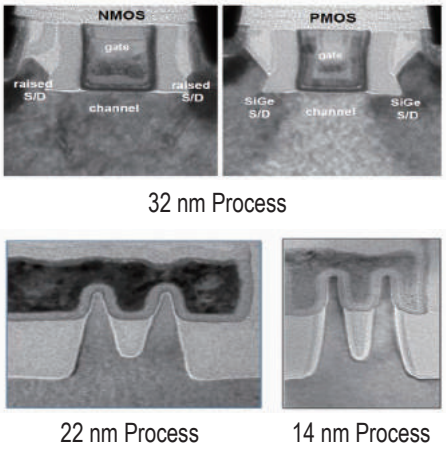
Ⅰ. 서론

반도체 물질인 실리콘(Si)을 이용한 Complementary metal-oxide semiconductor (CMOS) 집적기술은 단위 소자의 크기를 줄임으로써, 연산 속도 증가로 인한 성능 개선과 경제성 향상이라는 두 가지 목표를 동시에 달성하는 방향으로 발전해왔다 [1,2]. 2009년 32 ㎚의 게이트 길이를 가지는 전계 효과 트랜지스터 (field effect transistor, FET) [3]가 상용화 되고, 2015년에는 14 nm 기술이 상용화되었으며, 7 nm급 기술에 대해서도 연구가 진행되고 있다 (그림 1). 그러나, 미세화의 한계로 인해 성능 개선 속도가 둔화되고, 공정 비용의 상승으로 경제성 측면에서의 장점도 크게 줄어들고 있는 추세여서 소자 기술과 집적 기술 두 가지 부분에서 모두 획기적인 혁신이 필요한 상태이다. 이 때문에 새로운 소재를 이용한 기술 혁신에 대한 관심이 고조된 상황이다.

2004년 Andre Geim과 Konstantin Novoselov에 의하여 2차원 탄소(Carbon) 단원자층 구조체인 그래핀(Graphene)을 graphite로부터 물리적으로 분리될 수 있다는 것이 소개 [4]되면서, 2차원 소재를 이용한 미래 전자 소자 기술에 대한 관심이 크게 증가했다 (그림 2). 특히 실리콘 전계 효과 트랜지스터의 경우, 소자 소형화에 따른 단채널 효과 문제를 해결하기 위해 silicon-on-

〈저자 약력〉

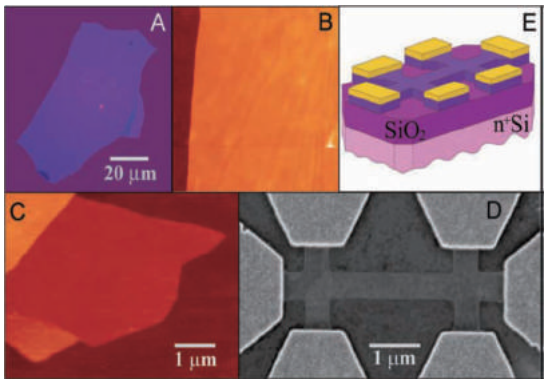
- 이병훈 교수는 2000년 The University of Texas at Austin에서 전자공학 박사학위를 받았으며, 2003년 03월부터 2007년 07월까지 IBM Microelectronics에서 Senior Scientist 로 재직하면서 lead integrator로 65nm SOI 소자집적공정개발을 총괄했다. 2007년 07월부터 2008년 10월까지 SEMATECH에서 emerging technology program의 Program manager로 재직했다. 2008년 10월 World class university 프로그램으로 초빙되어, 2013년 08월까지 광주과학기술원 부교수로 재직했다. 2013년 09월부터 광주과학기술원 정교수, 미래전자소자 연구센터장, 대외협력처장을 역임하고 있다. 주요 연구 관심 분야는 초 저전력 소자 및 아키텍쳐, 각종 그래핀 응용 소자 및 센서, 전자소자의 전기적 특성분석방법 개발 및 신뢰성 분야이다. (bhl@gist.ac.kr)
- 이상경 저자는 2010년 2월 한국해양대학교에서 전파 공학 학사 학위를 받았으며, 2011년 8월 광주과학기술원 나노 바이오 재료 전자 공학과에서 석사 학위를 받았다. 2011년 9월부터 현재까지 광주과학기술원 신소재 공학부에서 박사 과정을 진행 중이며 2011년 9월부터 2012년 8월까지 SEMATECH에서 실리콘 소자의 신뢰성 연구를 진행하였다. 주요 연구 관심 분야는 그래핀 RF 소자, 대면적 그래핀 소자 공정 개발 및 전기적 분석 연구, 차세대 3차원 집적 공정이다. (leesk@gist.ac.kr)
- 김윤지 저자는 2012년 한양대학교에서 학사학위를 받았으며, 2012년 3월부터 광주과학기술원 신소재공학부에서 석박 통합 과정을 진행하고 있다. 주요 연구 분야는 그래핀 및 2차원 물질 기반 소자 공정 개발 및 전기적 분석 연구, 2차원 물질을 응용한 삼진 논리 소자이다. (yjk0825@gist.ac.kr)



[Fig. 1] Cross section image of Intel COMS devices with 32nm [3], 22nm and 14nm [2] technology

insulator(SOI), finFET과 같이 단위 게이트 전극이 조절하는 실리콘의 부피를 줄여서 게이트 조절 능력을 개선함으로써, 단채널 효과를 개선하는 기술 추세에 비추어 볼 때 [5], 2차원 소재를 이용한 전자 소자 개발은 나름 타당성이 있는 것으로 받아 들여졌다.

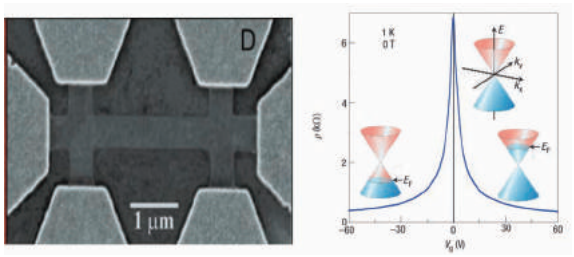
그래핀 또는 다양한 탄소 구조체 (fullerene(0D), Carbon nanotube(CNT, 1D), Graphite(3D) 등 [6])를 이용한 연구는 매우 다양한 분야에서 진행되고 있지만, 그래핀을 이용한 전자 소자 연구는 그래핀의 높은 전자 이동도 (Field effect mobility) 때문에 크게 관심을 받게되었다. 2008년 콜롬비아대학교의 Bolotin은 suspended graphene FET을 이용하여 저온에서 200,000 ㎠/Vs에 달하는 전자 이동도를 보고했다 [7]. 이 값은 실리콘 전계 효과 트랜지스터의 전자의 전하 이동도 [8]가 저온에서 3000 ㎠/Vs 정도임을 감안하면, 상상하기 어려운 수준의 매우 높은 값으로, 차세대 고속 연산 소자용 소재로서 그래핀이 더욱 주목 받게 되는 계기가 되었다. 그러나 그래핀을 이용한 전자 소자에 대한 연구는 초기와는 달리 매우 부정적인 인식이 확산되고 있다. 첫 번째 문제로 밴드갭이 없어서 on-off 비가 20이하이기 때문에 전자소자로 적용이 어렵다는 것이 지적되고 있다. 이 때문에 밴드갭을 가진 그래핀을 만들거나, 밴드갭이 있는 이차원소재에 대한 연구가 매우 활발히 진행되었지만, 밴드갭을 만들면서 그래핀의 고유한 장점인 높은 전하 이동도가 열화 되는 문제를 해결하지 못하고 있다. 이 문제에 대한 대안으로 제시된 다른 이차원 소재들은 실리콘에 비해서도 매우 낮



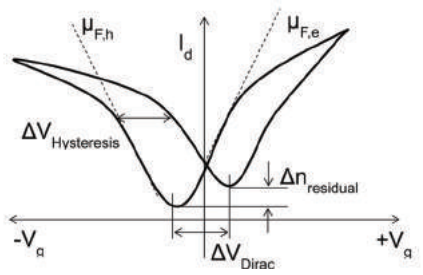
[Fig. 2] Graphene films (A) Photograph of multilayer graphene flake (B,C) AFM image (D) SEM image of experimental devices (E) Schematic view of the device [4]

은 전하 이동도를 갖거나, 물리적 안정성이 나쁘다는 단점들이 있기 때문에 이러한 접근 방법으로 실리콘 소자에 필적할 만한 전자 소자를 만들 가능성은 높지 않아 보인다. 두 번째로는 아직 완벽한 단일 원자층 소재를 만들기 어렵고 결정 결함이 너무 많아서 전자 소자를 연구할 만한 수준이 도달하지 못했을 뿐 아니라, 소자의 안정성이 매우 나쁘다는 비판적 인식이 있다. 밴드갭이 없어도 유용하게 사용할 수 있는 그래핀 전자 소자에 대한 내용은 다음 기회에 소개하기로 하고, 이 논문에서는 두 번째 관점에 대해 어느 정도의 연구가 진행되고 있는 지를 정리해보고자 한다.

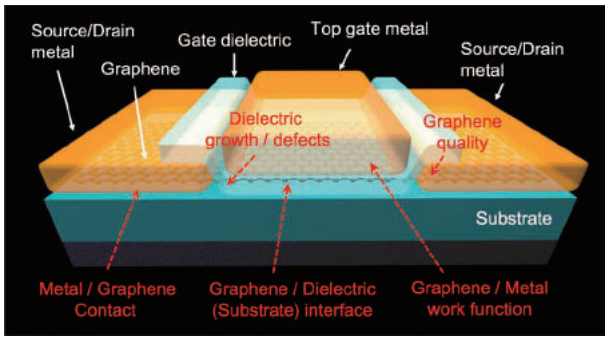
안정적으로 동작하는 그래핀 전자 소자를 만들기 위해서는 매우 많은 문제점들이 해결되어야 한다. 대표적인 예를 몇 가지 소개하면, 대면적 그래핀을 성장 공정에 구리 (Cu), 니켈 (Ni) 과 같은 촉매 금속 상에서 800℃ 이상의 고온 조건 [9]이 필요하기 때문에, 소자를 제작하고자 하는 기판에 직접 성장하기 어렵다. 이 때문에 그래핀을 성장한 다음, 소자를 제작하기 위한 기판에 전사하는 과정 [10]이 필요하며, 이 단계에서 그래핀에 물리적 손상이 생기거나, 그래핀과 전사 대상 기판 간의 계면 상태가 일정하지 못하여 제작된 그래핀 소자의 성능이 균일하지 못하게 된다. 또한 그래핀 표면은 화학적으로 불활성 특성을 가지 때문에 통상적으로 사용되는 atomic layer deposition(ALD)공정을 이용하여 그래핀 상에 균일하고 얇은 게이트 절연체를 증착 하는 것이 매우 어렵다 [11-14]. 이로 인하여 소자 동작 시 절연체 및 계면에 전자(정공)가 트랩 되는 히스테리시스 (hysteresis) 현상 [15-20]



[Fig. 3] SEM image of graphene FET (Left) [4] Electrical characteristic of graphene FET (Right) [6]



[Fig. 4] Typical I_d-V_g curve showing various parameters defining the hysteresis [33].



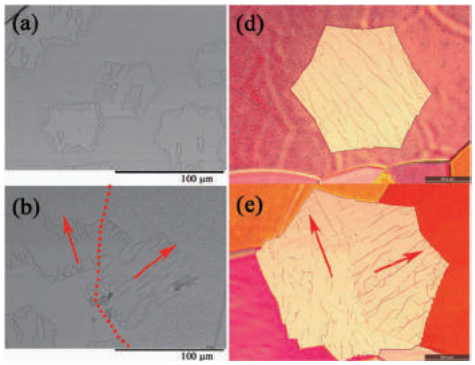
[Fig. 5] Major issues (red) of device performance degradation in basic structure of top gate graphene FET.

이 일어나, 소자의 동작 특성을 정의하기 어렵게 하며, 외부 수증기 또는 산소 등과 반응하여 그래핀이 p-type으로 도핑 (doping) 되는 문제도 있다 [21-29]. 이 밖에도 실리콘 소자에서의 경험으로 예측할 수 없었던 여러 문제점으로 그래핀 전자 소자의 실용화는 매우 어려운 문제로 간주되고 있다. 그러나 실리콘 소자의 특성을 안정화하는 데에도 20년 이상의 연구기간이 필요했다는 점을 감안하면, 비록 누적된 경험이 있다고는 하지만 불과 수년간의 연구 결과만으로 그래핀 소자의 안정성에 본질적인 문제가 있다는 결론을 내리는 것은 매우 성급한 견해라고 봐야 할 것이다.

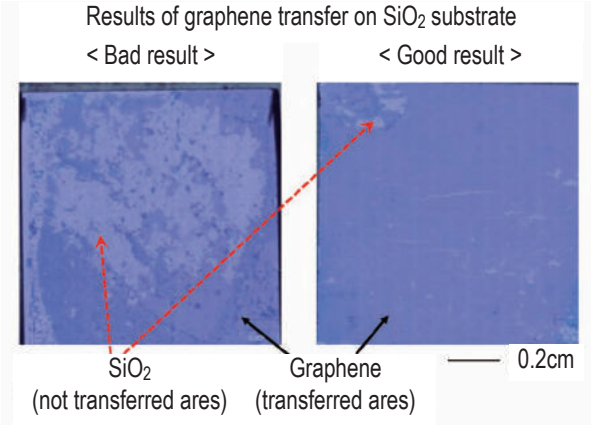
아래에 소개할 내용은 장기간 안정적으로 동작하는 그래핀 전계 효과 소자를 제작하기 위해 본 연구실에서 개발된 공정들과 그와 관련된 소자 분석 결과들이다. 결론을 요약하자면, CVD 그래핀을 이용하더라도 안정적으로 동작하는 그래핀 소자를 충분히 구현할 수 있다는 것을 입증할 수 있었으며, 이 결과를 잘 활용한다면, 그래핀 기반의 전자 소자 연구도 획기적으로 발전할 수 있을 것으로 예측된다.

II. 그래핀의 전기적 특성

그래핀은 외부 전기장에 의해 그래핀에 흐르는 전하의 종류가 바뀌게 된다. 그림 3과 같은 그래핀 전계 효과 소자에서 외부에서 전기장이 가해지면 그래핀의 페르미 레벨(Fermi level)이 바뀌게 된다 [6]. 그래핀의 에너지 밴드 (energy band) 구조 에서는 외부 전기장이 없을 때, 전하량이 최소가 되는 부분이 존재하는데, 이를 전하 중립점 (Charge neutral point) 또는 Dirac point 라고 부르며, 이때 그래핀의 저항이 최대가 된다 (그림 3 (Right)) [6]. 그래핀에 음의 전기장이 가해지게 되면 페르미 레벨이 Dirac point 아래로 이동하여 그래핀에 정공이 유도 (p-type 그래핀)되고, 양의 전기장이 가해지면 그래핀의 페르미 레벨이 Dirac point 위로 이동하여 그래핀에 전자가 유도(n-type 그래핀)된다. 이 때문에 그래핀은 양극성 전하 전송 (ambipolar transport) 특성을 가지게 된다. 이상적인 그래핀의 특성은 외부 전기장(게이트 인가 전압 기준)이 0V인 지점에서 Dirac point가 관찰되어야 하지만, 상온과 대기 중에서 동작하는 그래핀 소자는 그래핀 표면과 계면에 존재하는 불순물로 인해 그림 4처럼 나타나게 된다. 특히 결함이 많은 CVD 그래핀으로 제작한 소자는 전사 및 제작 과정 중에 발생하는 불순물, 대기 중에 존재하는 수분과 산소 분자의 흡착, 그래핀 표면에서의 전기 화학적 반응으로 인해 안정적인 I_d-V_g 특성을 얻기 어렵다 [28-33]. 전기적 특성이 안정적이지 못한 그래핀 전계 효과 트랜지스터의 경우, 그림 4와 같이 전압 인가 범위나 인가 방향에 따라 I_d-V_g 곡선이 변화되는 불안정한 특성을 보인다. 게이트 전압을 양에서 음으로 바꿔가며 측정할 경우 Dirac voltage (그래핀 소자에서 저항이 최대인 지점의 게이트 전압 값, Dirac point에



[Fig. 6] SEM images of CVD graphene domain on Cu foil [17].



[Fig. 7] Results of graphene transfer on SiO_2 substrate. Depending on the process conditions, transfer yield is severely affected. Bright regions pointed by red arrows represent the areas where graphene is not transferred

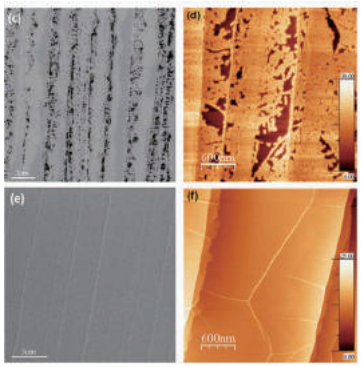
해당하는 에너지 레벨과 관련 됨)가 오른쪽으로 이동하게 되는데, 이는 그래핀과 절연체 계면 불순물, 절연체 결함 그리고 그래핀 원자 결함에 전자가 결집되어 그래핀에 정공을 유도하기 때문에 발생하는 현상이다. 이때 I_d–V_g 특성에서 Dirac voltage의 변화는 또는 그래핀 소자의 계면에 존재하는 전하량을 반영한다. 따라서 그래핀 소자를 안정적으로 동작시키기 위해서, 계면에서 발생하는 여러 가지 현상에 대한 깊이 있는 이해에 기반하여, 최적화된 공정을 개발해야 한다.

Ⅲ. 그래핀 전계 효과 트랜지스터 성능 열화 요인

a. 그래핀 품질: 초기 그래핀 연구는 Highly oriented pyrolytic graphite (HOPG) 로부터 박리된 단결정의 고품질 그래핀을 사용하였으나, 크기가 작고 불 균일해서 실험실 수준의 연구에 그칠 수 밖에 없었다 [4]. 이 때문에 대면적 그래핀 공정에 대한 연구가 활발히 진행되었다.

대면적 그래핀 성장은 기본적으로 구리, 니켈과 같은 전이 금속 필름 또는 포일 (foil) 상에 고온에서 화학 기상 증착 (chemical vapor deposition, CVD) 방법을 이용하여 진행된다 [9]. 이때 그림 6에서 보인 것처럼, 금속 결정 경계에서 그래핀 결정 구조 손상이 발생한다 [34]. 이 때문에 CVD 그래핀으로는 HOPG 그래핀을 이용하여 시현된 수준의 전기적 성능을 얻기 힘들고 [7], 실제 연산 회로 및 어플리케이션에 CVD 그래핀을 적용하더라도 단위 소자들의 성능이 균일하지 않게 되는 문제가 발생된다. 대면적 고품질의 그래핀을 얻기 위한 연구는 빠른 속도로 발전되고 있지만, 아직 대면적 단일층, 단결정 그래핀을 구현하지는 못했으며, 생산 비용과 재현성에 대한 문제 또한 해결하지 못한 상태이다.

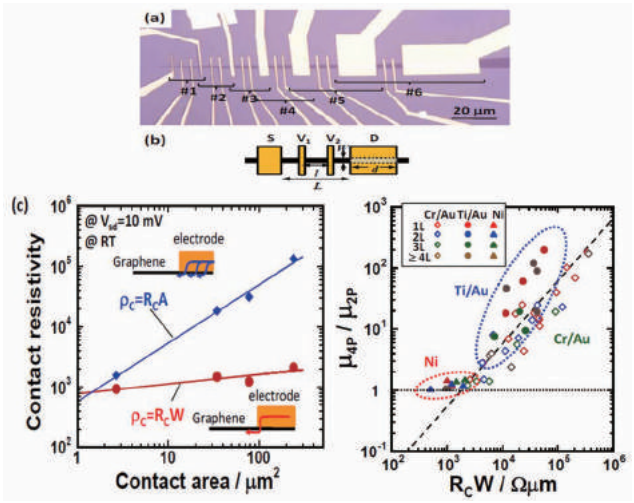
b. 그래핀 전사 공정: 그래핀을 소자를 만드는 기판에 직접 성장할 수 없기 때문에 소자를 제작할 기판에 그래핀을 물리적으로 결함 없이 전사하는 방법이 활발하게 연구되고 있다. 전사 공정은 크게 습식 [35]과 건식 [10]으로 분류된다. 습식 전사 공정은 CVD 그래핀 상에 Poly(methyl methacrylate) (PMMA)와 같은 폴리머 물질을 도포하여 그래핀 표면을 코팅한 후, 그래핀 아래의 금속을 습식 식각 방법으로 제거한다. 그래핀에 남아 있는 금속 식각액 (etchant)을 세정한 후, 초 순수 (De-Ionized water)에 폴리머 코팅된 그래핀을 띄워 놓는다. 이 상태에서 전사 대상 기판을 이용하여 그래핀을 떠낸 다음, 건조 과정을 거친 후 폴리머 물질을 제거하게 된다. 건식 방법의 경우, CVD 그래핀 상에 열박리 테이프 (thermal release tape) 또는 Polydimethylsiloxane (PDMS) 등을 붙이고, 그래핀 아래의 금속을 제거한다. 세척 공정 이후, Roll-to-Roll 장비 또는 직접 전사 대상 기판에 그래핀을 전사 시키고, 열박리 테이프나 PDMS를 분리 시켜 전사 공정을 마무리 하게 된다. 습식 방법에 비해, 건식 전사 방법은 대면적 그래핀 전사에 유리한 점이 있으나, 두 가지 방법 모두 그래핀과 전사 대상 기판의 계면에 수분 또는 기체 등 다양한 불순물이 존재하게 되어, 소자 제작 후 전기적 동작 특성 저하에 심각한 영향을 미친다는 문제가 있다 [36–42]. 특히 습식 공정의 경우, 전



[Fig. 8] SEM and AFM images of the morphology of Al_2O_3 samples treated with varying amounts of fluorine on graphene [46]

사 기판을 이용하여 떠 내는 방법을 이용하기 때문에 그래핀이 평평하지 못하고 주름이 지게 되며, 건식 전사 공정의 경우, 전사 중 가해지는 압력이나 열에 의해 그래핀이 찢어지는 등 물리적인 손상 (그림 7)이 발생하게 된다. 이로 인하여 전사 대상 기판 전체에서 균일한 그래핀을 얻기 힘들게 된다.

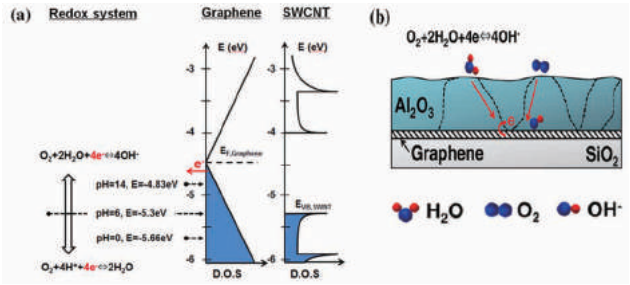
c. 게이트 절연체 성장 및 계면 제어: 그래핀을 이용하고자 하는 다양한 분야 중 전자 소자의 경우에는 그래핀의 페르미 레벨을 조절하는 기능이 가장 중요한 부분이다. 그래핀의 페르미 레벨을 잘 조절하게 되면, 그래핀 내부 전하의 농도가 달라져서 전도도가 변하게 되고, 다른 물질과의 접합 시, 그래핀과 다른 물질간의 에너지 장벽을 변화시킬 수 있기 때문에 전자 소자의 on/off 기능을 개선하는 데에도 활용할 수 있다. 그래핀의 페르미 레벨 조절을 위해서는 외부 전계 인가 시 게이트 전극과 그래핀을 전기적으로 절연하기 위한 유전막이 필요하다 (그림 5). 게이트 절연체 박막 증착 시 여러 가지 공정이 이용될 수 있지만, 플라즈마 및 고온에 의해 발생하는 그래핀의 손상을 최소화하기 위해 저온 원자층 증착 (atomic layer deposition, ALD) 공정이 주로 이용된다 [43–45]. 그래핀은 단원자층 구조를 가지고 있으며, CVD를 이용한 성장 시 그래핀 결정 경계나 결정 내에 생긴 원자 결합 간의 결함을 제외하고는 dangling bond가 존재하지 않기 때문에, ALD 공정 시, 그림 8과 같이 그래핀 전체에 절연체가 균일하게 형성되지 못하고, 원자 결함이 있는 곳에서부터 부분 성장이 시작된다 [46]. 따라서 다결정 구조로 성장된 절연체 내부 결함 정도가 증가하고, 그래핀 전체를 균일



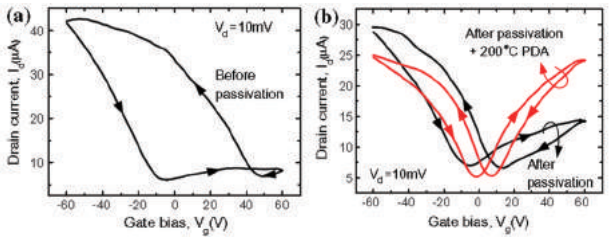
[Fig. 9] (a,b) Optical micrograph of the four-layer graphene device with six sets of four-probe configurations with Ni contact. Two types of contact resistivity extracted by a four-probe measurement and various contact resistivity depending on different metal contact were compared with mobility [49].

하게 덮을 수 있는 얇은 절연체 박막 형성이 어렵다. 이로 인하여 소자 제작 시 소모 전력이 늘어나고 동작 특성이 저하되며, 계면 및 절연체 내부에 전자가 트랩되는 히스테리시스 현상이 나타나게 되어, 전기적 동작 특성에 대한 특정한 상태를 정의하기 어렵게 된다 [47]. 따라서 그래핀과 같은 2차원 물질 상에 균일하고 얇은 게이트 절연체를 증착하는 기술은 향후, 2차원 물질의 실제 응용에 있어 매우 중요한 부분을 차지하고 있으며, 현재도 많은 연구가 이루어 지고 있는 상태이다.

d. 금속과 그래핀 접촉 저항과 work function 차이: 그래핀에 전자가 흐르기 위해 소자 구조상 소스(Source)와 드레인(Drain) 금속 접합이 필요하다 (그림 5). 이때 그래핀과 금속간의 접촉 저항이 발생하게 되며 [48], 접촉 저항이 커질수록 소자 전체에 흐를 수 있는 전류량이 제한되게 되며, 이는 곧 그래핀의 성능을 제한하는 주요 원인 중 하나로 작용한다. 그래핀과 금속 접합에 있어 접촉 저항 값은 금속의 종류에 따라 달라지며 [49], 그래핀의 면 보다는 가장자리를 통해 전류 흐름이 주요하게 제어 된다는 연구 결과가 보고 되었다 (그림 9) [50]. 또한 그래핀과 금속 간의 work function 차이에 의한 그래핀 페르미 레벨 변동은 금속의 소스, 드레인으로 사용뿐만 아니라, 게이트의 사용에 있어서도 소자 성능 제어를 위해 고려되어야



[Fig. 10] Mechanism of chemical reaction on graphene inducing hole doping [21]



[Fig. 11] Electrical characteristic of graphene FET with (right) / without (left) the passivation layer (Al_2O_3) [21]

할 부분이다 [51].

지금까지 그래핀 전자 소자 개발 시 문제가 되는 부분에 대해 개략적으로 알아보았으며, 다음 절에서는 위에서 소개한 문제들을 해결하고, 그래핀 소자의 전기적 성능과 안정성을 향상하기 위해 연구된 내용을 소개하고자 한다.

Ⅳ. 그래핀 소자의 동작 특성 확보를 위한 열화 요인 분석

그래핀 전계 효과 트랜지스터 연구 초기에는 HOPG로부터 박리된 그래핀을 사용하여 소자를 제작하고, 고진공, 저온의 조건에서 전기적 특성을 관찰하였다. 이는 외부 요인에 의한 그래핀 오염 및 특성 저하를 방지함으로써 고유의 전기적 특성을 분석하기 위함이었다 [4]. 결함이 많은 대면적 CVD 그래핀을 사용할 경우, 정공이 도핑 되어 I_d–V_g 특성이 비 대칭형으로 왜곡되고, 매우 큰 히스테리시스가 발생하는 것이 관찰되었다. 초기에는 이 문제를 그래핀 표면의 결함에 전하가 축적되기 때문이라고 단순하게 해석하여, 기판을 바꾸거나 표면 세정 공정을 개선하는 방향으로 연구가 진행되었다. 그러나 최근의 연구 결과는 그래핀 소자가 외부 환경, 특히 공기 중에 존재하는 수분이나 산소 분자의 접촉되면서 표면에서 물 분해에 의해 수산화 이온 (OH^-)가 발생하는 것이 소자 불안정성의 주요 원인으로 보고하고 있다.

그림 10은 그래핀 표면에서의 물 분자와 산소 분자의 반응을 나타낸 모식도이다. 물 분자와 산소 분자는 그래핀 채널에 있는 전자와 반응하여 화학반응식 ($O_2+2H_2O+4e \Leftrightarrow 4\ OH^-$)에 따라 수산화이온 ($4OH^-$)을 생성하게 된다. 그래핀 표면에 음전하가 축적될 경우, 그래핀의 페르미 레벨이 감소되면서 채널 내의 전자 농도가 감소하게 되므로, 구동 전류도 감소하게 된다. 이때 그림 10에 보인 것과 같이, 외부 전압에 의해 반응 방향이 역전될 수 있기 때문에 전압의 인가 방향에 따라 구동 전류량이 달라지는 히스테리시스 현상이 발생된다.

그러나 저온 원자층 증착 공정을 이용하여 증착된 Al_2O_3막으로 그래핀 표면을 보호하는 방법으로 소자 불안정성과 관련된 문제의 상당히 개선되는 것을 관찰할 수 있다 [21]. 그림 11은 그래핀 소자 표면에 절연막 증착 유무에 따른 그래핀 전계 효과 트랜지스터의 전기적 측정 결과이다. 절연막을 증착하기 전에는 그래핀 소자의 전기적 특성이 비대칭 적으로 나타나고, 히스테리시스가 55V로 매우 크게 나타났다. 절연막을 증착한 후, 히스테리시스가 18V로 감소하고, 비 대칭적인 I_d–V_g 특성이 감소하였다.

추가적으로 절연막 증착 후 열처리(Post Deposition annealing, PDA)를 진행하게 되면 전기적 특성이 대칭적으로 나타나고, 히스테리시스 또한 10V 이하로 감소한다. 이때, 그래핀 채널에서 전자의 전하 이동도가 ~160 ㎠/Vs 에서 ~1310 ㎠/Vs으로 크게 향상되는데, 이는 절연막을 증착 하면서 그래핀의 p–type 도핑(doping)을 유발하는 물 분자 및 산소 분자를 그래핀 표면에서 제거하였기 때문이다.

절연막에 의한 보호 효과는 절연막의 두께가 약 20 ㎚ 이상일 때 부터 명확히 관찰되었는데, 이 결과는 절연막에 pinhole이 존재할 경우 소자가 불안정하게 동작하게 된다는 것을 반증하는 결과로서, 그래핀 소자의 동작이 불안정했던 요인의 상당 부분이 그래핀 표면이 공기 중이나 수분에 노출되었기 때문이므로, 그래핀 계면 부근에서 공기, 물, 불순물 등을 제거하고, 그래핀을 추가 오염으로부터 보호한다면 안정적인 소자 동작 특성을 얻는 것이 가능하다는 것을 보여주는 결과이다.

V. 고품질 그래핀 전사 공정 개발 및 계면 분석

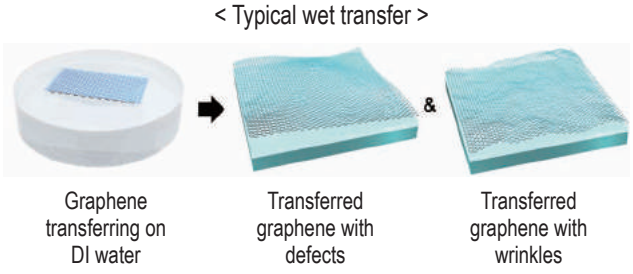
그래핀을 다양한 기판에 직접 성장할 수 없기 때문에, 그래핀 전사 공정은 소자 제작 공정의 핵심 요소이다. 특히 대면적 그래핀 전사에 있어, 물리적 손상이 없이 그래핀을 전사해야 할 뿐만 아니라, 앞 절에서 언급한 것과 같이 그래핀과 전사 대상 기판 간의 계면을 최적화해야 균일하고 신뢰성 있는 소자 동작 특성을 확보할 수 있다.

대면적 그래핀 전사 공정은 습식[52-57]과 건식[10,58-67] 전사 공정으로 나뉘는데, 습식 전사 공정은 물 또는 솔루션 상에 띄워진 폴리머 물질로 코팅된 그래핀(총 1~2um 두께)을 기판으로 떠내는 작업을 진행한다. 이 과정에서 기판에 전사하고 건조하는 과정 중에 그래핀의 물리적 손상이 많이 발생하여, 수 cm 이상 크기의 그래핀을 습식 전사 방법으로 전사하는 것은 산업적으로 적절하지 않다.

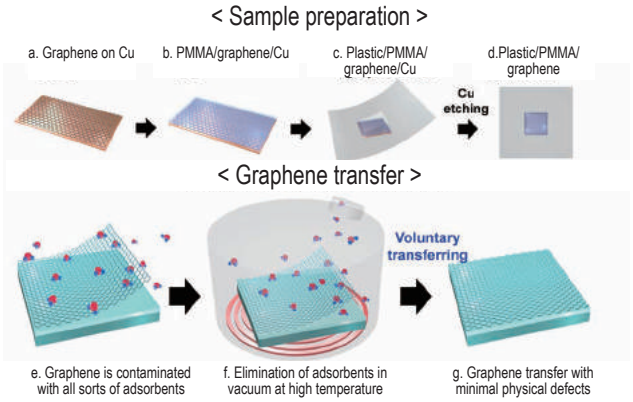
건식 전사 공정은 전이 금속으로부터 분리해 낸 그래핀을, 도장(stamp)처럼 전사 기판에 찍거나, Roll-to-Roll 방법을 이용하여 전사 대상 기판에 전사하는 방법이 주로 이용된다. Roll-to-Roll 전사 방법의 경우, 2010년 성균관대학교 홍병희 교수 연구팀에서 30인치의 그래핀을 PET(polyethylene terephthalate) 필름에 전사한 결과를 발표하기도 했다 [10]. 투명 전극으로의 사용시, 수nm에서 수um 크기의 그래핀 손상은 큰 문제가 되지 않지만, 전자 소자로서의 사용시 이러한 손상은 기판 전체에서 소자의 동작 특성 균일성과 신뢰성을 보장할 수 없게 된다. 따라서 건식 Roll-to-Roll 그래핀 전사 공정이 투명 전극과 같은 대면적 응용분야에는 매우 유리하지만, 전사 공정에서 발생하는 그래핀 표면의 오염과 계면 반응을 제어하는 데에 최적화된 공정은 아니다.

그림 12에서 보인 모사도처럼, 습식 전사 공정 중 발생하는 그래핀의 물리적 손상은, 건조 과정 이후 그래핀과 기판 사이 남은 수분이나 잔여물로 인하여 그래핀과 기판과의 접착력이 약해지면서 발생하게 된다. 건식 전사 공정의 경우, 그래핀 전사를 위해 가해지는 압력이나 열에 의한 손상이 존재하지만, 전사 과정 중 대기 내 수분이나 기체 성분이 그래핀과 기판 사이에 남아 있게 된다.

이런 문제를 개선하기 위해, 전사 공정이 진공 중에서 진행되는 공정이 개발되었다 [27]. 진공 중에서 계면에 남을 수 있는 불순물을 제거 또는 남게 되는 경우를 최소화



[Fig. 12] Typical graphene wet transfer and its problems inducing device performance degradation.

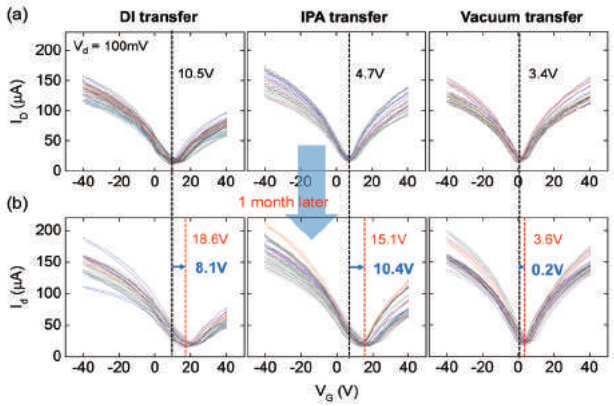


[Fig. 13] New graphene transfer process in vacuum [67]

하고, 열처리를 통해 기판 간 접합을 시키는 방법은 이미 산업 현장에서 두 장의 실리콘 웨이퍼를 접합시킬 때 주로 사용하는 방법 중 하나이다 [68]. 이를 응용한 대면적 그래핀 전사 공정은 그림 13에 보인 것과 같이 진행된다.

대면적 CVD 그래핀 상에 PMMA와 같은 폴리머 물질을 코팅하고, 그래핀 하부 전이 금속 (구리) 포일을 습식 공정을 이용하여 제거한다. 금속 식각액을 세척하고 난 뒤, 전사 대상 기판과 함께 폴리머 코팅이 된 그래핀을 붙지 않은 상태로 일정 간격을 유지한 채 진공 챔버(chamber)에 위치시킨다. 이후 진공 분위기를 이용하여 기판과 그래핀 사이 수분과 기체를 완전히 제거한 후, 약 200℃ 정도의 열을 가하게 되면, 그래핀과 기판 사이 반데르발스 힘(Van der Waals force)이 증가하여 그래핀이 기판에 자발적으로 전사되게 된다.

진공 전사 공정을 사용하면, 그래핀과 기판 계면에 남을 수 있는 불순물이 효과적으로 제거되어, 대면적의 그래핀이 물리적 손상 없이 전사될 뿐 아니라, 기판과의 접착력이 증가하여 후속 소자 제작 공정 시 그래핀의 물리적 손상이 거의 발생하지 않는 장점이 있게 된다.



[Fig. 14] The Pulse I_d-V_g curves of more than 20 GFETs were measured for the different transfer processes (DI, IPA, and Vac transfer) (a) before and (b) after 1month. As results, bottom interface controlled vacuum transfer graphene device shows stable and reliable operation characteristics. [67]

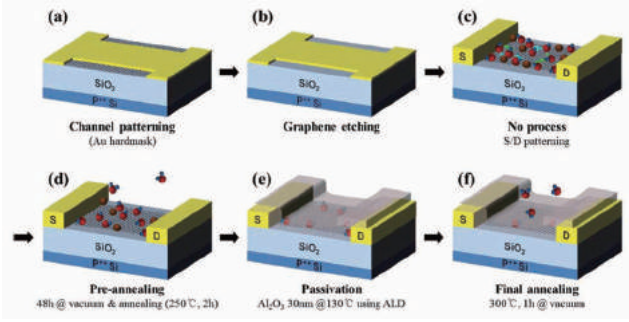
뿐만 아니라 그래핀의 균일도와 접합 계면의 특성이 개선되면서 소자의 특성 산포도 줄어들고, 신뢰성도 크게 향상되었다. 약 한달 간 계속된 소자 신뢰성 테스트는 진공 전사로 제작된 그래핀 소자의 특성이 한달 후에도 일정하게 유지된다는 것을 보여준다 (그림 14).

이 결과는 그래핀과 같은 2차원 소재의 전자 소자 제작에 있어 기판과의 접합계면이 소자 신뢰성에도 매우 큰 영향을 미친다는 것을 보여주는 것으로 진공 전사 공정이 신뢰성 있는 그래핀 소자에 필수적인 공정임을 보여준다.

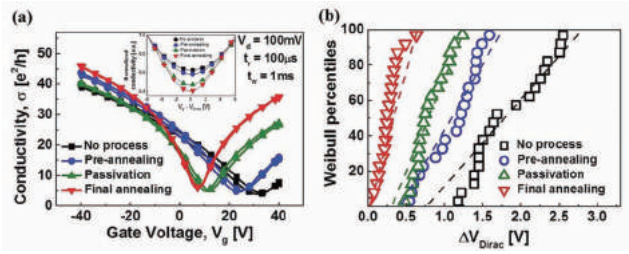
Ⅵ. 공정 개발을 통한 그래핀 안정성 향상

앞에서 그래핀 소자 제작에 있어 그래핀의 계면에서 일어나는 다양한 화학적 반응 현상과 계면 특성이 소자의 전기적 특성에 미치는 영향을 언급했다. 이 절에서는 소자 성능의 최적화를 위해 도입된 열처리 공정과 그 영향에 대해 알아보고자 한다 [69]. 그림 15는 안정적으로 동작하는 그래핀 소자를 제작하기 위해, 기존의 그래핀 소자 공정 과정에서 진공 보관 및 절연막 증착과 열처리 공정을 진행함에 따라 그래핀 표면의 오염원이 점차로 줄어들게 되는 과정을 보여주는 모식도이다.

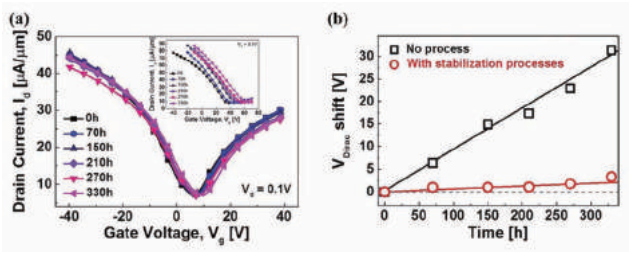
각 공정이 소자 특성에 미치는 영향을 분석하기 위해, 소자 제작 단계별로 그래핀 전계 효과 트랜지스터의 전기적 특성을 분석했다 (그림 16). 소자 제작 공정이 진행됨에 따라, Dirac voltage가 오른쪽(p-type)에서 왼쪽으로



[Fig. 15] Fabrication process for stabilized graphene FET [29]



[Fig. 16] Electrical characteristic changes of graphene FET along the stabilization processes [69]



[Fig. 17] Improving stability of graphene FET after the stabilization processes [69]

이동하였고, 히스테리시스 또한 감소하는 경향을 보인다. 이는 후속 공정을 진행하는 동안 각 단계 별로 그래핀 표면에 도핑 및 charging을 유발하는 수분과 산소 분자 및 불순물들이 감소함으로써, 소자의 성능이 안정적으로 변하는 것을 의미한다.

그래핀 소자 제작 공정을 최적화함으로써, CVD 그래핀을 이용해서도 그래핀 전계 효과 트랜지스터의 이상적인 특성과 가깝게 동작하는 소자를 구현할 수 있었다. 특히 최적화 후에는 Id-Vg, Dirac voltage 위치 등 전기적 특성이 300시간 이상 유지된다는 것도 확인했다 (그림 17). 즉, 그래핀 소자의 전기적 동작 특성을 열화 시키는 요인들을 각 공정 단계별로, 차단하고 제거함으로써 그래핀 소자의 안정성을 개선할 수 있었다. 이 결과는 비교적 결함 (defect)이 많은 CVD 그래핀을 이용하여 얻어진 것이

므로, 그래핀 소자의 불안정성은 그래핀 특성보다는 그래핀 집적 공정의 문제에서 발생된 것이라는 면에서, 향후 대면적 그래핀 소자 집적 공정이 더욱 최적화 한다면, 실용적인 그래핀 소자도 충분히 제작될 수 있음을 보여주는 결과이다.

Ⅶ. 결론

1833년 Faraday에 의해 온도가 올라갈수록 전도도가 높아지는 반도체 효과가 처음 발견된 이후, 반도체의 전기적 응용에는 100년 이상의 연구기간이 필요했다. 마찬가지로 bipolar 트랜지스터의 상용화 이후 실리콘 전계 효과 트랜지스터가 범용 기술로 받아들여 지기까지 약 25년 정도의 연구 기간이 소요되었다 [30]. Bipolar 소자를 포함하여 60년 가까이 소자연구가 진행되어 왔지만, 아직도 실리콘 반도체와 금속 접합의 물리 현상에 대해서는 연구할 여지가 남아 있는 상황이다.

실리콘 기반 소재 및 소자에 대한 연구에 비하면, 2차원 소재에 대한 연구는 이제 막 걸음마를 시작한 수준이다. 2004년 그래핀의 실제 이용 가능성에 대한 연구가 발표되고 나서 많은 연구 결과들이 보고 되었지만, 지나친 경쟁 때문에 그래핀 소자를 구현하는 데 필요한 체계적인 연구는 매우 부족한 상황이다. 안타깝게도 지금까지 그래핀 소자에 대해 보고된 연구결과의 대부분은 그래핀 소자가 제대로 동작할 수 없는 환경에서 제작된 소자를 이용한 결과이다. 본 논문에서 제시한 실험 결과로 미루어 볼 수 있는 것과 같이 60년 이상 축적된 실리콘 기반의 소자 연구 경험이 잘 활용하여, 체계적인 연구를 수행한다면 그래핀 소자의 문제점은 충분히 극복될 수 있을 것이다.

Acknowledgment

이 논문은 정부(미래창조과학부)의 재원으로 한국연구재단의 글로벌프론티어사업 (재)하이브리드 인터페이스 기반 미래소재연구단(NRF– 2013M3A6B1078873)과 미래소재디스커버리사업– Creative Multilevel Research Center (2015M3D1A1068062)의 지원을 받아 수행된 연구결과임.

References

[1] H.-S.P. Wong, IBM Journal of Research and Development **46(2-3)**, 133 (2002).
[2] Mark Bohr, Intel Developer Forum, (2014).
[3] P. Packan, S. Akbar, M. Armstrong, D. Bergstrom, M. Brazier, H. Deshpande, K. Dev, G. Ding, T. Ghani, O. Golonzka, et al., IEDM, (2009).
[4] K.S. Novoselov, A.K. Geim, S.V. Morozov, D. Jiang, Y. Zhang, S.V. Dubonos, I.V. Grigorieva, A.A. Firsov, Science **306**, 666 (2004).
[5] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, et al., VLSI, (2012).
[6] A.K. Geim, K.S. Novoselov, Nature materials **6**, 183 (2007).
[7] K.I. Bolotin, K.J. Sikes, Z. Jiang, M. Klima, G. Fudenberg, J. Hone, P. Kim, H.L. Stormer, Solid State Communications **146**, 351 (2008).
[8] S. Takagi, A. Toriumi, M. Iwase, H. Tango, IEEE Trans. Electron Devices **41(12)**, 2357 (1994).
[9] X. Li, C.W. Magnuson, A. Venugopal, R.M. Tromp, J.B. Hannon, E.M. Vogel, L. Colombo, R.S. Ruoff, J. Am. Chem. Soc. **133**, 2816 (2011).
[10] S. Bae, H. Kim, Y. Lee, X. Xu, J. Park, Y. Zheng, J. Balakrishnan, T. Lei, H. Kim, Y. Song, Y. Kim, K. Kim, B. Ozyilmaz, J. Ahn, B. Hong, S. Iijima, Nature nanotechnology **20**, 574 (2010).
[11] B. Fallahazad, K. Lee, G. Lian, S. Kim, C.M. Corbet, D.A. Ferrer, L. Colombo, E. Tutuc, Appl. Phys. Lett. **100**, 093112 (2012).
[12] F. Speck, M. Ostler, J. Röhrl, K.V. Emtsev, M. Hundhausen, L. Ley, and T. Seyller, Phys. Status Solidi C **7**, 398 (2010).
[13] Y. Xuan, Y.Q. Wu, T. Shen, M. Qi, M.A. Capano, J.A. Cooper, and P.D. Ye, Appl. Phys. Lett. **92**, 013101 (2008).
[14] B. Lee, S.-Y. Park, H.-C. Kim, K. Cho, E.M. Vogel, M.J. Kim, R.M. Wallace, and J. Kim, Appl. Phys. Lett. **92**, 203102 (2008).
[15] YG. Lee, CG. Kang, U. Jung, J. Kim, H. Hwang, H. Chung, S. Seo, R. Choi, BH. Lee, Appl. Phys. Lett. **98**, 183508 (2011).
[16] A. A. Sagade, D. Neumaier, D. Schall, M. Otto, A. Pesquera, A. Centeno, A. Zurutuza Elorza, and H. Kurz, Nanoscale **7**, 3558 (2015).
[17] H. Wang, Y. Wu, C. Cong, J. Shang, and T. Yu, ACS Nano 4, 7221 (2010).
[18] A. Veligura, P.J. Zomer, I.J. Vera-Marun, C. Józsa, P.I. Gordiichuk, and B.J. van Wees, J. Appl. Phys. **110**, 113708 (2011).
[19] G. Kalon, Y.J. Shin, V.G. Truong, A. Kalitsov, and H. Yang, Appl. Phys. Lett. **99**, 083109 (2011).
[20] J. Mohrmann, K. Watanabe, T. Taniguchi, and R. Danneau, Nanotechnology **26**, 015202 (2014).
[21] CG.Kang, YG.Lee, SK.Lee, E.Park, C.Cho, S.Lim, H.Hwang, BH.Lee, Carbon **53**, 182 (2013).
[22] H. Sojoudi, J. Baltazar, C. Henderson, and S. Graham, J. Vac. Sci. Technol. B **30**, 041213 (2012).
[23] J. Chan, A. Venugopal, A. Pirkle, S. McDonnell, D. Hinojos, C.W. Magnuson, R.S. Ruoff, L. Colombo, R.M. Wallace, and E.M. Vogel, (2012).
[24] F. Schedin, A.K. Geim, S.V. Morozov, E.W. Hill, P. Blake, M.I. Katsnelson,

and K.S. Novoselov, Nat. Mater. **6**, 652 (2007).
[25] Y. Yang, K. Brenner, and R. Murali, Carbon **50**, 1727 (2012).
[26] M. Drapeko, Appl. Phys. Lett. **104**, 221604 (2014).
[27] C.W. Jang, J.H. Kim, J.M. Kim, D.H. Shin, S. Kim, and S.-H. Choi, Nanotechnology **24**, 405301 (2013).
[28] C. Hummel, F. Schwierz, A. Hanisch, and J. Pezoldt, Phys. Status Solidi B **247**, 903 (2010).
[29] S. Ryu, L. Liu, S. Berciaud, Y.-J. Yu, H. Liu, P. Kim, G.W. Flynn, and L.E. Brus, Nano Lett. **10**, 4944 (2010).
[30] S. Ryu, L. Liu, S. Berciaud, Y.-J. Yu, H. Liu, P. Kim, G.W. Flynn, L.E. Brus, Nano Lett. **10**, 4944 (2010).
[31] I. Jung, D. Dikin, S. Park, W. Cai, S.L. Mielke, R.S. Ruoff, J. Phys. Chem. C **112**, 20264 (2008).
[32] J. Chan, A. Venugopal, A. Pirkle, S. McDonnell, D. Hinojos, C.W. Magnuson, R.S. Ruoff, L. Colombo, R.M. Wallace, and E.M. Vogel, ACS Nano **6**, 3224 (2012).
[33] BH. Lee, YG. Lee, U. Jung, Y. Kim, H. Hwang, J. Kim, CG. Kang, Carbon Lett. **13**, 23 (2012).
[34] Y.H. Zhang, H.R. Zhang, B. Wang, Z.Y. Chen, Y.Q. Zhang, B. Wang, Y.P. Sui, B. Zhu, C.M. Tang, X.L. li, X.M. Xie, G.H. Yu, Z. Jin, X.Y. Liu, Appl. Phys. Lett. **104**, 143110 (2014).
[35] X. Chen, Z. Liu, C. Zheng, F. Xign, X. Yan, Y. Chen, J. Tian, Carbon **56**, 271 (2013).
[36] C. Cho, YG. Lee, U. Jung, CG. Kang, S. Lim, H. Hwang, H. Choi, BH. Lee, Appl. Phys. Lett. **103**, 083110 (2013).
[37] M. Jang, T.Q. Trung, J.-H. Jung, B.-Y. Kim, and N.-E. Lee, Phys. Chem. Chem. Phys. **16**, 4098 (2014).
[38] H.J. Jeong, H.Y. Kim, S.Y. Jeong, J.T. Han, K.-J. Baeg, J.Y. Hwang, and G.-W. Lee, Carbon **66**, 612 (2014).
[39] K. Kumar, Y.-S. Kim, and E.-H. Yang, Carbon **65**, 35 (2013).
[40] C.-J. Shih, G.L.C. Paulus, Q.H. Wang, Z. Jin, D. Blankschtein, and M.S. Strano, Langmuir **28**, 8579 (2012).
[41] X. Liang, B.A. Sperling, I. Calizo, G. Cheng, C.A. Hacker, Q. Zhang, Y. Obeng, K. Yan, H. Peng, Q. Li, X. Zhu, H. Yuan, A.R. Hight Walker, Z. Liu, L. Peng, and C.A. Richter, ACS Nano **5**, 9144 (2011).
[42] J.W. Suk, W.H. Lee, J. Lee, H. Chou, R.D. Piner, Y. Hao, D. Akinwande, and R.S. Ruoff, Nano Lett. **13**, 1462 (2013).
[43] M.J. Hollander, M. Labella, Z.R. Hughes, M. Zhu, K.A. Trumbull, R. Cavalero, D.W. Snyder, X. Wang E. Hwang, S. Datta, J.A. Robinson, Nano Letters **11**, 3601 (2011).
[44] R. Rammula, L. Aarik, A. Kasikov, J. Kozlova, T. Kahro, L. Matisen, A. Niilisk, H. Alles, and J. Aarik, IOP Conf. Ser. Mater. Sci. Eng. 49, 012014 (2013).
[45] Y. Zhang, Z. Qiu, X. Cheng, H. Xie, H. Wang, X. Xie, Y. Yu, and R. Liu, J. Phys. Appl. Phys. **47**, 055106 (2014).
[46] V. Wheeler, N. Garces, L. Nyakiti, R. Myers-Ward, G. Jernigan, J. Culbertson, C. Eddy Jr., D. Gaskill, Carbon **50**, 2307 (2012).
[47] YG. Lee, CG. Kang, C. Cho, Y. Kim, H. Hwang, BH. Lee, Carbon **60**, 453 (2013).
[48] S. Russo, M.F. Craciun, M. Yamamoto, A.F. Morpurgo, S. Tarucha, Physica E **42**, 677 (2010).
[49] K. Nagashio, T. Nishimura, K. Kita, A. Toriumi, Appl. Phys. Lett. **97**, 143514 (2010).
[50] C. Cho, SK. Lee, JW. Noh, W. Park, S. Lee, YG. Lee, H. Hwang, CG. Kang, M. Ham, BH. Lee, Appl. Phys. Lett. **106**, 213107 (2015).
[51] SM. Song, JK. Park, OJ. Sul, BJ. Cho, Nano Letters **12**, 3887 (2012).
[52] J.W. Suk, A. Kitt, C.W. Magnuson, Y. Hao, S. Ahmed, J. An, A.K. Swan, B.B. Goldberg, and R.S. Ruoff, ACS Nano **5**, 6916 (2011).
[53] Y. Wang, Y. Zheng, X. Xu, E. Dubuisson, Q. Bao, J. Lu, and K.P. Loh, ACS Nano **5**, 9927 (2011).
[54] L. Gao, W. Ren, H. Xu, L. Jin, Z. Wang, T. Ma, L.-P. Ma, Z. Zhang, Q. Fu, L.-M. Peng, X. Bao, and H.-M. Cheng, Nat. Commun. **3**, 699 (2012).
[55] X.-D. Chen, Z.-B. Liu, W.-S. Jiang, X.-Q. Yan, F. Xing, P. Wang, Y. Chen, and J.-G. Tian, Sci. Rep. **3**, (2013).
[56] M. Kim, H. An, W.-J. Lee, and J. Jung, Electron. Mater. Lett. **9**, 517 (2013).
[57] J. Lee, Y. Kim, H.-J. Shin, C. Lee, D. Lee, C.-Y. Moon, J. Lim, and S.C. Jun, Appl. Phys. Lett. **103**, 103104 (2013).
[58] Y. Lee, S. Bae, H. Jang, S. Jang, S.-E. Zhu, S.H. Sim, Y.I. Song, B.H. Hong, and J.-H. Ahn, Nano Lett. **10**, 490 (2010).
[59] G.H. HAN, H.-J. SHIN, E.S. KIM, S.J. CHAE, J.-Y. CHOI, and Y.H. LEE, Nano **06**, 59 (2011).
[60] J. Kang, S. Hwang, J.H. Kim, M.H. Kim, J. Ryu, S.J. Seo, B.H. Hong, M.K. Kim, and J.-B. Choi, ACS Nano **6**, 5360 (2012).
[61] C.J.L. de la Rosa, J. Sun, N. Lindvall, M.T. Cole, Y. Nam, M. Löffler, E. Olsson, K.B.K. Teo, and A. Yurgens, Appl. Phys. Lett. 102, 022101 (2013).
[62] W.C. Shin, T. Yoon, J.H. Mun, T.Y. Kim, S.-Y. Choi, T.-S. Kim, and B.J. Cho, Appl. Phys. Lett. **103**, 243504 (2013).
[63] J. Song, F.-Y. Kam, R.-Q. Png, W.-L. Seah, J.-M. Zhuo, G.-K. Lim, P.K.H. Ho, and L.-L. Chua, Nat. Nanotechnol. **8**, 356 (2013).
[64] D.-Y. Wang, I.-S. Huang, P.-H. Ho, S.-S. Li, Y.-C. Yeh, D.-W. Wang, W.-L. Chen, Y.-Y. Lee, Y.-M. Chang, C.-C. Chen, C.-T. Liang, and C.-W. Chen, Adv. Mater. **25**, 4521 (2013).
[65] S. Cha, M. Cha, S. Lee, J.H. Kang, and C. Kim, Sci. Rep. **5**, (2015).
[66] C. Vilani, E.C. Romani, D.G. Larrudé, G.M. Barbosa, and F.L. Freire, Appl. Surf. Sci. **356**, 1300 (2015).
[67] S. Lee, SK. Lee, CG. Kang, C. Cho, YG. Lee, U. Jung, BH. Lee, Carbon **93**, 286 (2015).
[68] U. Gosele, H. Stenzel, T. Martini, J. Steinkirchner, D. Conrad, K. Scheerschmidt, Appl. Phys. Lett. **67**, 3614 (1995).
[69] YJ. Kim, YG. Lee, U. Jung, S. Lee, SK. Lee, BH. Lee, Nanoscale **7**, 4013 (2015).
[70] A timeline of Semiconductors in Computers, http://www.computer history.org/siloconengine/