

벌크 FinFET의 기술 동향 및 이슈

<http://dx.doi.org/10.5757/vacmac.3.1.16>

이종호, 최규봉

Trend and issues of the bulk FinFET

Jong-Ho Lee and Kyu-Bong Choi

FinFETs are able to be scaled down to 22 nm and beyond while suppressing effectively short channel effect, and have superior performance compared to 2-dimensional (2-D) MOSFETs. Bulk FinFETs are built on bulk Si wafers which have less defect density and lower cost than SOI(Silicon-On-Insulator) wafers. In contrast to SOI FinFETs, bulk FinFETs have no floating body effect and better heat transfer rate to the substrate while keeping nearly the same scalability. The bulk FinFET has been developed at 14 nm technology node, and applied in mass production of AP and CPU since 2015. In the development of the bulk FinFETs at 10 nm and beyond, self-heating effects (SHE) is becoming important. Accurate control of device geometry and threshold voltage between devices is also important. The random telegraph noise (RTN) would be problematic in scaled FinFET which has narrow fin width and small fin height.

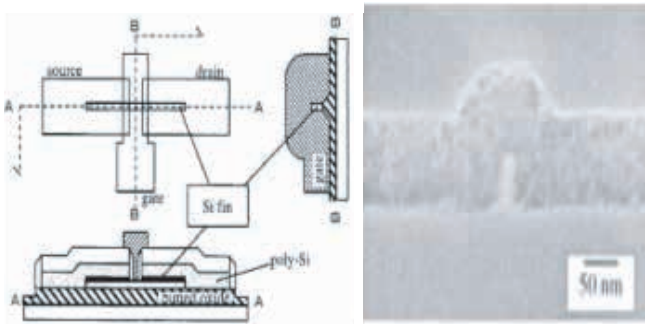
1. 서론 Scaling-down을 위한 FinFET의 개발

평탄(혹은 2차원)채널 구조를 가진 MOSFET이 1960년대 이후 ICs(Integrated Circuits)에 적용되면서 신호 처리, 신호 증폭, 데이터 저장 등을 보다 효율적으로 수행할 수 있게 하였다. 그 이후 1980년대부터 평탄채널 구조를 가진 MOSFET은 미세 반도체 산업 전반에 걸쳐 핵심적인 기술로 도약했다. 평탄채널 구조 MOSFET의 채널 길이가 수 μm 에서 수십 nm 단위로 축소화되면서 ICs의 동작속도 개선, 집적도 증가, 생산 단가 감소가 가능하게 되었다.

었다. 하지만, 이런 평탄 채널 구조 MOSFET의 축소화는 단 채널 효과(short channel effects)인 문턱전압(V_t) 감소, SS(Subthreshold Swing)와 DIBL(Drain Induced Barrier Lowering)의 특성저하를 가져왔고, 소자 사이의 채널 도핑 편차에 따른 소자 특성 산포의 증가, 게이트 산화막을 통한 터널링으로 인한 누설전류 증가와 같은 문제점들을 야기시켰다. 단 채널 효과로 인해 발생하는 문제를 해결하면서, nm 크기를 갖는 소자로 가기 위해서는 작은 기생 저항, 얇은 소스/드레인 접합 깊이, high- κ 게이트 절연막, 작은 저항의 금속 게이트 등이 필요하다. 지금까지 개발된 최고의 소재와 장비기술을 고려할 때, 벌크 실리콘 웨이퍼에 제작된 평탄채널 구조 MOSFET은 채널 길이가 20 nm 이하로 축소화되기는 물리적으로 어렵다. 평탄채널 구조 MOSFET의 축소화 한계를 극복하기 위해서 여러 새로운 구조의 소자가 도입되었다. 이들 중에는 매몰 산화막 위에 실리콘 박막을 가지는 SOI(Silicon-On-Insulator) 웨이퍼 상에서 제작된 단일-게이트 형태 MOSFET이 있고 [1, 2], 이중/삼중-게이트 형태 MOSFET이 있다 [3, 4]. 이런 새로운 구조의 MOSFET들은 벌크 실리콘에서 제작된 기존 평탄채널 구조 MOSFET에 비해 축소화에 보다 큰 이점을 가진다 [5]. SOI 기판에서 제작된 MOSFET은 실리콘 박막으로 인해 소스/드레인 접합 아래에 누설전류 경로가 없으며 이중-게이트 MOSFET은 전극이 위/아래 또는 좌/우에 위치함으로써 채널에 대한 게이트의 통제력을 증가시켜 단 채널 효과를 감소시킨다. 삼중-게이트 MOSFET에서도 이와 같은 원

<저자 약력>

- 이종호 교수는 1993 서울대학교 전자공학과에서 박사학위를 받았으며, 1994년부터 원광대학교 교수로 재직하였고, 2002년부터 경북대학교 교수로 재직하던 뒤, 2009년부터 서울대학교 전기 정보 공학부 교수로 재직 중이다. 2015년에는 한국공학한림원 주관 젊은 공학인상을 받았고, 제50회 발명의 날에 훈장을 받았으며, IEEE Fellow로 선정되었다. (jhl@snu.ac.kr)
- 최규봉 저자는 2006년 서울대학교 전기컴퓨터공학부에 입학하여 2012년 서울대학교에서 전기공학 학사학위를 받았으며, 2012년부터 서울대학교 전기 정보공학부에서 석사 박사 통합 과정을 진행 중이다.

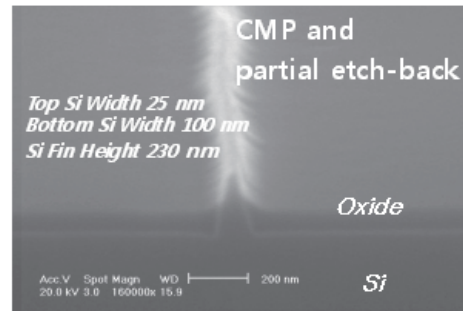


[Fig. 1] (a) SOI FinFET typical layout and schematic cross sectional structure. (b) Cross-sectional SEM picture of 15 nm Si vertical fin. The height is 50 nm [8, 9].

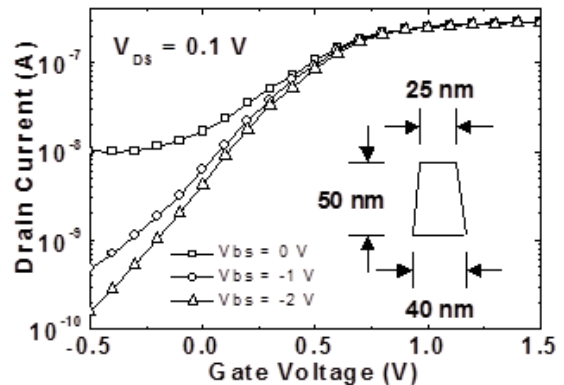
리로 단 채널 효과가 억제되지만 구조적인 면에서 게이트 전극이 삼면에 위치한다는 차이를 가진다 [6, 7]. 기존의 평탄채널 구조가 아닌 삼차원 구조 MOSFET의 연구가 활발히 진행 되어 왔고 그 중에서도 물고기의 지느러미(fin)를 닮아 FinFET이라고 불리는 삼중-게이트 MOSFET은 고성능을 유지하면서 뛰어난 축소화 특성을 가지고 기존 평탄채널 구조 MOSFET과 공정기술에 있어 좋은 호환성을 가진다.

2. SOI FinFET과 벌크 FinFET

FinFET은 1990년대 후반 2000년대 초에 버클리 대학교에서 SOI 기판상에 처음으로 제작되었고 [8, 9] 이를 SOI FinFET이라고 부른다. 그림 1은 SOI FinFET의 도식도와 SEM 사진을 보여준다. 이러한 SOI FinFET은 제작공정이 간단하고 축소화가 뛰어나다. 또한 상단 실리콘이 매우 얇고 그 아래는 매몰 산화막이 있기 때문에 소스/드레인의 접합 깊이 아래를 통한 누설전류 경로가 없다. SOI에서 제작된 소자는 작은 기생 용량(parasitic capacitance)을 가지기 때문에 고속 ICs에 많이 사용되는 것으로 알려져 있지만, 최근 축소화 및 열 방출의 이슈로 그러한 장점이 사라지고 있다. 소자 동작 중 채널에서 발생한 열이 기판으로 빠져나가야 하는데, 매몰 산화막의 낮은 열전도 때문에 문제가 발생한다. SOI 기판은 벌크 실리콘 기판에 비해 단가가 높으며 제작과정에서 결함 밀도가 상대적으로 높다. SOI기판에서 제작된 소자들은 보통 플로팅 바디를 가지기 때문에 가해지는 전압 조



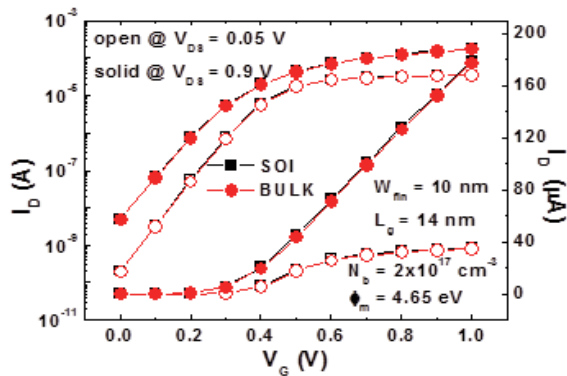
(a)



(b)

[Fig. 2] (a) Cross-sectional SEM picture of fin. (b) I_D - V_{GS} characteristics with respect to the body biases. The inset shows the Fin Channel region only tied to the Si substrate [11].

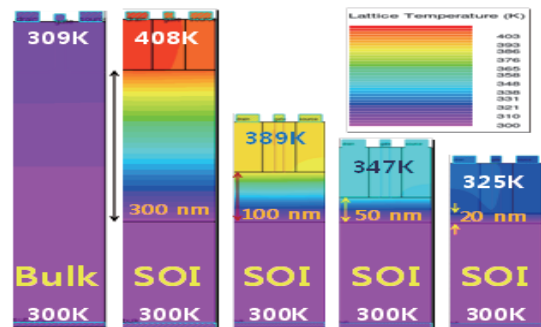
건에 따라 플로팅 바디 효과가 발생할 수 있다 [10]. 또한 4-단자를 가진 기존 MOSFET과 달리 바디가 플로팅 된 3-단자 형태를 가지기 때문에 회로 동작 범위가 축소된다. 따라서 플로팅 바디를 가지는 SOI FinFET의 문제를 해결하기 위해 실리콘 기판에 직접 fin 바디가 연결된 4-단자 소자를 만드는 연구가 서울대 반도체공동연구소에서 2001년 진행되었고 벌크 실리콘 상에 body-tied FinFET이 2003년 발표되었다 [11]. 본 저자는 SOI FinFET과 구별하기 위해 벌크 기판에 제작되고 fin 바디가 기판에 연결된 이 소자를 벌크 FinFET으로 이름을 붙였다 [12]. 그림 2 (a)는 벌크 실리콘 기판에 실리콘 fin을 제작하여 실리콘 기판과 fin 바디가 연결 되어있는 형태를 보여준다.



[Fig. 3] 14. I_D - V_G s curves of 14 nm bulk (circle) and SOI (square) FinFETs. The junction-to-junction length in this figure is 14 nm. The fin height and source/drain junction depth are 100 nm, respectively. Solid and open symbols represent the curves for the V_{DS} values of 0.9 V and 0.05 V, respectively. The fin body is uniformly doped with a concentration of $2 \times 10^{17} \text{ cm}^{-3}$. Gate oxide thickness is 1 nm [13].

Fin 바디의 양쪽에는 소자격리를 위한 SiO_2 가 형성되어 있다. 그림 2 (b)는 바디 전압 따른 I_D - V_G 를 보여준다. 기판 바이어스(V_{bs})가 음으로 증가함에 따라 누설전류는 감소하지만 문턱전압(gate bias가 0.75 V 근처)은 거의 변하지 않는 특성을 보여준다. 벌크 FinFET은 기존 평탄 채널 MOSFET과 같이 벌크 실리콘에서 제작되기 때문에 공정상 양립할 수 있고 4-단자를 가지기 때문에 기존 IC에도 호환이 적합하다. 앞에서 언급했듯이 SOI FinFET은 매몰 산화막을 갖기 때문에, 소스/드레인 접합 아래를 통한 누설전류 경로가 없다. 벌크 FinFET의 경우, 소스/드레인 접합 깊이 아래에 국소 도핑을 형성함으로써 누설전류를 막을 수 있다 [13].

그림 3은 벌크 FinFET과 SOI FinFET이 같은 fin 높이 (100 nm), fin 폭(10 nm) 그리고 바디 도핑($2 \times 10^{17} \text{ cm}^{-3}$)을 가질 때 I_D - V_G 를 보인 것으로, 거의 일치하기 때문에 두 소자는 같은 축소화 특성을 가짐을 알 수 있다. SOI FinFET의 경우 fin 바디 아래 매몰 산화막이 있다. 이는 누설전류를 줄여 주지만 낮은 열 전도율로 인해 소자 동작 중 Joule heating으로 발생한 열이 쉽게 기판으로 빠지지 않는 특성이 있다. 그러나 벌크 FinFET은 매몰 산화막이 없고 상대적으로 열 전도율이 높은 단결정 실리콘 바디가 기판에 연결되어 있기 때문에 쉽게 열을 방출할 수 있다.



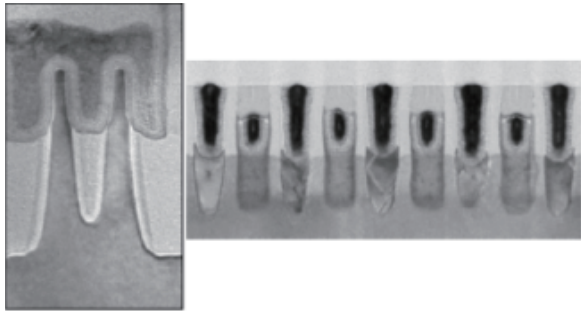
[Fig. 4] Temperature contour in cross-sectional views of the fin body, cut along the channel length, when the 14 nm FinFET is turned on. The temperature contours in SOI FinFETs are shown with BOX thickness from 300 nm to 20 nm, and are compared to contour of the bulk FinFET (left most). The arrows in the cross-sectional of SOI FinFET indicate the thickness of the BOX [13].

그림 4는 벌크 FinFET과 SOI FinFET의 채널방향 단면에 온도 등고선을 보인 것으로 이들 소자가 동작 중에 발생한 온도 분포를 보인다. 같은 전압 및 전류 조건하에서, 벌크 FinFET은 동작 중에 채널에서의 최고 온도가 309K로 열이 기판으로 잘 방출되는 것을 보여주지만 300 nm 두께의 매몰 산화막을 가지는 SOI FinFET은 최고 온도가 408 K로 열 방출이 제대로 되지 않는 것을 보여준다. SOI FinFET의 경우 매몰 산화막이 20 nm까지 줄여야만 325 K로 온도를 낮출 수 있다. 그러나 매몰 산화막 두께를 줄이면 기판과 게이트/소스/드레인 사이의 기생용량이 증가하는 문제가 생긴다. 열 방출 특성을 고려할 때, 기존의 SOI 소자가 갖는 작은 기생 용량의 장점이 크게 줄어들게 된다.

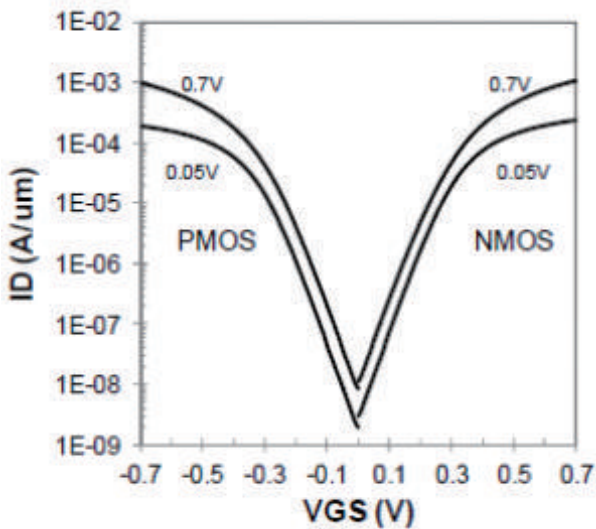
3. 벌크 FinFET의 주요 기술 동향 및 이슈

앞에서 언급한 바와 같이 벌크 FinFET은 SOI FinFET과 같이 우수한 축소화 특성을 가지면서 SOI FinFET과 달리 낮은 웨이퍼 가격, 낮은 결함 밀도를 가지고 플로팅 바디 효과가 없으며 열 방출 특성이 우수하다. 또한 평탄 채널 MOSFET과 공정의 호환이 가능하다.

이에 따라 벌크 FinFET은 고속 디지털 ICs [14], 아날



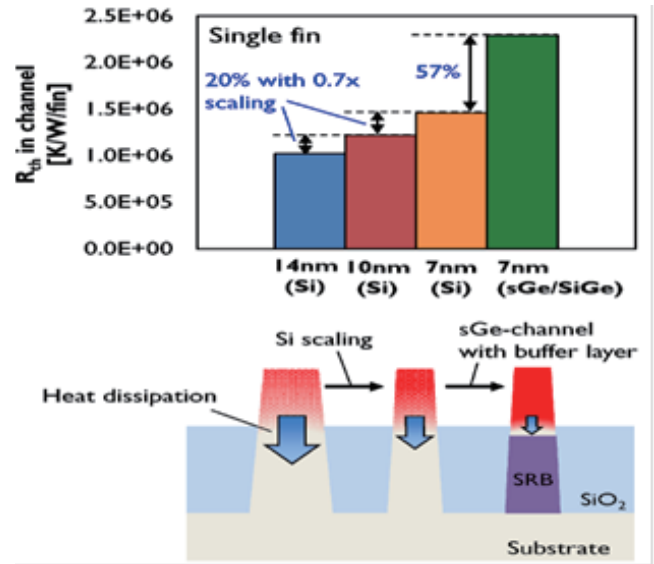
(a)



(b)

[Fig. 5] (a) Cross-sectional SEM picture of transistor Fin and Gate. (b) I_D - V_{GS} characteristics of NMOS and PMOS at $V_D = 0.05$ and 0.7 V respectively [23].

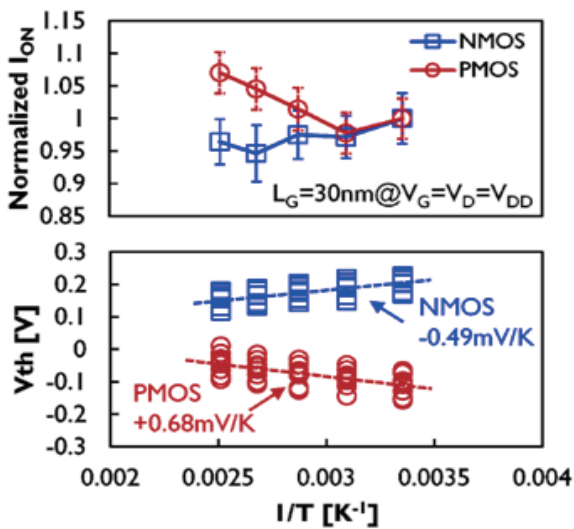
로그 ICs [15], SRAMs [16, 17], flash memories [18, 19], 그리고 DRAMs [20, 21] 등 다양한 분야에 연구 개발이 진행되고 있다. 2011년에는 인텔이 22 nm의 3차원 트랜지스터인 벌크 FinFET을 기초로 하여 CPU 양산을 발표하였다 [22]. 그리고 2014년에 14 nm 벌크 FinFET을 이용한 CPU 양산을 발표하고 현재 양산 중이다 [23]. 그림 5 (a)는 14 nm 벌크 FinFET의 단면 SEM 사진으로 이때 Fin 사이의 거리는 42 nm이다. 그림 5 (b)는 NMOS와 PMOS의 I_D - V_{GS} 로 SS는 ~65 mV/decade로 FinFET이 갖는 SS 이점을 보여준다. 벌크 FinFET은 2014년 IEDM 학회 중 Electron Device Society 60주년 패널 토



[Fig. 6] R_{th} from 14 nm to 7 nm node in a single fin structure. R_{th} increases monotonically in Si-channel due to reduced heat dissipation path [29].

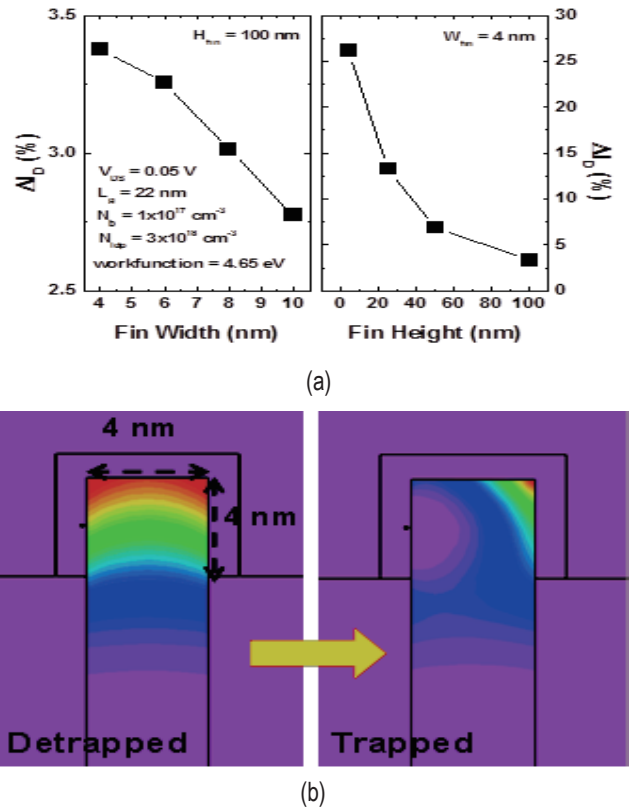
의에서 지난 60년 반도체 기술 역사에서 주요 핵심기술로 선정되기도 하였다. 2015년에는 삼성전사에서 14 nm FinFET mobile AP(application processor) 양산을 발표하였고, 2016년에는 2세대 14 nm FinFET logic process 양산을 발표하였다 [24]. 이와 같이 벌크 FinFET이 반도체 산업의 핵심기술로 자리잡았고, 시장을 주도하면서 지속적인 축소화 관련 연구가 10 nm 그리고 7 nm에서 진행 중이다 [25-28].

벌크 FinFET은 평탄채널 MOSFET의 축소화 한계를 극복하고 전세계 주요 반도체 산업체에서 주도적인 미래 소자로 자리를 잡았지만 지속적인 축소화를 위해 10 nm, 7 nm로 갈수록 문제점들이 발생한다. SOI FinFET과 달리 벌크 FinFET은 열 방출이 용이한 장점이 있다고 알려져 있으나 지속적인 축소화는 벌크 FinFET에서도 열 방출이 다시 이슈가 된다. 2015년 IEDM에서 발표된 논문 따르면 크기가 줄어들면서 self-heating effects (SHE) 이슈가 중요해진다 [29]. 그림 6은 평탄 채널구조와 다른 좁은 fin 모양의 벌크 FinFET의 크기가 0.7x로 줄어들 때마다 20%씩 열 저항이 증가하게 되고 이로 인해 열이 제대로 방출되지 않는 것을 보여준다. 그림 7은 구동전류와 문턱전압이 온도에 따라 변하는 특성



[Fig. 7] I_{on} and V_{th} as a function of $1/T$. PMOS shows more sensitive temperature dependence of V_{th} compared to NMOS. It increases the gate over drive ($V_G - V_{th}$) to the channel, resulting in increased I_{on} [29].

을 보여준다. 계속되는 축소화는 벌크 FinFET에서 다양한 variability 문제를 가져온다. 지속적인 축소는 게이트 길이의 산포(ΔL_g), fin 폭의 산포(ΔW_{fin}), 기생 저항(parasitic resistance) 산포(ΔR_D) 그리고 work function variation(WFV)에 의한 문턱전압의 산포(ΔV_{th})를 증가시켜, I_{on} 및 I_{off} 를 변화시킨다. 벌크 FinFET에서 문턱전압은 주로 게이트 전극의 일함수에 결정되는데, 금속 게이트의 결정 입계(grain-boundary)에 따른 WFV의 개선이 필요하고, 리소그래피(lithography)의 기술적인 한계로 인한 상기 L_g 나 W_{fin} 등의 제어에 개선이 필요하다. 그리고 게이트 절연체에 전하가 트랩/디트랩하면서 발생하는 random telegraph noise(RTN)의 영향 또한 축소화에 따라 증가한다. 트랩된 전하는 국소적으로 채널 전위에 영향을 줌으로써 드레인 전류를 변화시키는 원인이 된다 [30]. 그림 8은 벌크 FinFET에서 fin 폭이 줄어들수록 fin 높이가 낮아질수록 트랩된 전하의 영향이 커지고 드레인 전류 변화량도 커지는 현상을 보여준다. 특히 fin 폭과 높이가 4 x 4 nm일때 하나의 트랩된 전자에 의해 26% 드레인 전류 변화량을 보인다. 벌크 FinFET의 축소는 상기 변수를 최적화하는 방향으로 진행되어야 한다.



[Fig. 8] (a) Dependence of ΔI_b on W_{fin} and H_{fin} . (b) Contours of current density on the cross-sectional view cut across the fin body. Here, the H_{fin} and W_{fin} are 4 nm [30]

4. 맺음말

벌크 FinFET은 평탄채널 MOSFET이 가지는 축소화 한계를 극복하는 새로운 구조의 소자로서 단 채널 효과로 발생하는 문제점들을 억제시키고 이상적인 SS 특성, 작은 바디 효과, 높은 Gm(transconductance), 작은 기생용량 등 우수한 성능을 보여준다. 그로 인해 반도체 산업 전반에서 주도적인 핵심기술로 인정을 받았고 지속적인 연구가 진행되고 있다. 그러나 10 nm 이하로 축소될 때 열 방출이 다시 중요한 이슈가 되고 WFV, ΔL_g , ΔW_{fin} , ΔR_D 등에 의한 variability 문제가 이슈화 되고 있으며, 채널을 위한 fin 바디 높이가 줄어들수록 RTN에 의한 드레인 전류 변화가 크게 증가한다. 이러한 문제는 벌크 FinFET에 한정된 문제가 아니라 10 nm 이하로 축소될 때 대부분의 소자들에서 해결되어야 할 문제이다.

References

- [1] J. Kedzierski, P. Xuan, V. Subramanian, E. Anderson, J. Bokor, T.-J. King, and C. Hu, *Superlattices and Microstructures* **28**, 445 (2000).
- [2] T. Low, F. F. Li, C. Shen, Y.-C. Yeo, Y. T. Hou, C. Zhu, A. Chin, and D. L. Kwong, *Appl. Phys. Lett.* **85**, 2402 (2004).
- [3] Y.-K. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T.-J. King, J. Bokor, C. Hu, *IEDM Tech. Dig.* 421 (2001).
- [4] B. Doyle, B. Boyanov, S. Datta, M. Doczy, S. Hareland, B. Jin, J. Kavalieros, T. Linton, R. Rios, and R. Chau, *Tech. Dig. of Symposium on VLSI Tech.* 133 (2003).
- [5] C. H. Wann, K. Noda, T. Tanaka, M. Yoshida, and C. Hu, *IEEE Trans. Electron Devices* **43**, 1742 (1996).
- [6] H.-S. P. Wong, K. K. Chan, and Y. Taur, *IEDM Tech. Dig.* 427 (1997).
- [7] I. Ferain, C. A. Colinge, and J.-P. Colinge, *Nature* **479**, 310 (2011).
- [8] D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T.-J. King, J. Bokor, C. Hu, *IEDM Tech. Dig.* 1032 (1998).
- [9] D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor, *IEEE Trans. Electron Devices* **47**, 2320 (2000).
- [10] J.-P. Colinge, *Silicon-on-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, Dordrecht, (1991).
- [11] T. Park, E. Yoon, and J.-H. Lee, *IEEE Physica E* **19**, 6 (2003).
- [12] T. Park, H. J. Cho, J. D. Choe, S. Y. Han, D. Park, K. Kim, E. Yoon, and J.-H. Lee, *IEEE Trans. Electron Devices* **53**, 481, (2006).
- [13] J.-H. Lee, *Nano Devices and Circuit Techniques for low-energy applications and energy harvesting*, Springer, 33 (2015)
- [14] K. Okano, T. Izumida, H. Kawasaki, A. Kaneko, A. Yagishita, T. Kanemura, M. Kondo, S. Ito, N. Aoki, K. Miyano, T. Ono, K. Yahashi, K. Iwade, T. Kubota, T. Matsushita, I. Mizushima, S. Inaba, K. Ishimaru, K. Suguro, K. Eguchi, Y. Tsunashima, and H. Ishiuchi, *IEDM Tech. Dig.*, 721 (2005).
- [15] F. Zhong, A. Sinha, *IEDM* 52 (2014).
- [16] M. Yabuuchi, M. Morimoto, Y. Tsukamoto, S. Tanaka, K. Tanaka, M. Tanaka, K. Nii, *IEDM* 56 (2014).
- [17] C. Liu, H. Nam, K. Kim, S. Choo, H. Kim, H. Kim, Y. Kim, S. Lee, J. Kim, J. J. Kim, L. Hwang, S. Ha, M.-J. Jin, H. C. Sagong, J.-K. Park, S. Pae, J. P, *IEDM* 277 (2015).
- [18] J.-R. Hwang, T.-L. Lee, H.-C. Ma, T.-C. Lee, T.-H. Chung, C.-Y. Chang, S.-D. Liu, B.-C. Perng, J.-W. Hsu, M.-Y. Lee, C.-Y. Ting, C.-C. Huang, J.-H. Wang, J.-H. Shieh, and F.-L. Yang, *IEDM Tech. Dig.*, 154 (2005)
- [19] E. S. Cho, T.-Y. Kim, B. K. Cho, C.-H. Lee, J. J. Lee, A. Fayrushin, C. Lee, D. Park, and B.-I. Ryu, *Symp. On VLSI Tech. Dig.*, 90 (2006).
- [20] C. Lee, J.-M. Yoon, C.-H. Lee, J. C. Park, T. Y. Kim, H. S. Kang, S. K. Sung, E. S. Cho, H. J. Cho, Y. J. Ahn, D. Park, K. Kim, and B.-I. Ryu, *IEDM Tech. Dig.*, 61 (2004).
- [21] D.-H. Lee, S.-G. Lee, J. R. Yoo, G.-H. Buh, G. H. Yon, D.-W. Shin, D. K. Lee, H.-S. Byun, I. S. Jung, T.-S. Park, Y. G. Shin, S. Choi, U.-I. Chung, J.-T. Moon, and B.-I. Ryu, *Symp. On VLSI Tech. Dig.*, 164 (2007)
- [22] <http://newsroom.intel.com/docs/DOC-2032>
- [23] S. Natarajan, et al., *IEDM* 71 (2014).
- [24] <http://www.samsung.com/semiconductor/insights/news/24581>
- [25] C. Y. Kang, C. Sohn, R.-H. Baek, C. Hobbs, P. Kirsch, R. Jammy, *Symp. On VLSI Tech. Dig.* 90 (2013).
- [26] K.-I. Seo, et al., *Symp. On VLSI Tech. Dig.* 1-2 (2014).
- [27] S. Gupta, V. Moroz, L. Smith, Q. Lu, K. C. Saraswat, *IEDM Tech. Dig.* 641 (2013).
- [28] G. Eneman, G. Hellings, A. De Keersgieter, N. Collaert, A. Thean, *IEDM Tech. Dig.* 320 (2013).
- [29] D. Jang, E. Bury, R. Ritzenthaler, M. G. Bardon, T. Chiarella, K. Miyaguchi, P. Raghavan, A. Mocuta, G. Groeseneken, A. Mercha, D. Verkest, A. Thean, *IEDM* 289 (2015).
- [30] K.-B. Choi, J. Shin, J.-H. Lee, *J. Nanosci. Nanotechno.* (to be published).