

논문 2016-53-5-11

합성형 멤리스터 에뮬레이터와 M-R 뮤테이터의 특성 비교

(Comparative Analysis of Synthetic Memristor Emulator and M-R Mutator)

최 현 철*, 김 형 석**

(Hyuncheol Choi and Hyongsuk Kim[Ⓞ])

요 약

합성형 멤리스터 에뮬레이터와 M-R 뮤테이터 기반 멤리스터 에뮬레이터의 특성들을 분석하고 차이점을 비교하였다. 멤리스터는 가변 저항 특성을 갖는 소자로서 저항, 커패시터, 인덕터 다음의 4번째 전기회로 기본소자이다. 멤리스터 에뮬레이터는 이 멤리스터의 가변저항 특성을 전자소자들을 조합하여 구현한 회로인데, 멤리스터 상용화 이전까지의 멤리스터 연구를 위해서는 필수 회로이다. 대표적인 멤리스터 에뮬레이터에는 그 구현 방법에 따라 전자소자들을 조합하여 가변 저항특성을 구현하는 합성형 멤리스터 에뮬레이터와 M-R 뮤테이터를 사용하여 비선형소자로부터 가변저항 특성을 구현하는 M-R 뮤테이터 기반 멤리스터 에뮬레이터가 있다. 본 논문에서는 이 두 가지 에뮬레이터의 구현 방법과 특성들을 분석하고 그 차이점을 연구하였다.

Abstract

An analytical comparison of a synthetic memristor emulator and a M-R mutator-based memristor emulator has been performed. Memristor is an electrical element with the characteristic of variable resistance. It is called the fourth fundamental electrical element following resistor, capacitor, and inductor. Memristor emulator is a circuit which implements the feature of variable resistance via the composition of various electrical devices. It is an essential circuit to study memristor characteristics during the time before it is commercially available. There are two representative memristor emulators depending upon their implementation methods. One is a memristor emulator which is synthesized via combining various electrical devices and the other one is M-R mutator-based memristor emulator implemented by extracting resistance from a nonlinear device. In this paper, implementation methods of these two memristor emulators are studied and their differences are investigated by analysing their characteristics.

Keywords : 멤리스터, 멤리스터 에뮬레이터, 메모리소자

I. 서 론

멤리스터는 1971년 UC 버클리 대학의 Leon Chua 교수에 의해 전기회로의 4번째 기본 소자^[1]로서 처음 제

* 학생회원, ** 정회원, 전북대학교 전자정보공학부, 지능형 로봇 연구 센터 (Electronics and Information Department, Chonbuk National University, Intelligent Robots Research Center)

Ⓞ Corresponding Author(E-mail : hskim@jbnu.ac.kr)

※ 이 논문은 2014년도 정부(교육부 및 미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업 임.(No.2013R1A2A2A01068683)

안되었다. 2006년 HP사의 정보 양자 시스템 연구실 (IQSL)이 멤리스터의 존재를 증명하였고, 2008년에는 스탠리 윌리엄스(R. S. Williams) 연구팀이 비휘발성이면서 신경 특성을 갖는 수 나노 크기의 TiO₂ 멤리스터를 제안했다^[2]. HP 사는 수년 내 멤리스터를 차세대 메모리로 상용화하겠다는 계획을 내놓았지만 비용과 기술적 어려움 때문에, 멤리스터가 전기 전자 관련 산업에 적용되고 사용되는 데는 아직 시간이 많이 필요하다. 멤리스터의 상용화에 앞서 디바이스의 특성을 파악하고, 문제점을 찾아 극복하는 것은 매우 중요한 일이다. 따라서 멤리스터 관련분야에 대한 연구를 활발히 진행하기 위해서는, 멤리스터를 대체할 수 있는 멤리스터 모델이 필요하다.

표 1. M-R 뮤테이터의 두 가지 형태와 종속 전원을 통한 네 가지 구현
Table1. Two types and four realization using controlled source of M-R mutator.

형태	다이아그램	종속전원을 통한 구현	
		구현 1	구현 2
1	$v_M = \frac{dv_R}{dt} \quad i_M = -\frac{di_R}{dt}$		
2	$v_M = -\frac{di_R}{dt} \quad i_M = \frac{dv_R}{dt}$		

다수 연구팀들은 멤리스터의 수학적 모델^[3-5]과 스파이스(SPICE) 매크로 모델^[6-11]을 제안한 바 있다. 이러한 멤리스터 모델들은 소자의 기본적인 특성을 연구하는데 매우 중요한 역할을 하고, 설계과정에서 수행되는 여러 복잡한 엔지니어링 계산이 자동화되게 하는 역할을 한다. 그러나 이와 같은 모델링 기법은 이상적인 멤리스터의 특성만 고려하기 때문에 물리적인 멤리스터 응용 회로 분야하기 어렵다. 따라서 멤리스터 응용 분야에는 아날로그 멤리스터 에뮬레이터 회로가 필요하다. 아날로그 멤리스터 에뮬레이터가 갖춰야 할 조건들은

- 1) 전류-전압 관계에서 pinched hysteresis loop가 관찰되어야 하고, 2) 이단자(2 port) 장치로서 동작할 수 있어야 하고, 3) 넓은 범위의 멤리스턴스를 가져야 하고, 4) 시간에 대한 멤리스턴스의 변화가 완만해야 한다는 것이다.

최초로 제안된 아날로그 멤리스터 에뮬레이터는 Leon Chua 교수가 발표한 논문^[1]에서 제안된 M-R 뮤테이터 기반 멤리스터 에뮬레이터이다. 이 회로는 입력 전류 또는 입력 전압이 인가되면, 출력 단자에 비선형으로 유도된 전류 또는 전압이 출력된다. 이 변환회로는 비선형 저항의 특성곡선 모양을 보존할 수 있고, 비선형 저항을 출력포트에 연결하여 간단히 구성된다라는 이점이 있다. 하지만 비접지식 소자로서 동작할 수 없으며, 오래된 소자 모델로 구성된 회로이기 때문에 현대에 구현하여 사용하기에 적합하지 않다.

Biolek 연구팀은 JFET 트랜지스터의 드레인-소스 도통채널을 사용하는 아날로그 멤리스터 에뮬레이터 회로

^[12]를 제안했다. 트랜지스터의 V_{gs} 가 대략 $-2.7V$ 일 때, 트랜지스터는 차단상태이고 컨덕턴스 G_M 은 0이다. 이후 V_{gs} 가 증가함에 따라 G_M 이 일정한 비율로 증가하며 동작한다. 회로는 입력 포트에 적분기가 병렬로 연결되며, 적분기는 플럭스 φ 와 전압 제어 컨덕턴스 G_M 에 비례하는 전압 V_φ 를 만든다. 이 회로는 간단한 이론에 기반을 둔 회로이지만, 이단자(2 port) 장치로서 동작이 어렵고, 멤리스턴스의 가변을 위해서는 트랜지스터의 동작점을 조정해야하는 단점이 있다.

또, Mutlu 연구팀은 TiO_2 멤리스터의 특성을 모방하는 에뮬레이터 회로^[13]를 제안한 바 있다. 이 회로는 멤리스터의 특성을 교육하기에 유용하게 사용될 수 있지만, 이단자(2 port) 장치로서 동작이 어렵고, 멤리스턴스가 오랜 시간동안 유지되지 않기 때문에 멤리스터 응용 회로 분야에 적용하기 어렵다.

또, Wang Xiao-Yuan 연구팀이 제안한 Light-dependent resistor(LDR)를 이용한 멤리스터 에뮬레이터 회로^[14]도 있다. 이 회로에서 적분기는 멤리스터의 포트전압을 플럭스로 변환하고, LDR을 자극한다. LDR의 동작점은 오프셋 전압을 통해 제어한다. 제안된 회로는 간단한 구조로 이루어져 있으며, 상용 소자를 통해 실제 전자회로로 구현되고 검증되었다. 하지만 이단자 (2 port) 장치로서 동작이 불가능하고, 비휘발성이 보장되지 않는다.

Biolek 연구팀은 최초로 제안된 멤리스터 에뮬레이터 회로^[1]를 집적회로를 이용해 새롭게 구현한 바 있다. 제안한 회로인 M-R 뮤테이터^[15]는 전류 컨베이어, 연산증

폭기, 다이오드를 이용해서 구성되는데, 회로에서 사용된 전류 전달소자는 낮거나 고정된 전류이득을 갖는 개방루프 전류모드 증폭기이고, 서로 다른 임피던스 레벨을 갖는 X 단자와 Y 단자 사이의 전류를 복사한다. 이 회로에서 전류 전달소자를 사용하여 입력전류를 복사하고, 이를 비선형 저항인 다이오드에 인가하여 입력 전압과 입력 전류의 관계를 비선형적으로 유도하였다.

또, Kim 등은 전자소자들을 조합하여 가변 저항특성을 구현하는 합성형 멤리스터 에뮬레이터^[16]를 설계하였다. 이 회로는 전류 미러 회로를 통해 복사된 입력 전류를 뒷단의 커패시터 C 와 저항 R 에 흘려 전압 v_C 와 v_R 을 만든다. v_C 와 v_R 은 곱셈기를 거쳐 곱해지고, 피드백 전압인 v_X 가 만들어진다. 회로에서 앞단 저항 R 의 양단에 걸리는 피드백 전압 v_X 와 입력 전압 v_{in} 을 통해 입력전류와 입력 저항의 관계가 비선형적으로 정의된다.

본 논문에서는 멤리스터 에뮬레이터 회로 중 가장 많이 사용되는 회로인 M-R 뮤테이터^[15]와 합성형 멤리스터 에뮬레이터^[16]의 구현 방법과 특성들을 분석하고 그 차이점을 연구하였다.

II. M-R 뮤테이터

M-R 뮤테이터는 $v-i$ 의 그래프를 갖는 비선형 저항을 뮤테이터에 연결하고, 이를 통해 같은 형태의 $\varphi-q$ 그래프를 갖는 멤리스터를 구현하는 변환회로이다. 표 1에 나타난 것과 같이 M-R 뮤테이터 회로는 두 가지의 형태로 구분된다.

표 1의 첫 번째 형태에서 비선형 저항 $f(v_R, i_R) = 0$ 의 v_R-i_R 곡선은 멤리스터 $f(\varphi, q) = 0$ 의 $\varphi-q$ 곡선으로 변환된다. 이와 반대로, 표 1의 두 번째 형태에서 비선형 저항 $f(i_R, v_R) = 0$ 의 i_R-v_R 곡선은 멤리스터 $f(\varphi, q) = 0$ 의 $\varphi-q$ 곡선으로 변환된다.

표 1에 제시된 두 가지 형태의 M-R 뮤테이터는 증속전원을 통해 네 가지 방식으로 구현된다. 형태 1은 두 종류의 증속전원을 사용하며, 멤리스터 M 과 저항 R 의 전압 및 전류 관계는 다음 식과 같이 정의된다.

$$v_M = \frac{dv_R}{dt} \tag{1}$$

$$i_M = -\frac{di_R}{dt} \tag{2}$$

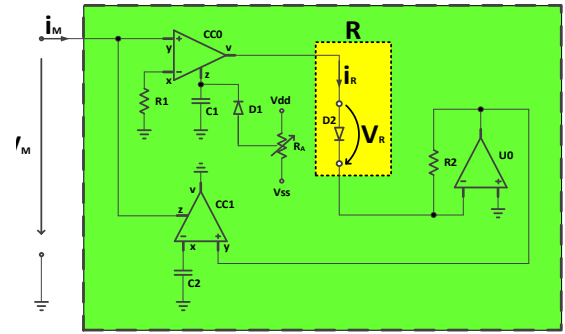


그림 1. M-R 뮤테이터의 회로도
Fig. 1. M-R mutator circuit.

형태 2는 한 종류의 증속전원을 사용하며, 멤리스터 M 과 저항 R 의 전압 및 전류 관계는 다음 식과 같이 정의된다.

그림 1은 Biolek 연구팀이 구현한 M-R 뮤테이터의 회로도를 나타낸다. 해당 회로는 표 1을 기준으로 형태

$$v_M = -\frac{di_R}{dt} \tag{3}$$

$$i_M = \frac{dv_R}{dt} \tag{4}$$

1의 구현 1과 같이 동작한다. 그림에서 비선형 저항은 전류 컨베이어 CC0의 출력단자와 증폭기 U0 사이에 연결된다. 입력 전압 v_M 이 전류 컨베이어 CC0의 y 단자에 인가되면 x 단자로 복사되고, 다음 식 (5)와 같이 전류 i_{R1} 이 생성된다.

$$i_{R1} = \frac{v_M(t)}{R_1} \tag{5}$$

전류 i_{R1} 은 z 단자에 복사되고 다음 식 (6)와 같이 전압 v_{C1} 이 정의된다.

$$v_{C1} = \frac{q}{C_1} = \frac{\int v_M(t)dt}{C_1 R_1} \tag{6}$$

전압 v_{C1} 은 v 단자에 복사되고, 이를 통해 전류 i_R 이 다음 식 (7)과 같이 정의된다. 또한, 증폭기 U0을 거친

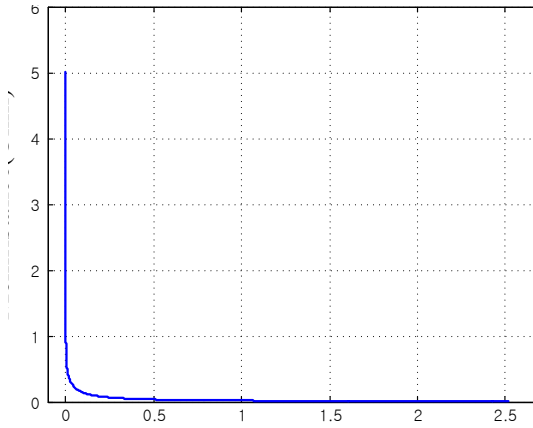


그림 2. M-R 뮤테이터의 전하와 멤리스턴스의 관계
Fig. 2. Relationship between charge and memristance of M-R mutator.

전압 v_{C2} 는 식 (8)과 같이 정의되고, 전류 컨베이어 CC1의 y 단자에 인가된다.

$$i_R = \frac{\int v_M(t)dt}{C_1 R_1 R(t)} \quad (7)$$

$$v_{C2} = -\frac{R_2 \int v_M(t)dt}{C_1 R_1 R(t)} \quad (8)$$

전압 v_{C2} 는 전류 컨베이어 CC1의 x 단자에 복사되고, 시간에 대한 미분을 통해 x 단자의 전류 i_{C2} 가 다음 식 (9)와 같이 정의된다. 식 (9)의 우변에서 입력전압 v_M 과 비선형 저항 R 을 제외한 모든 파라미터는 상수이다.

$$i_{C2} = -\frac{C_2 R_2}{C_1 R_1} \frac{d}{dt} \left(\frac{\int v_M(t)dt}{R(t)} \right) \quad (9)$$

식 (7)을 식 (9)에 대입함으로써 멤리스터 M 의 전류 i_M 이 다음 식 (10)과 같이 정의된다.

$$i_M = -C_2 R_2 \frac{d}{dt} (i_R) \quad (10)$$

식 (10)에서 정의된 i_M 과 i_R 의 관계가 식 (2)의 형태와 일치한다.

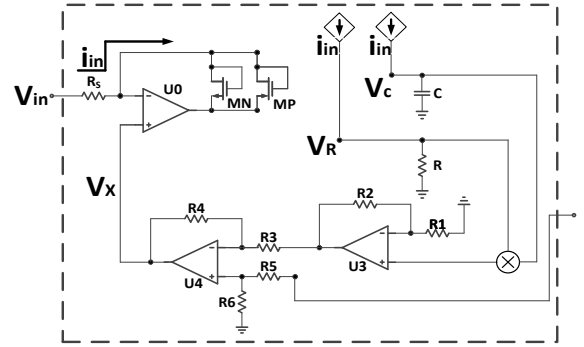


그림 3. 합성형 멤리스터 에뮬레이터의 간략화된 구성도
Fig. 3. Simplified schematic of synthetic memristor emulator.

그림 2는 M-R 뮤테이터의 전하와 멤리스턴스의 관계를 나타낸 시뮬레이션 결과이다. 멤리스터는 전하와의 관계에 따라 선형 또는 비선형 모델^[17]로 나뉜다. 그림과 같이 M-R 뮤테이터의 멤리스턴스 변화는 전하에 대해 비선형 함수이다. 따라서 M-R 뮤테이터는 비선형 멤리스터 모델이다.

III. 합성형 멤리스터 에뮬레이터

본 연구팀은 다양한 전자소자들을 조합하여 가변 저항특성을 구현하는 합성형 멤리스터 에뮬레이터^[16]를 설계하였다.

그림 3은 합성형 멤리스터 에뮬레이터 회로이다. 회로에서 입력전압은 다음 식 (11)과 같이 정의된다.

$$v_{in} = R_s i_{in} + v_x \quad (11)$$

합성형 멤리스터 에뮬레이터에서 입력전류 i_{in} 은 전압 증속 전류원에 의해 저항 R 과 커패시터 C 에 복사되어 흐르고, 각각 전압 v_R 과 v_C 를 만든다. v_R 과 v_C 는 다음 식 (12), (13)과 같이 정의된다.

$$v_R = i_{in} \cdot R \quad (12)$$

$$v_C = \frac{1}{C} \int_{-\infty}^t i_{in}(\tau) d\tau = \frac{q(t)}{C} \quad (13)$$

v_R 과 v_C 는 아날로그 곱셈기에 의해 곱해지고, 증폭기에 의해 α 배 만큼 증폭되어 피드백 전압 v_x 가 만들어진다. v_x 는 다음 식 (14)과 같이 표현된다.

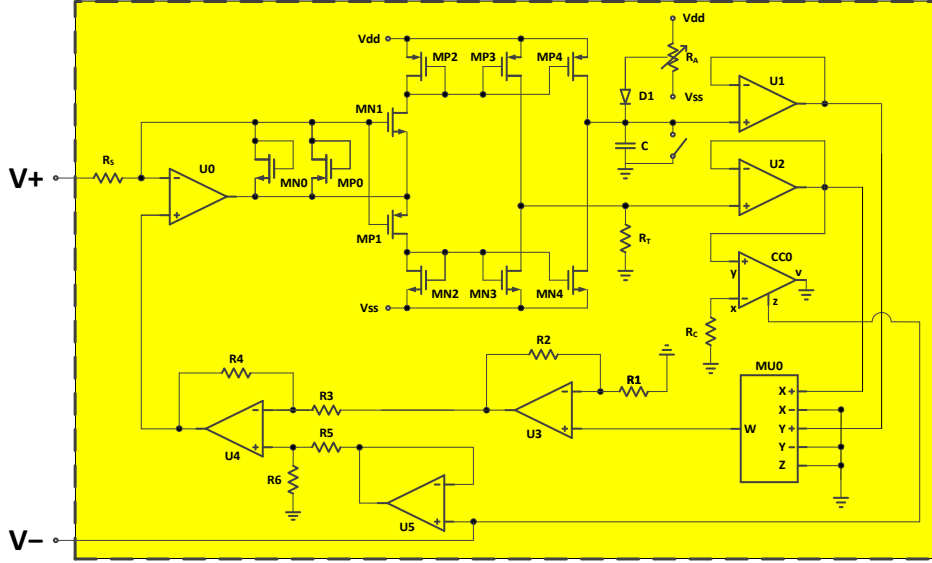


그림 4. 합성형 멤리스터 에뮬레이터의 구체적인 회로도
 Fig. 4. Detailed circuit of synthetic memristor emulator.

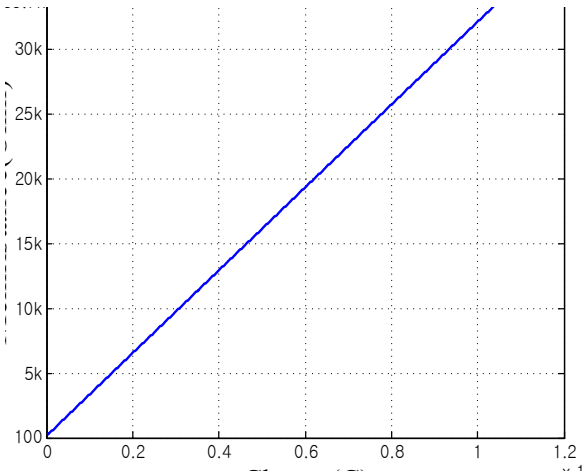


그림 5. 합성형 멤리스터 에뮬레이터의 전하와 멤리스턴스 관계
 Fig. 5. Relationship between charge and memristance of synthetic memristor emulator.

$$v_X = \alpha \frac{q(t)}{C} R i_{in} \quad (14)$$

이때, 식 (14)를 식 (11)에 대입하여 정리하면 다음 식 (15)를 얻을 수 있다.

$$v_{in} = (R_s + \frac{q(t)}{C} R) i_{in} \quad (15)$$

위의 식 (15)를 통해, 합성형 멤리스터 에뮬레이터의 멤리스턴스는 아래 식 (16)과 같이 정의된다.

$$M = \frac{v_{in}}{i_{in}} = (R_s + \frac{q(t)}{C} R) \quad (16)$$

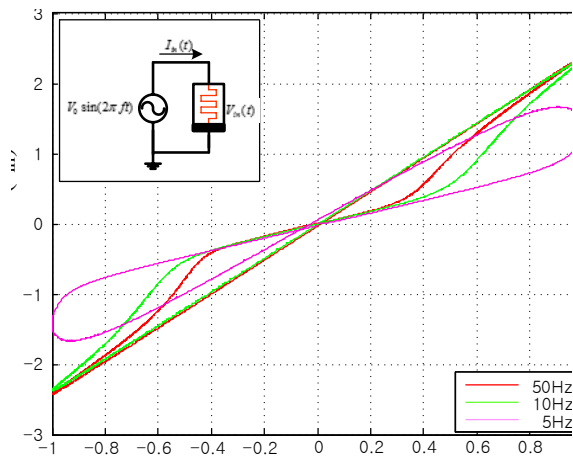
그림 4는 합성형 멤리스터 에뮬레이터의 구체적인 회로도이다. 그림에서 (+) 신호가 인가되면 입력전압 v_{in} 과 가산기 U4의 출력전압 v_X 의 차이가 줄어들면서 입력전류 i_{in} 의 크기가 줄어든다. 따라서 멤리스턴스는 증가하게 된다.

그림 5는 합성형 멤리스터 에뮬레이터의 전하와 멤리스턴스의 관계를 나타낸다. 그림과 같이 멤리스턴스는 전하에 대해 선형 함수이기 때문에 합성형 멤리스터 에뮬레이터는 선형 멤리스터 모델^[17]이다.

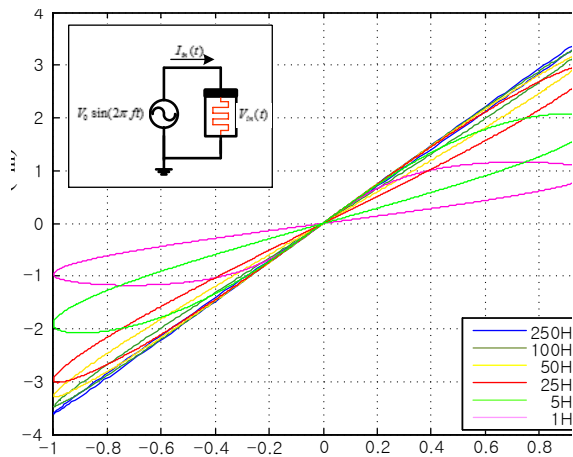
IV. 실험

PSPICE를 이용한 시뮬레이션을 통해, M-R 뮤테이터와 합성형 멤리스터 에뮬레이터의 특성을 비교하였다. 비교는 서론에서 언급한 에뮬레이터의 중요한 네 가지 특성을 기준으로 수행하였다.

첫째, 에뮬레이터는 멤리스터의 고유한 특성인 pinched hysteresis loop가 관찰되어야 한다. 실험에는 2Vp-p의 진폭을 갖는 정현파 전압 신호를 인가하였다. 둘째, 2-단자 소자로 동작해야 한다. 검증을 위해, 에뮬레이터 회로와 기본적인 2-단자 수동소자인 저항을 직렬연결하고, 전압분배법칙이 성립하는지 확인하



(a)



(b) 합성형 멤리스터 에뮬레이터의 pinched hysteresis loop

그림 6. 에뮬레이터 회로의 pinched hysteresis loop (a) M-R 뮤테이터의 pinched hysteresis loop (b) 합성형 멤리스터 에뮬레이터의 Ppinched hysteresis loop

Fig. 6. Pinched hysteresis loops of (a) M-R mutator (b) synthetic memristor emulator.

였다. 셋째, 넓은 멤리스턴스 범위를 갖추어야 한다. 검증용 위해, 1V의 진폭을 갖는 펄스전압을 멤리스턴스가 충분히 가변될 수 있는 시간동안 인가하였고, 실제 모델인 HP사의 TiO₂ 멤리스터의 멤리스턴스 범위와 비교하였다. 넷째, 적은 민감도를 가져야 한다. 실험에는 1V의 진폭과 10μs의 펄스 폭을 갖는 신호를 인가하였고, 시간에 대한 멤리스턴스 변화의 미분을 통해 두 회로의 멤리스턴스 민감도를 비교하였다.

4.1. Pinched Hysteresis Loop

멤리스터는 이전에 인가된 입력 신호의 누적 값에 의해 저항이 바뀌는 메모리소자이다. 따라서 정현파 입력에 대해 $v-i$ 평면에서 pinched hysteresis loop가 관찰

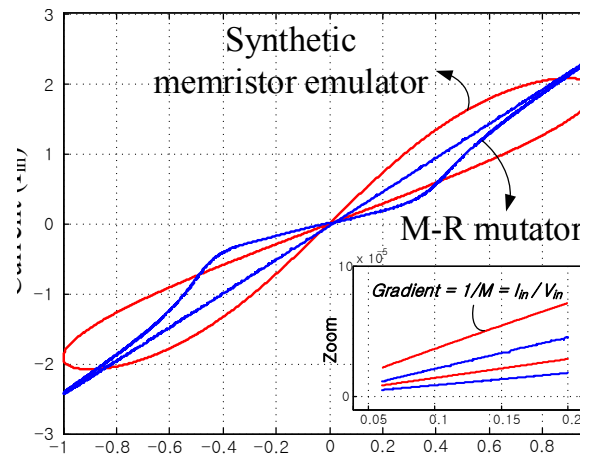


그림 7. 두 에뮬레이터 회로의 pinched hysteresis loop 비교
Fig. 7. Comparison of pinched hysteresis loops between two types of emulator.

되는 고유한 특성이 있다. 입력 신호 $v(t) = A \sin(\omega t)$ 가 어떠한 진폭 A , 어떠한 주파수 ω , 어떠한 상태 변수 $x(0)$ 을 갖더라도 원점을 경유하는 pinched hysteresis loop를 나타낸다. 또한, 같은 크기의 입력 신호라도 상대적으로 입력 신호의 누적 값이 많은 저주파에서는 루프가 넓은 영역을 차지하고, 누적 값이 적은 고주파에서는 루프가 좁은 영역을 차지한다.

그림 6은 에뮬레이터 회로의 pinched hysteresis loop를 나타낸다. 그림 6(a)와 그림 6(b)는 각각 M-R 뮤테이터와 합성형 멤리스터 에뮬레이터에 정현파 전압 신호를 다양한 주파수별로 인가할 때, 전압과 전류의 관계를 나타낸 그래프이다. 그림과 같이 두 에뮬레이터 회로는 모두 $v-i$ 평면에서 pinched hysteresis loop가 관찰된다. 또한, 원점을 경유하며 주파수가 낮아질수록 영역이 좁아지는 현상이 관찰된다. 이로써 두 에뮬레이터 회로는 멤리스터 디바이스로써 정상적으로 동작한다는 것이 검증된다.

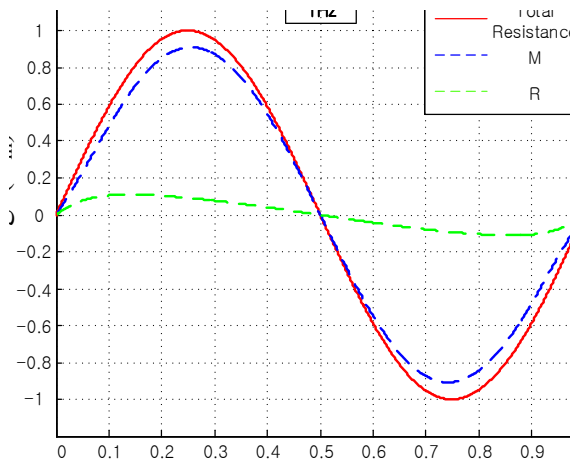
그림 7은 1V 진폭과 5Hz의 주파수를 가진 입력 하에서 두 에뮬레이터의 pinched hysteresis loop를 비교한 그림이다. $v-i$ 평면에서 기울기는 멤리스턴스의 역수로 정의된다. 그림과 같이 합성형 멤리스터 에뮬레이터는 M-R 뮤테이터에 비해 더 넓은 멤리스턴스 범위를 갖는다. 보다 자세한 그림은 그림 7의 Zoom에서 확인된다.

4.2. 2-단자(2 port) 소자

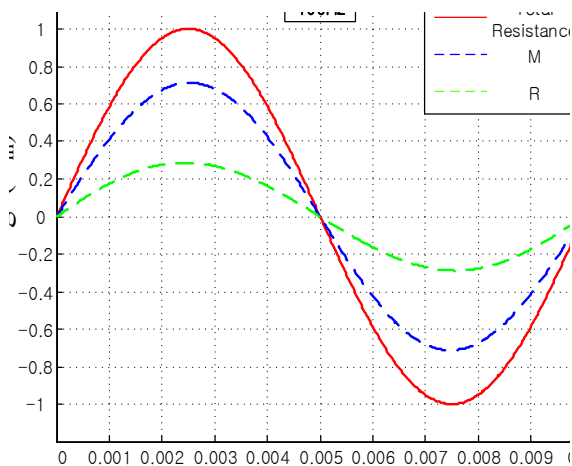
기본적인 2-단자 소자인 저항, 인덕터, 커패시터는 회로 모델링과 실제 시스템에서 사용되는 가장 간단한 회로 구성 요소이다. 전기회로의 4 번째 기본 소자인 멤리스터 역시 2-단자 소자로서 동작이 가능해야 한다.



그림 8. 합성형 멤리스터 에뮬레이터와 저항이 직렬로 연결된 테스트 회로
 Fig. 8. Test circuit composed of a synthetic memristor emulator and a resistor connected in serially.



(a)



(b)

그림 9. 그림 8의 테스트 회로에 입력신호를 인가할 때, M과 R에 각각 분배되는 전압 및 합성전압 (a) 주파수 1Hz의 입력신호 (b) 주파수 100Hz의 입력신호

Fig. 9. Voltage distribution between M and R when a sinusoidal input signal is applied in test circuit in Fig. 8. (a) 1Hz input (b) 100Hz input.

M-R 류테이터를 포함한 타 연구팀의 에뮬레이터들은 2-단자 소자로 동작이 불가능하다. 그렇기 때문에 단일 멤리스터로 동작이 가능하지만, 직렬, 병렬 그리고 하이브리드 연결이 필요한 응용회로에 사용될 수 없다. 기존 에뮬레이터와는 다르게 합성형 멤리스터 에뮬레이

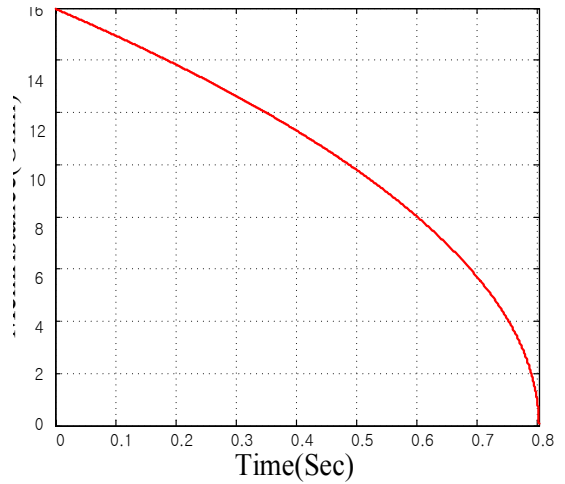


그림 10. TiO_2 멤리스터의 멤리스턴스 변화
 Fig. 10. Variation of memristance of TiO_2 memristor.

터가 2-단자 소자로 정상 동작이 가능한지 여부를 실험을 통해 검증하였다.

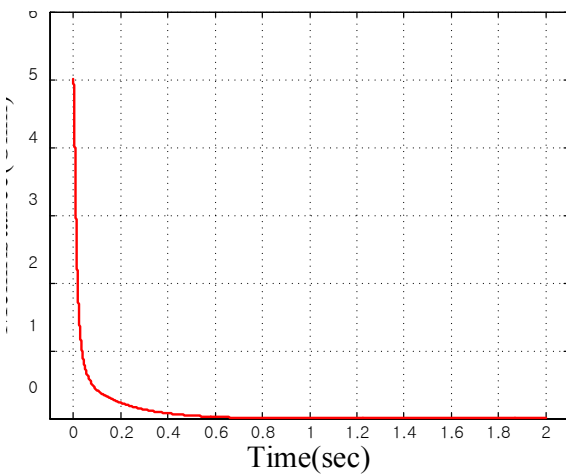
그림 8은 검증에 사용된 테스트 회로이다. 회로는 합성형 멤리스터 에뮬레이터와 저항이 직렬로 연결된 구조를 가지고 있다. 테스트 회로에 2Vp-p의 진폭을 갖는 정현파 전압을 주파수별로 인가하고, 이때 합성형 멤리스터 에뮬레이터 M 과 저항 R 에 분배되는 전압과 이들의 합성전압을 비교하였다. 그림 9는 실험의 결과를 나타낸다. 그림과 같이 어떠한 주파수에서도 합성형 멤리스터 에뮬레이터와 저항에 걸리는 전압의 합은 전체 회로의 전압과 같다는 것이 관찰된다. 이러한 실험을 통해, 테스트회로에 전압분배법칙이 성립하는 것이 확인되고, 합성형 멤리스터 에뮬레이터가 2-단자 소자로 정상 동작한다는 것이 검증된다.

4.3. 멤리스턴스 범위

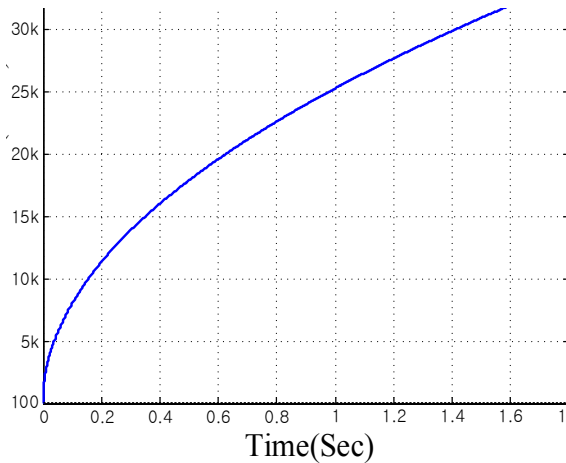
그림 10은 실제 멤리스터 모델인 TiO_2 멤리스터의 멤리스턴스 범위를 나타낸다. 그림과 같이 TiO_2 멤리스터는 최대 저항(R_{OFF}) 16k Ω 에서부터 최소 저항(R_{ON}) 100 Ω 까지 160배의 멤리스턴스 범위를 갖는다. 에뮬레이터는 멤리스터와 비슷한 동작을 수행해야 한다. 따라서 실제 멤리스터와 같거나 실제 멤리스터보다 넓은 멤리스턴스 범위를 가져야 한다.

두 에뮬레이터 회로의 멤리스턴스 범위를 확인하기 위한 실험을 수행하였다. 이때, 멤리스턴스가 R_{OFF} 상태에서 R_{ON} 상태로 충분히 가변될 수 있도록 펄스 형태의 프로그래밍 신호를 0.8s 동안 인가하였다.

그림 11(a)는 M-R 류테이터의 멤리스턴스의 변화를



(a)



(b)

그림 11. 긴 펄스입력을 인가할 경우, 두 에뮬레이터의 멤리스턴스 변화 범위 (a) M-R 뮤테이터의 멤리스턴스 범위 (b) 합성형 멤리스터 에뮬레이터의 멤리스턴스 범위

Fig. 11. Memristance variation ranges of two types of emulators when pulse input is applied for a long time. (a) M-R mutator (b) Synthetic memristor emulator.

나타내는 그림이다. M-R 뮤테이터는 최초 $5M\Omega$ 에서부터 최소 저항 $7.6k\Omega$ 까지 변하고, 약 657배의 멤리스턴스 범위를 갖는다. 그림 11(b)는 합성형 멤리스터 에뮬레이터의 멤리스턴스 변화를 나타내는 그림이다. 그림과 같이 최초 100Ω 에서부터 최대 저항 $33.7k\Omega$ 까지 변하고, 337배의 멤리스턴스 범위를 갖는다.

실험을 통해, 두 에뮬레이터 회로가 실제 모델인 TiO_2 멤리스터 모델보다 넓은 멤리스턴스 범위를 갖는다는 것이 확인된다.

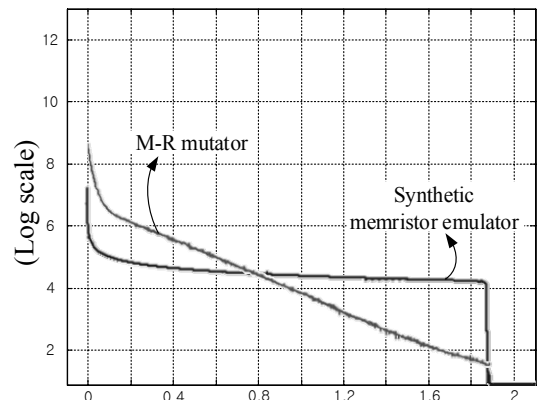


그림 12. 두 멤리스터 에뮬레이터 회로의 멤리스턴스 변화 민감도 비교

Fig. 12. Sensitivity comparison of memristance changes of two types of emulator.

4.4. 멤리스턴스의 민감도

멤리스터에는 두 가지 종류의 입력신호가 인가된다. 한 가지는 멤리스턴스를 변화시키기 위해 인가되는 강력한 펄스형태의 프로그래밍 신호이고, 다른 하나는 멤리스턴스를 읽어 들이기 위한 프로세스 신호이다.

프로그래밍 신호와는 다르게 프로세스 신호의 경우에는 입력에 대한 멤리스턴스의 변화는 기대하지 않는 상황이다. 따라서 프로세스 신호는 최대한 좁은 펄스폭을 사용하고, 같은 펄스폭의 (+)와 (-) 전압이 교차로 인가되는 doublet 형태의 신호^[18]를 사용한다. 이를 통해, 신호에 대한 멤리스턴스 변화를 최소화한다. 하지만 하드웨어로 설계된 프로세스 신호 발생회로에서는 (+)와 (-)의 펄스폭이 완벽히 같을 수 없다. 이러한 비이상적인 프로세스 신호가 민감도가 큰 에뮬레이터 회로에 인가되는 경우, 신호에 의해 멤리스턴스가 다른 값으로 변화되며 그 정도가 크게 된다. 이러한 문제는 실제 응용회로에서 데이터의 오차를 불러일으키기 때문에 매우 치명적인 문제가 된다. 따라서 에뮬레이터 회로는 멤리스턴스의 민감도가 적어야 한다.

그림 12는 M-R 뮤테이터와 합성형 멤리스터 에뮬레이터의 멤리스턴스 민감도를 비교하는 실험 결과이다. 민감도를 계산하기 위해서 그림 11의 결과를 $1\mu s$ 단위로 미분하고, 이를 로그 스케일로 나타냈다. 그림과 같이 M-R 뮤테이터는 가변되는 전 구간에서 멤리스턴스의 변화가 상당히 심하다. 반면에 합성형 멤리스터 에뮬레이터는 멤리스턴스 변화가 적고, 처음 수 십 ms를 제외한 나머지 구간에서 비교적 일정한 변화를 보인다. 실험을 통해, 합성형 멤리스터 에뮬레이터가 M-R 뮤테이터에 비해 멤리스턴스의 민감도가 적다는 것이 확인

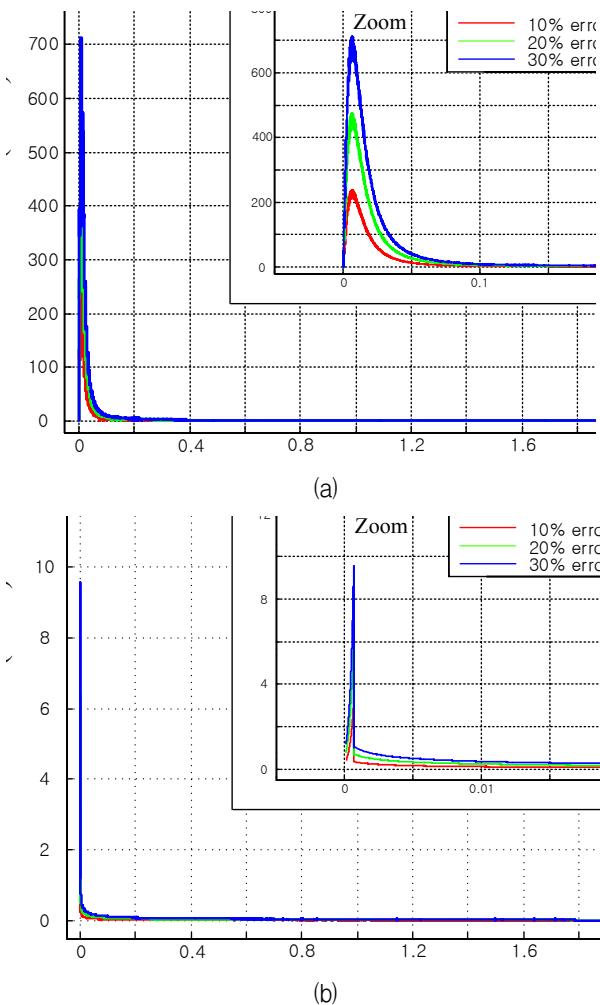


그림 13. 10%, 20% 그리고 30%의 오차를 갖는 신호가 에뮬레이터 회로에 인가될 때, 멤리스턴스의 변화량 (a) M-R 뮤테이터의 경우 (b) 합성형 멤리스터 에뮬레이터의 경우

Fig. 13. Amount of memristance change when process signal have 10%, 20% and 30% error is applied in emulator circuits in cases of (a) M-R mutator (b) synthetic memristor emulator.

된다.

실제 오차를 갖는 프로세스 신호를 인가한 실험도 수행하였다. 그림 13은 10%, 20% 그리고 30%의 오차를 갖는 doublet 형태의 프로세스 신호에 대한 멤리스턴스의 변화량을 나타낸 결과이다.

그림 13(a)는 오차를 갖는 프로세스 신호에 대한 M-R 뮤테이터의 멤리스턴스 변화량을 나타낸다. 그림과 같이 10% 오차의 신호가 인가된 경우에 최대 약 200 Ω의 멤리스턴스가 변하고, 20% 오차의 신호가 인가된 경우에 최대 약 450 Ω의 멤리스턴스가 변하고, 30% 오차의 신호가 인가된 경우에는 최대 약 700 Ω의 멤리스턴스가 변한다. 그림 13(b)는 오차를 갖는 프로세스 신

호에 대한 합성형 멤리스터 에뮬레이터의 멤리스턴스 변화량을 나타낸다. 그림과 같이 M-R 뮤테이터에 비해 적은 멤리스턴스 변화를 확인할 수 있다. 또한, 처음 15ms 이후에는 0.3 Ω 이하의 상당히 낮은 멤리스턴스 오차가 확인된다.

그림 13의 실험 결과와 같이 합성형 멤리스터 에뮬레이터는 M-R 뮤테이터에 비해 오차를 갖는 실제 프로세스 신호에 대해서 멤리스턴스 변화가 적다. 즉, 민감도가 적다. 따라서 입력 신호에 대한 데이터 손상을 최소화할 수 있다.

V. 결 론

본 논문에서는 아날로그 멤리스터 에뮬레이터 회로 중 가장 많이 사용되고 있는 M-R 뮤테이터와 합성형 멤리스터 에뮬레이터를 비교 분석하였다. 멤리스터 에뮬레이터 회로는 실제 멤리스터 모델의 동작 특성을 그대로 모방해서 동작할 수 있어야 한다. 따라서 HP사가 개발한 TiO₂ 멤리스터의 네 가지 동작 특성을 기준으로 M-R 뮤테이터와 합성형 멤리스터 에뮬레이터의 특성을 비교하였다.

실험을 통해서 두 에뮬레이터 회로 모두는 $v-i$ 평면에서 pinched hysteresis loop가 표현되고, 넓은 멤리스턴스 범위를 갖는다는 사실이 검증되었다. 그러나 M-R 뮤테이터는 2-단자 소자로 동작이 불가능하기 때문에 응용회로에 활용될 수 없고, 민감도가 커서 오차를 갖는 실제 프로세스 신호에 의해 멤리스턴스가 크게 변화된다는 사실이 확인되었다. 반면, 합성형 멤리스터 에뮬레이터는 아날로그 에뮬레이터 회로의 중요한 네 가지 특성을 모두 만족하는 회로라는 것이 검증되었다.

본 논문을 통해서 검증된 합성형 멤리스터 에뮬레이터는 기존에 국한되었던 멤리스터 응용분야에 널리 사용될 수 있을 것이다. 이를 통해, 멤리스터 응용 기술의 발전에 크게 기여할 수 있을 것으로 전망된다.

REFERENCES

- [1] L. O. Chua, "Memristor—the missing circuit element," *IEEE Trans. Circuit Theory*
- [2] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," *Nature*, vol. 453, pp. 80-83, 2008.
- [3] Ascoli, A., Corinto, F., Gilli, M, "Mathematical models and circuit implementations of memristive

systems,” 13th International Workshop on Cellular Nanoscale Networks and their Application(CNNA), pp. 1 - 6, Aug. 2012.

[4] Elgabra, H., Farhat, I.A.H., Hosani, A.S.AI., Homouz, D., Mohammad, B., “Mathematical modeling of a memristor device,” 2012 International Conference on Innovations in Information Technology(IIT), pp. 156-161, March. 2012.

[5] Zidan, M.A., Radwan, A.G., Salama, K.N., “On the mathematical modeling of memristors,” 22nd International Conference on Microelectronics (ICM 2010), pp. 284-287, Dec. 2010.

[6] A. Rak and G. Cserey, “Macromodelling of the memristor in SPICE,” IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 29, no. 4, pp. 632-636, Apr. 2010

[7] Z. Biolk, D. Biolk, and V. Biolková, “SPICE model of memristor with nonlinear dopant drift,” Radio Eng., vol. 18, no. 2, pp. 210-214, Jun. 2009.

[8] D. Batas and H. Fiedler, “A memristor SPICE implementation and a new approach for magnetic flux-controlled memristor modeling,” IEEE Trans. Nanotechnol., vol. 10, no. 2, pp. 250-255, Mar. 2011.

[9] S. Benderli and T. A.Wey, “On SPICE macromodelling of TiO₂ memristors,” Electron. Lett., vol. 45, no. 7, pp. 377 - 379, Mar. 2009.

[10] Howard, D., Bull, L., de Lacy Costello, B., Adamatzky, A., Erokhin, V., “A SPICE model of the PEO-PANI memristor,” International Journal of Bifurcation and Chaos., vol. 23, no. 6, pp. 10, Jun. 2013

[11] Abdalla, H., Pickett, M.D., “SPICE modeling of memristors,” 2011 IEEE International Symposium on Circuits and Systems., pp. 1832-1835, May. 2011

[12] Valsa. J., Biolk. D., Biolk. Z., “An analogue model of the memristor,” INT. J. of Num. Model. Electronic Networks Devices and Fields., vol. 24, no. 4, pp. 400-408, 2011

[13] R. Multu and E. Karakulak, “Emulator circuit of TiO₂ memristor with linear dopant drift made using analog multiplier,” in Proc. 2010 National Conf. Elect., Electron. Comput. Eng. (ELECO), pp. 380-384, 2010.

[14] Wang. X. Y., Andrew. L. F., Herbert. H. C. lu., Victor. S., Qi. Wei-Gui, “Implementation of an analogue model of a memristor based on a light-dependent resistor,” Chinese Physics B, vol. 21, no. 10, 108501, 2012.

[15] Biolk, D., J. Bajer, V. Biolkova, Z. Kolka “Mutator for Transforming Nonlinear Resistor

Into Memristor,” 2011 20th European Conference on Circuit Theory and Design (ECCTD), 488-491.

[16] Kim, H., Sah, M. P., Yang, C., Cho, S. & Chua, L. O. [2012c] “Memristor emulator for memristor circuit applications,” IEEE Trans. Circuit Syst.-I 59, 2422-2431.

[17] H. Kim, M. P. Sah, C. Yang, T. Roska, and L. O. Chua, “Memristor bridge synapses,” Proc. IEEE, vol. 100, no. 6, Jun. 2012.

[18] Ho, Y., Huang, G. M. & Li, P., “Dynamical properties and design analysis for nonvolatile memristor memories,” IEEE Trans. Circuits Syst.-I 58, 724-736, 2011.

— 저 자 소 개 —



최 현 철(학생회원)
2014년 전북대학교 전자정보공학부
학사졸업.
2016년 전북대학교 전자정보공학부
석사졸업.
<주관심분야: 아날로그 집적회로,
멤리스터, 로봇비전>



김 형 석(정회원)-교신저자
1980년 한양대학교 전자공학과 학사
졸업.
1982년 전북대학교 전기공학과 석사
졸업.
1992년 University of Missouri,
Columbia 박사졸업.
2015년 현재 전북대학교 전자정보공학부 교수
<주관심분야: 로봇비전, 로봇센서시스템, 아날로그
병렬처리 회로>