

논문 2016-53-5-1

60 GHz 대역 전력 증폭기를 위한 구간별 차등 다항식 모델 기반의 디지털 사전왜곡기 설계

(Design of A Piecewise Polynomial Model Based
Digital Predistortion for 60 GHz Power Amplifier)

김민호*, 이진구*, 김대현*, 김영록**

(Minho Kim, Jingu Lee, Daehyun Kim, and Younglok Kim[©])

요약

최근 들어, 밀리미터파 대역을 활용하는 5세대 이동 통신 시스템에 대한 연구가 활발히 진행되고 있으며, 밀리미터파 대역의 전파 감쇠 특성으로 인하여 전력 증폭기의 비선형성을 완화시키는 방법의 중요성이 증가하고 있다. 본 논문에서는 전력 증폭기의 특성을 선형구간과 비선형구간을 구분하여 구간별 계수를 사용하는 구간별 차등 다항식 모델을 제안하였다. 또한, 제안된 모델과 직접 학습 방식을 이용하여 디지털 사전왜곡기 구현 방안을 제시하였다. 제안된 모델의 성능을 검증하기 위하여 LTE 신호를 인가한 60 GHz 대역 전력증폭기를 위한 제안된 모델과 직접 학습 방식에 기반한 디지털 사전왜곡기를 FPGA로 구현하였고 하드웨어 테스트벤치를 통하여 성능 및 연산 복잡도를 비교 검증하였다. 제안된 모델은 기존 단일 다항식 모델 대비 ACLR 측면에서는 3.3 dB 개선됨을 보였으며 연산 복잡도 측면에서는 7.5 % 감소됨을 보여주었다.

Abstract

Recently, the study on 5G mobile communication systems using the millimeter-wave frequency band have been actively promoted and the importance of compensation of the nonlinearity of power amplifier caused by the characteristics of millimeter-wave frequency propagation attenuation is increasing. In the paper, we propose a piecewise polynomial model based on subdivision coefficient which are characteristics of power amplifier separated linear section and a non-linear section. In addition, the structure of digital predistortion based on the proposed model and direct learning method are proposed to implement a digital predistortion. To verify the proposed model, digital predistortion based on the proposed model and direct learning method for 60 GHz power amplifier using LTE signal implemented in the FPGA. And the hardware test bench measured performance and complexity. The proposed model achieves 3.3 dB gain over the single polynomial model in terms of the ACLR and reduces 7.5 percent in terms of the complexity.

Keywords : Millimeter-Wave, Digital Predistortion, Power Amplifier, Piecewise Polynomial, Nonlinearity

* 학생회원, ** 정회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

© Corresponding Author(E-mail: ylkim@sogang.ac.kr)

※ 본 연구는 미래창조과학부가 지원한 2014년 정보통신·방송(ICT)연구개발사업의 연구결과로 수행되었음.(B0101-14-0171)

※ 본 연구는 미래창조과학부/국가과학기술연구회 융합연구사업의 지원으로 수행되었음.(과제번호: B551179-12-06-00)

Received ; October 2, 2015 Revised ; March 10, 2016

Accepted ; April 28, 2016

I. 서론

무선 통신의 발전과 함께 사용자수 및 전송하고자 하는 사용자당 데이터량이 급격히 증가하고 있다.^[1] 이러한 기술적인 요구 사항에 의해 많은 양의 정보를 한꺼번에 전송할 수 있는 OFDM(Orthogonal Frequency Division Multiplexing)과 같은 다중 반송파(multi carrier)전송 방식이나 QAM(Quadrature Amplitude Modulation)와 같은 다차원의 변조 방식 등이 개발되고 있다.

무선 통신 방식의 발전으로 인해 현재 3GPP의 LTE (Long Term Evolution) 시스템이 상용화가 되었다. 이와 같은 무선 통신 시스템의 특성으로 데이터량 증가에 따른 광대역화와 스펙트럼 효율의 증가 및 OFDM 방식의 이용에 따른 신호의 PAPR(Peak to Average Power Ratio) 값의 증가 등을 들 수 있다. 높은 PAPR을 갖는 신호가 전력 증폭기(Power Amplifier : PA)를 통하여 전송될 때 전력 증폭기가 가지고 있는 비선형적인 특성으로 인해 매우 심각한 신호의 왜곡을 발생하게 된다. 전력 증폭기에 의해 왜곡된 전송 신호는 인접 대역 스펙트럼이 높아져 인접 채널 간섭 성분이 증가하게 된다. 인접 채널 간섭 성분이 증가할수록 비트 오류율(Bit Error Rate)이 증가하게 되고 전송 신호의 오차 백터 크기(Error Vector Magnitude : EVM)의 특성이 악화된다.

최근 밀리미터파 대역을 이용한 5세대 이동 통신 시스템에 대한 연구가 활발히 진행되고 있다. 밀리미터파 대역은 비허가 대역으로써 추가적인 비용 없이 넓은 대역폭을 사용할 수 있다.^[2~4] 하지만 밀리미터파는 고유의 전파 감쇄 특성으로 인해서 통신되는 범위가 좁기 때문에, 이를 극복하기 위해 상대적으로 송신 전력을 높게 송출해야 한다. 그로 인해, 5세대 이동 통신 시스템에서도 전력 증폭기가 필요하고 위에 언급한 내용과 같이 전력 증폭기의 비선형 특성으로 인해 생기는 문제가 야기된다.

전력 증폭기의 비선형 특성으로 인하여 발생하는 문제점을 해결하기 위한 간단한 방법으로는 출력 신호를 선형 영역으로 백오프(back-off)를 통해 비선형성을 완화시킬 수 있으나, 이는 페이드 마진(fade margin)을 감소시키게 되어 전력 증폭기의 전력 효율을 감소하게 되는 단점이 있다.^[5] 이와 같은 단점을 보완하면서 전력 증폭기의 비선형성을 완화시킬 수 있는 방식으로 아날로그 사전왜곡 방식, 전방 궤환(feed-forward) 방식, 후방 궤환(feed-back) 방식, 디지털 사전왜곡 방식이 있다. 그 중 디지털 사전왜곡 방식은 최근 디지털 신호처리 기술 및 소자들의 발전을 바탕으로 경제적이고 효율적인 선형화 방식으로 연구가 활발히 진행되고 있다.^[6~12] 선형화 방식 중 직접학습 구조를 기반으로 하는 사전왜곡 방식은 간접학습 구조와 달리 전력 증폭기 특성을 추출하는 과정이 필요하며 사전 왜곡기에서 전력 증폭기의 역특성을 구해준다. 일반적으로 볼테라 급수 기반의 모델이 모델링으로 활용되고 있다.

다항식 모델은 볼테라 급수 기반의 다른 모델에 비해

복잡성을 줄인 모델로써 전력 증폭기의 비선형 특성 보상에 대해서 우수한 결과를 보여주었다.^[13~15]

디지털 사전 왜곡기는 FPGA(Field Programmable Gate Array) 등의 디지털 칩에 구현을 하기 때문에 디지털 사전 왜곡부의 복잡성에 의해서 실현 가능성 및 경제성이 결정된다. 디지털 사전왜곡 방식의 성능은 비선형 모델에 의존하기 때문에 성능의 향상을 위해서는 모델링의 차수를 높여야 하지만, 이는 연산 복잡성 증가를 초래하게 되므로 그에 따른 하드웨어 복잡도도 증가하게 된다. 이러한 문제점을 해결한 방식이 참고문헌 [16]에서 소개된 구간별 차등 다항식 사전 왜곡 방식으로, 임의의 전력 증폭기의 특성 곡선을 임의의 다수 개의 영역으로 나누고 각 영역별로 최적의 다항식을 근사화하여 사용하는 방식이다. 또한, 이 방식을 이용한 디지털 사전 왜곡 기법은 기존 다항식 모델과 유사한 전력 증폭기의 비선형 특성 보상 결과를 보여주었다. 하지만 임의의 다수 개의 영역을 입력 신호의 통계적 특성으로만 이용해서 구간을 분할하기 때문에 입력 신호의 특성에 대한 전력 증폭기의 모델링 오차 및 사전 왜곡 기법 적용시의 성능에서 한계가 존재하게 된다.

본 논문에서는 구간 영역을 다항식 모델의 출력신호와 측정된 전력 증폭기의 출력신호와의 평균 제곱 에러(Mean Square Error : MSE)를 통해 분할하는 구간별 차등 다항식 모델 및 디지털 사전 왜곡기 구현 방안을 제안한다. 제안한 기법을 성능 검증하기 위하여, 제안된 모델을 이용한 디지털 사전 왜곡기를 구현하고 FMM-5715X 전력 증폭기에 적용하여 2 FA LTE 신호에 대한 기존 모델과의 ACLR(Adjacent Channel Leakage Ratio) 성능 향상 및 연산 복잡도를 비교하였다.

본 논문의 구성은 다음과 같다. 2장에서는 60 GHz 전력 증폭기의 구조 및 비선형 특성을 소개하고 3장에서는 볼테라 기반의 다항식 모델에 관하여 간략히 설명한 후 MSE를 이용한 구간별 차등 다항식 모델을 제안한다. 4장에서는 제안된 구간별 차등 다항식 방식에 기반한 디지털 사전 왜곡기의 구현을 언급한다. 5장에서는 제안된 방식에 기반한 모델의 성능을 2 FA LTE 신호를 이용하여 평가 하였고, 제안된 모델의 복잡도를 기존 다항식 모델과 비교하였다. 마지막으로 6장에서 결론을 맺는다.

II. 60 GHz 전력 증폭기

1. 60 GHz 전력 증폭기 구조

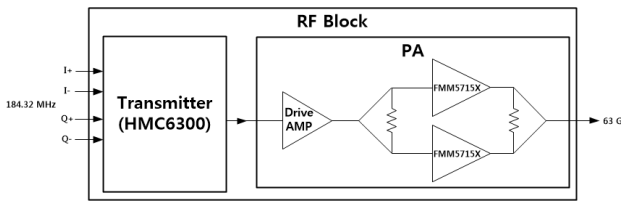


그림 1. 60 GHz 대역 전력 증폭기 구조
Fig. 1. The structure of 60 GHz power amplifier.

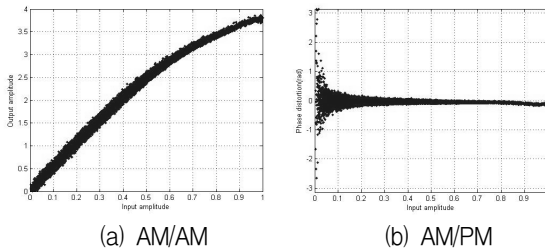


그림 2. 60 GHz 대역 전력 증폭기의 비선형 특성
Fig. 2. Nonlinearity of 60 GHz power amplifier.

본 논문에서 60 GHz 대역에서 사용하고자 하는 전력 증폭기를 포함한 RF 구조는 송신기와 전력 증폭기가 병합된 구조로 그림 1과 같다. 그림 1에서 보듯이 전력 증폭기의 구조는 전력 증폭기의 효율을 높이기 위해 구동 증폭기와 도허티 증폭기의 결합된 형태로 구성 되어 있고 송신기와 전력 증폭기는 모두 60 GHz 대역에 사용되는 제품인 HMC6300, FMM5715X를 사용했다. RF의 입력으로 FPGA에서 184.32 MHz의 샘플링 속도로 출력되는 LTE 20 MHz 신호 데이터인 I/Q를 받게 된다. 송신기는 FPGA에서 출력되는 데이터를 받아서 주파수 변환기를 사용하여 주파수를 올려주고 전력 증폭기를 통과하게 되면 최종적으로 63 GHz의 주파수 대역의 신호가 출력된다.

2. 60 GHz 전력 증폭기의 비선형성

그림 2는 60 GHz 전력 증폭기의 비선형 특성을 나타낸 것으로 입력 신호의 진폭이 증가할수록 출력 이득이 감소하는 AM/AM(Amplitude Modulation to Amplitude Modulation) 특성을 보이며, AM/PM(Amplitude Modulation to Phase Modulation) 특성의 경우 평균 0의 특성을 가지므로 60 GHz 전력 증폭기에서는 진폭에 대한 보상만 필요하다.

그림 2 처럼 60 GHz 전력 증폭기에서도 비선형 특성이 나타나므로 최대 출력을 최대한 이용하기 위해서는 비선형성의 보상이 필요하다. 특히, 본 논문에서 사용하고자 하는 LTE 신호는 OFDM 기술을 기반으로 하는 신호이기 때문에 PAPR 값이 단일 반송파 신호에 비해

크기 때문에 입력 신호의 진폭에 따라 비선형 특성이 발생하는 60 GHz 전력 증폭기의 특성에 더욱 심각하게 영향을 받는다.

III. 구간별 차등 다항식 모델

1. 볼테라 급수 기반의 다항식 모델

볼테라 급수 기반의 다항식 모델은 전력 증폭기의 비선형 특성을 표현하기 위하여 사용하며 모델링 식은 다음과 같이 표현한다.

$$y(n) = \sum_{k=1}^N a_k x(n) |x(n)|^{k-1} \quad (1)$$

식 (1)에서 $x(n)$, $y(n)$ 는 전력 증폭기의 입출력 신호를 나타내고 a_k 는 볼테라 급수 기반의 다항식 모델링의 계수이며 복소 계수이다. N 은 최대 비선형 차수이다. 비선형 모델링의 계수를 유도하기 위해서 M 개의 입출력 데이터가 있다고 가정한다.

$$\begin{aligned} x(n) &= [x_1 \ x_2 \ x_3 \ \dots \ x_M]^T, \\ y(n) &= [y_1 \ y_2 \ y_3 \ \dots \ y_M]^T \end{aligned} \quad (2)$$

식 (2)에서의 입력 신호에 대하여 식 (1)은 다음과 같은 행렬식으로 표현된다.

$$\vec{y} = \mathbf{X} \cdot \vec{a} \quad (3)$$

여기서

$$\mathbf{X} = \begin{bmatrix} x_1 & x_1|x_1| & x_1|x_1|^2 & \dots & x_1|x_1|^{N-1} \\ x_2 & x_2|x_2| & x_2|x_2|^2 & \dots & x_2|x_2|^{N-1} \\ x_3 & x_3|x_3| & x_3|x_3|^2 & \dots & x_3|x_3|^{N-1} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ x_M & x_M|x_M| & x_M|x_M|^2 & \dots & x_M|x_M|^{N-1} \end{bmatrix} \quad (4)$$

식 (3)에서 행렬 \mathbf{X} 는 입력 신호에 의하여 생성되는 것으로 $M \times N$ 크기를 가지는 행렬이다. 식 (3)에서 \vec{a} 는 비메모리 다항식에서의 복소 계수로서 $N \times 1$ 의 크기를 가지는 벡터이며, \vec{y} 는 M 개의 측정된 전력 증폭기의 출력 값을 나타내는 $M \times 1$ 벡터로서 다음과 같이 각각 정의된다.

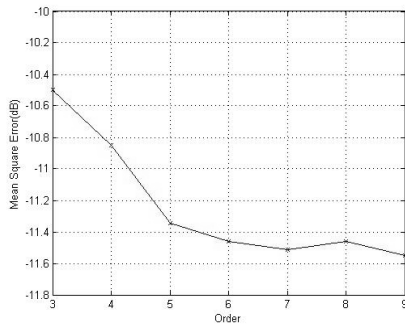


그림 3. 다항식 모델 차수에 따른 MSE 비교
Fig. 3. Comparison of MSE between single polynomial model and piecewise polynomial.

$$\begin{aligned} \vec{\mathbf{a}} &= [a_1 a_2 \cdots a_M]^T \\ \mathbf{y} &= [y(1) y(2) \cdots y(M)]^T \end{aligned} \quad (5)$$

비메모리 다항식의 계수 추정치 값 $\hat{\mathbf{a}}$ 는 최소 자승법 (Least Square)을 적용하여 식 (3)에서 다음과 같이 구한다.

$$\hat{\mathbf{a}} = (\mathbf{X}^H \mathbf{X})^{-1} \mathbf{X}^H \mathbf{y} \quad (6)$$

2. 구간별 차등 다항식 모델

위에서 기술한 볼테라 급수 기반의 다항식 모델은 간단 한 구조로 전력 증폭기의 비선형성을 보상하는 모델 이나, 디지털 사전 왜곡기의 성능을 향상하기 위해서는 다항식 모델의 차수를 높여야 한다. 하지만 다항식 모 델의 차수가 높아지게 될수록 디지털 사전 왜곡기의 연 산 복잡성이 증가하게 되고 그에 따른 하드웨어 복잡도 도 증가한다. 이 경우 전력 증폭기의 특성 곡선을 여러 영역으로 나누어 각 영역에 최적화된 다항식 모델을 적 용하면 단일 다항식 모델과의 성능은 유사한 반면, 연 산 복잡도는 단일 다항식 모델에 비해 감소된다.

그림 2의 60 GHz 전력 증폭기의 AM/AM 특성을 보 면 크게 선형 영역과 비선형 영역으로 구분된다. 각각 의 영역별로 AM/AM 특성이 다르게 나타나기 때문에 각 특성에 맞는 최적의 다항식 모델의 차수를 적용이 가능하다. 선형 영역의 경우, 전력 증폭기의 AM/AM 왜곡 특성이 적게 나타나므로 비교적 낮은 다항 차수의 다항식으로 모델링을 하고 비선형 영역의 경우, 선형 영역에 비해 전력 증폭기의 AM/AM 왜곡 특성이 강하 게 나타나므로 높은 다항 차수의 다항식으로 모델링을 한다. 기존의 구간별 차등 다항식 모델은 선형과 비선 형구간 경계 조건을 입력 신호의 통계적 특성을 이용한다.

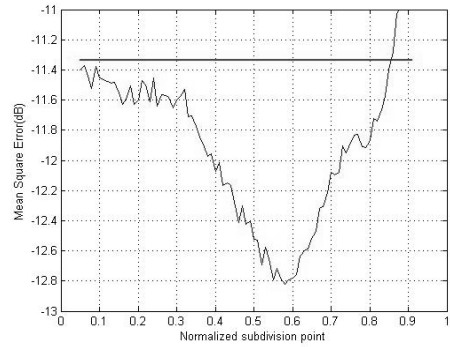


그림 4. 단일 다항식 모델과 구간별 차등 다항식 모델 MSE 비교
Fig. 4. Comparison of MSE between single polynomial model and piecewise polynomial.

이 경우 모델링 정확도 한계가 존재해 사전왜곡기의 성 능 한계가 존재하는 단점이 있다. 본 논문에서는 전력 증폭기의 선형과 비선형구간 경계 조건을 전력 증폭기 의 출력신호와 다항식 모델의 출력신호와의 MSE가 최 소가 되는 구간 차등점을 이용해 기존의 모델링 정확도 한계를 보완하는 구간별 차등 다항식 모델을 제안한다.

최적의 구간 차등점을 설정하기 위해 측정된 전력 증 폭기의 출력신호와 다항식 모델의 출력신호와의 MSE 는 다음과 같은 수식으로 정의한다.

$$\text{MSE} = E[|y(n) - \hat{y}(n)|^2] \quad (7)$$

식 (7)에서 $y(n)$ 은 전력 증폭기의 출력신호이며, $\hat{y}(n)$ 은 구간 차등 다항식 모델의 출력신호이다.

시작 구간 차등점 부터 종료 구간 차등점 (division-point)까지 구간 차등점 크기를 증가 하면서 각 구간 차 등점에 해당하는 MSE를 구한다. 앞서 구한 MSE를 비 교해서 가장 낮은 MSE에 해당하는 구간 차등점이 구 간별 차등 다항식 모델에서의 최적의 구간 차등점이 된 다. 여기서 시작 및 종료 구간 차등점 설정이 중요하게 되는데, 그 이유는 시작 및 종료 구간 차등점의 크기가 너무 작거나 크게 설정할 경우, 구간 차등점 기점으로 나뉜 두 영역 중 한 영역에 해당하는 입력 신호가 적 어서 정확한 구간별 차등 다항식 모델링이 어렵기 때문 이다.

60 GHz 전력 증폭기의 입출력 측정 데이터를 이용하 서 구간별 차등 다항식 모델을 검증하였다. 검증 시, 기 존 단일 다항식 모델에서는 5차의 비선형식을 사용하였 고, 구간별 차등 다항식 모델에서는 선형구간은 3차의 비선형식, 비선형구간은 5차의 비선형식을 사용하였다.

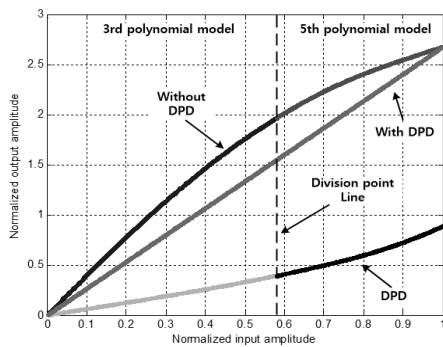


그림 5. 구간별 차등 다항식 모델을 적용한 AM/AM 특성 비교

Fig. 5. Comparison of piecewise polynomial model for AM/AM characteristics.

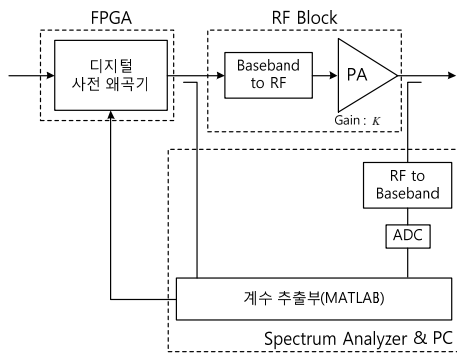


그림 6. Open-loop 방식을 이용한 디지털 사전 왜곡기 구조

Fig. 6. Open-loop digital predistorter structure.

여기서 다항식 모델의 차수를 3차와 5차로 한정하는 이유는 그림 3에서 보듯이, 5차 이후 MSE 감소폭이 작아진다. 본 논문에서는 하드웨어 복잡도를 고려하여 다항식 모델의 차수를 3, 5차로 설정하였다.

그림 4은 기존 단일 다항식 모델과 구간 차등점을 변경하면서 구간별 차등 다항식 모델의 MSE 값을 도시하였다. 그림 4에서 알 수 있듯이 최적의 구간 차등점을 설정하면 모델의 MSE를 최대 -12.8 dB까지 낮출 수 있고, 단일 다항식 모델 대비 약 1.5 dB의 모델의 정확도 향상을 하였다.

그림 5는 구간별 차등 다항식 모델의 AM/AM에 대해 전력 증폭기와 사전왜곡기 그리고 선형화 된 결과를 나타낸 것이다. 구간별 차등 다항식 모델을 적용하기 위해 입력전력이 앞서 구한 구간 차등점에서 선형 구간과 비선형 구간으로 데이터를 구분하였고, 구분한 데이터를 사용하여 구간별 차등 다항식 모델의 AM/AM 특성을 비교하였다. 그림 5에서 보듯이 전력 증폭기의 특성과 사전왜곡기의 특성이 결합하여 직선으로 전력 증

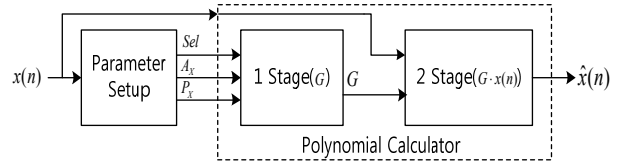


그림 7. 제안된 디지털 사전 왜곡기 전체 블록도
Fig. 7. A block diagram of proposed digital predistortion.

폭기의 비선형성을 보상 하였다.

IV. 구간별 차등 다항식 모델에 기반한 디지털 사전 왜곡기

본 논문의 디지털 사전 왜곡기 구조는 참고문헌^[17]에서 소개된 open-loop 기반의 디지털 사전 왜곡기 구조이다. Feedback 회로가 없기 때문에 그림 6과 같이 스펙트럼 분석기(Spectrum Analyzer)와 PC의 Matlab을 통해 전력 증폭기의 비선형 특성의 역함수를 추출한다. 전력 증폭기의 비선형 특성의 역함수를 추출하기 위해 전력 증폭기의 입력을 FPGA와 연결된 JTAG를 통해 PC로 수집하고 전력 증폭기의 출력은 스펙트럼 분석기를 통해 수집한다. 수집된 입출력 데이터를 Matlab을 통해 전력 증폭기의 비선형 특성의 역함수의 다항식 모델 계수를 추출하고, 추출한 계수는 PC를 통해 디지털 사전 왜곡기에 인가 해주면 디지털 사전 왜곡기에서 전력 증폭기의 비선형 특성의 역함수를 계산 후, 출력해서 전력증폭기의 비선형 특성을 선형화를 한다.

1. 계수추출부

Open-loop 방식을 사용한 전력 증폭기 비선형 특성의 역함수를 유도를 위하여 다음과 같이 변형시킨 전력 증폭기의 출력 데이터가 필요하다.

$$w(n) = \left[\frac{y_1}{g} \quad \frac{y_2}{g} \quad \frac{y_3}{g} \quad \dots \quad \frac{y_M}{g} \right]^T \quad (8)$$

식 (8)에서 g 는 전력 증폭기의 이득을 의미한다. 여기서 전력증폭기의 이득을 고려해 전력 증폭기의비선형 특성을 선형화를 위하여 식 (8)과 같이 변형한다. 변형하지 않은 전력 증폭기의 출력 데이터를 이용해 전력 증폭기 비선형 특성의 역함수를 유도하여 사전 왜곡을 하게 되면 실제 전력 증폭기의 이득을 반영 할 수가 없게 되므로 전력 증폭기의 효율이 감소한다.

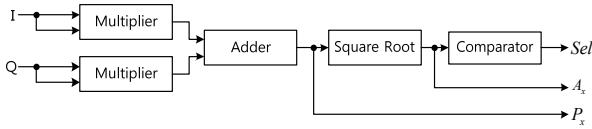


그림 8. 파라미터 셋업부 블록도

Fig. 8. A block diagram of parameter setup

$$x(n) = \begin{cases} \sum_{l=1}^{L_1} b_l w(n) |w(n)|^{l-1}, & |w(n)| \leq \text{division point} \\ \sum_{l=1}^{L_2} c_l w(n) |w(n)|^{l-1}, & |w(n)| > \text{division point} \end{cases} \quad (9)$$

변형시킨 전력 증폭기의 출력 데이터를 이용해서 식 (1)을 전력 증폭기의 입력과 출력을 반대로 구성한다.

식 (9)에서 $w(n)$ 은 앞서 언급한 변형시킨 전력 증폭기의 출력 데이터이고, $x(n)$ 은 전력 증폭기의 입력 데이터이다. b_l 와 c_l 는 구간별 차등 다항식 사전왜곡기 계수이고 L_1 과 L_2 는 선형 구간 차수, 비선형 구간 차수이다. 식 (9)를 통해 전력 증폭기의 비선형 특성의 역함수를 모델링을 하고 식 (6)~(7)를 적용하여 최적화된 구간별 차등 계수 값을 구한다.

2. 제안된 디지털 사전 왜곡기

앞 절에서는 구간별 차등 다항식 모델과 open-loop 방식을 이용하여 구간별 차등 계수 추출 과정을 기술하였다. 본 절에서는 위에서 추출된 구간별 차등 계수를 이용하여 디지털 사전 왜곡기를 FPGA에 구현하기 위한 방안에 대하여 기술한다.

제안하는 디지털 사전 왜곡기 구조는 입력 신호를 받으면 파라미터 셋업부(Parameter Setup)를 통해 입력 신호의 크기(A_x) 및 파워(P_x)를 계산한다. 구간 차등 점이 설정된 비교기를 통해 입력 신호의 크기에 따른 구간을 비교해서 구간 선택값(Sel)을 출력한다.

이 출력 값은 입력 신호가 속한 구간 영역을 표시하는데 사용되며 다항식 계산부(Polynomial calculator)에 전달한다. 다항식 계산부는 2단 구조이고 입력 신호, 입력 신호의 크기, 파워 및 구간 선택값을 입력 받는다. 입력 신호의 구간 영역에 맞게 다항식 계산을 해줌으로써 디지털 사전 왜곡기의 최종적인 출력 값($\hat{x}(n)$)을 출력한다. 그림 7은 앞서 설명한 제안된 디지털 사전 왜곡기 전체 블록도이다.

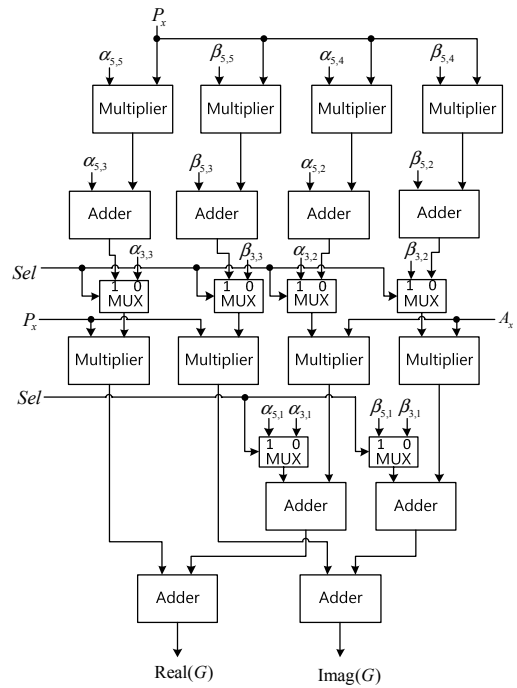


그림 9. 1단 다항식 계산부 블록도

Fig. 9. A block diagram of 1st stage polynomial calculator

가. 파라미터 셋업부(Parameter Setup)

이 블록에서는 다항식 계산부에 필요한 입력 신호의 크기, 파워 및 구간 선택값을 출력한다.

나. 다항식 계산부(Polynomial Calculator)

다항식 계산부는 비메모리 다항식 모델을 계산해주는 블록이다. FPGA 구현 시, 하드웨어 복잡도 감소를 위해 식 (1)을 이용해서 다음과 같이 표현한다.

$$\begin{aligned} \hat{x}(n) &= \sum_{k=1}^N a_k x(n) |x(n)|^{k-1} \\ &= a_1 x(n) + a_2 x(n) |x(n)| + \dots \\ &\quad + a_N x(n) |x(n)|^{N-1} \\ &= (a_1 + a_2 |x(n)| + \dots + a_N |x(n)|^{N-1}) x(n) \\ &= G \cdot x(n) \end{aligned} \quad (10)$$

식 (10)와 같이 다항식 계산부는 G 와 $G \cdot x(n)$ 계산을 수행하는 2단 구조로 분리 된다. 1단 다항식 계산부는 입력 신호의 크기, 파워 및 구간 선택값을 입력 받아 G 계산을 수행한다. G 를 차수에 따라 추가적으로 간략화가 가능하다.

식 (11)은 본 논문에서 적용한 디지털 사전 왜곡기의 최대 차수가 5차 이므로 본 절에서는 5차인 경우의 G

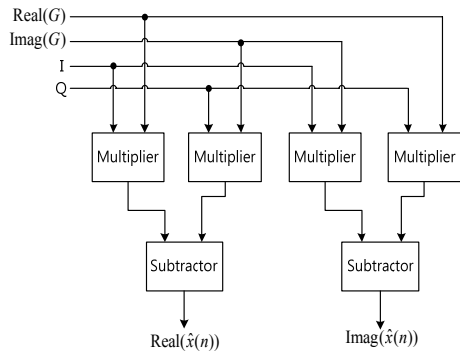


그림 10. 2단 다항식 계산부 블록도
Fig. 10. A block diagram of 2nd stage polynomial calculator.

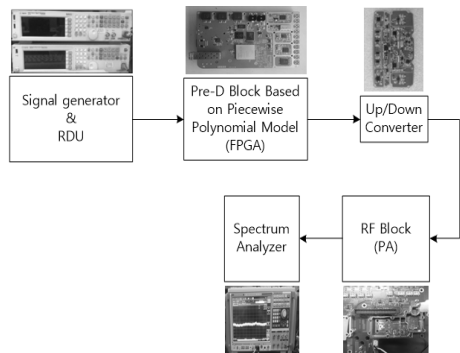


그림 11. 하드웨어 테스트벤치 구조
Fig. 11. The structure of hardware testbench.

$$\begin{aligned}
 G &= a_1 + a_2|x(n)| + a_3|x(n)|^2 + a_4|x(n)|^3 \\
 &\quad + a_5|x(n)|^4 \\
 &= a_1 + (a_2 + a_4|x(n)|^2)|x(n)| \\
 &\quad + (a_3 + a_5|x(n)|^2)|x(n)|^2 \\
 &= a_1 + (a_2 + a_4P_x)A_x + (a_3 + a_5P_x)P_x
 \end{aligned}
 \tag{11}$$

를 간략화를 하였다. 식 (11)의 G 를 하드웨어 설계를 위해 실수부와 허수부로 분할하면 다음과 같다.

$$G = \begin{cases} (\alpha_{3,1} + j\beta_{3,1}) + (\alpha_{3,2} + j\beta_{3,2})A_x \\ \quad + (\alpha_{3,3} + j\beta_{3,3})P_x, & Sel = 0 \\ (\alpha_{5,1} + j\beta_{5,1}) + ((\alpha_{5,2} + j\beta_{5,2}) \\ \quad + (\alpha_{5,4} + j\beta_{5,4})P_x)A_x + ((\alpha_{5,3} + j\beta_{5,3}) \\ \quad + (\alpha_{5,5} + j\beta_{5,5})P_x)P_x, & Sel = 1 \end{cases}
 \tag{12}$$

여기서 α, β 는 구간별 차등 다항식 모델 계수의 실수와 허수를 나타낸다. 그림 9는 식 (12)를 하드웨어 블록도로 표현한 그림이다.

2단 다항식 계산부는 G 를 입력 받아 $G \cdot x(n)$ 를 계산을 수행하고 하드웨어 블록도로 표현하면 그림 10

표 1. 스펙트럼 분석기 셋팅
Table 1. Spectrum analyzer setting.

Parameters	Value
Center Frequency	63.18 GHz
Resolution Bandwidth(RBW)	100 kHz
Video Bandwidth(VBW)	1 MHz
Span	200 MHz
Sweep	50 ms
Attenuation(Att)	0 dB

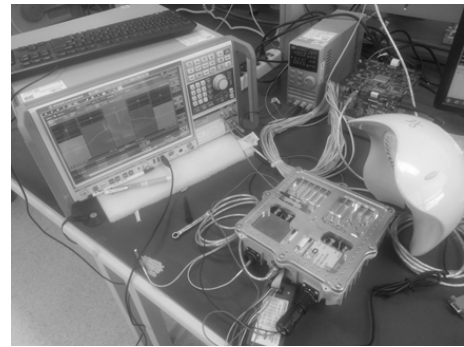


그림 12. 하드웨어 테스트벤치를 이용한 제안된 디지털 사전왜곡기 성능 측정
Fig. 12. The performance measurement of digital predistorter based on the proposed method.

과 같다.

V. 성능 평가

60 GHz 전력 증폭기에 의해서 발생되는 비선형 왜곡을 보상하기 위해 제안된 구간별 차등 다항식 모델 기반의 디지털 사전 왜곡기를 Xilinx사의 Kintex-7 xc7k-410-ffg900 모델에 매핑(Device mapping)하여 FPGA로 구현 하였고 하드웨어 테스트벤치를 통하여 성능 평가 하였다. 제안된 구간별 차등 다항식 모델 기반의 디지털 사전 왜곡기의 ACLR 향상을 확인하기 위하여 그림 11과 같은 측정 환경을 구축하였다.

신호 발생기(Signal generator)에서 대역폭이 20 MHz이고 64 QAM으로 변조된 2FA LTE 하향 신호를 발생시켜서 RDU에 인가한다. RDU는 KMW사에 자체 제작보드로써 성능 검증시 실제 통신과 유사한 환경으로 만들어 주고 LTE 신호를 FPGA의 입력 형식에 맞게 I/Q 신호를 변환한다. 변환된 I/Q 신호가 FPGA에 입력되면 전력 증폭기의 역특성으로 I/Q 신호를 왜곡하고 왜곡된 신호는 DAC(Digital to Analog Converter) 및 상향 주파수 변환기(Up Converter)를 통과 후 전력 증폭기가 포함된 RF 블록(RF Block)에 입력 된다. 전력 증폭기를 통과한 신호는 스펙트럼 분석기(Spectrum

표 2. 연산 소모 클럭수 비교

Table2. The number of clock comparisons between single polynomial model and proposed model.

클럭수	다항식 구조의 사전왜곡기를 사용한 경우	제안된 사전왜곡기를 사용한 경우	감소율 (%)	
연산 전체	1,376,256	1,273,634	7.45	
기 능 별	곱셈 연산	458,752	407,216	11.23
	덧셈 연산	360,448	308,912	14.29
	제곱근 연산	557,056	557,056	-

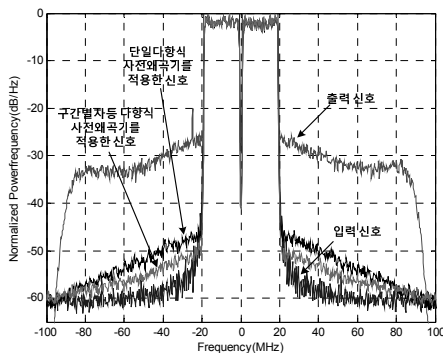


그림 13. 제안한 방식을 이용한 디지털 사전왜곡기 적용 시의 LTE 신호에 대한 출력 스펙트럼 특성(2 FA LTE 신호)

Fig. 13. The output spectrum characteristics for a system with a digital predistortion based on the proposed method for a LTE signal.

Analyzer)를 통하여 ACLR을 측정한다.

그림 12는 앞서 언급한 하드웨어 테스트벤치를 이용해서 제안한 방식을 이용한 디지털 사전 왜곡기의 성능 실험을 보여준다. 표 1은 디지털 사전 왜곡기의 성능 실험을 위하여 스펙트럼 분석기를 이용하여 측정시, 스펙트럼 분석기 셋팅을 나타낸다.

그림 13에서는 60 GHz 대역 전력 증폭기의 출력 신호와 볼테라 급수 기반의 다항식 구조의 사전 왜곡기와 제안된 구간별 차등 다항식 구조의 사전 왜곡기를 적용하였을 경우의 측정된 출력 스펙트럼을 도시하였다. 볼테라의 급수의 기반의 다항식 구조의 경우는 5차를 적용하였고, 구간별 차등 다항식 구조의 경우는 선형구간은 3차, 비선형 구간은 5차를 적용 하였다. 그림 13에서 볼 수 있듯이, 인접 채널 대역에서 ACLR 수치가 증가하였다. 다항식 구조의 사전 왜곡기를 사용한 경우 ACLR이 평균 20.24 dBc의 성능 향상이 되었고, 제안된 구조의 사전 왜곡기를 사용한 경우 ACLR이 평균 23.57

dBc의 성능 향상이 되었다. 제안된 구조의 사전 왜곡기를 사용할 경우 기존 다항식 구조의 사전 왜곡기에 비해 3.3 dB 정도의 추가적인 성능 향상이 발생 되었다. 앞서 언급한 것과 같이 제안된 구조의 사전 왜곡기는 기존 다항식 구조의 사전 왜곡기에 비해 ACLR 성능 차이는 3 dB 만큼 추가적인 성능 향상을 보였으며 연산복잡도 측면에서는 구간에 따라 차수가 달라지기 때문에 제안된 구조의 사전 왜곡기가 기존 다항식 구조의 사전 왜곡기에 비해 복잡도가 줄어든다. 연산복잡도 비교를 위해 동작 주파수는 245.76 MHz로 설정하였고, 입력 데이터는 32,768개로 설정해서 연산 소모 클럭수를 측정하였다. 표 2는 다항식 구조의 사전왜곡기와 제안된 사전왜곡기의 연산 소모 클럭수를 비교 하였다.

연산 소모 클럭수 비교한 결과 다항식 구조의 사전 왜곡기에 비해 제안된 사전 왜곡기에서 총 연산 소모 클럭수는 7.45 %, 곱셈 연산 소모 클럭수는 11.23 %, 덧셈 연산 소모 클럭수는 14.29 % 만큼 소모한 클럭 수가 감소하였다.

VI. 결 론

본 논문에서는 60 GHz 대역의 전력 증폭기의 비선형 특성을 효과적으로 보완하기 위해 구간별 차등 다항식 모델을 제안하였다. 또한 제안한 모델의 구간 차등점을 추출하는 방법 및 제안한 모델을 이용한 디지털 사전 왜곡기의 구현 방안을 제시하였다. 제시한 모델의 검증 을 위하여 디지털 사전 왜곡기를 FPGA로 구현하여 하드웨어 테스트벤치를 통해 성능 평가를 하였다. 제안하는 사전 왜곡기 적용 시 기존 모델 대비 ACLR 측면에서는 성능 향상은 3.3 dB가 향상이 되었고 연산복잡도 측면에서는 총 연산 소모 클럭수가 7.45% 감소 확인을 통해 제안 방식의 우수한 성능을 확인하였다. 추후 연구에서는 광대역 신호에서 전력 증폭기의 비선형 특성을 분석하여 제안된 기법의 사전 왜곡기의 효용성을 검증 을 하고 다른 비선형 모델을 적용 및 검증하여 동일한 성능 향상이 나타내는지 검증할 계획이다.

REFERENCES

[1] S. G Glisic, *Advanced Wireless Communications, 4G Technologies*, Wiley, 2004.
 [2] N. Guo, RC Qiu, S. Mo, and K Takahashi, "60-GHz millimeter-wave radio: Principle, technology, and

- new results.” *EURASIP Journal on Wireless Communications and Networking.*, vol. 2007, no. 1, pp.48–38, Jan. 2007.
- [3] J. Wells, “Faster than fiber: The future of multi-Gb/s wireless”, *IEEE Microwave Mag.*, vol. 10, no. 3, pp. 104–112, May 2009.
- [4] D. Lockie, D. Peck, “High-data-rate millimeter-wave radios”, *IEEE Microwave Mag.*, vol. 10, no. 5, pp. 75–83, Aug. 2009.
- [5] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Northwood, MA: Artech House 1999.
- [6] A. S. Wright and W. G. Durtler, “Experimental performance of an adaptive digital linearized power amplifier,” *IEEE Trans. Veh. Technol.*, vol. 41, no. 4, pp. 395–400, Nov. 1992.
- [7] L. Ding, G. T. Zhou, D. R. Morgan, Z. Ma, J. S. Kenney, J. Kim, and C. R. Giardina, “A robust digital baseband predistorter constructed using memory polynomial”, *IEEE Trans. Commun.*, vol. 52, no. 1 pp. 159–165, Jan. 2004.
- [8] D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt, and J. Pastalan, “A Generalized Memory Polynomial Model for Digital Predistortion of RF Power Amplifiers.” *IEEE Trans. Signal Process.*, vol.54, no. 10, pp. 3852–3860, Oct. 2006.
- [9] C. Quindroit, N. Narahariseti, P. Roblin, S. Gheitanchi, V. Mauer, and M. Fitton, “Concurrent dual-band digital predistortion for power amplifier based on orthogonal polynomials”, *IEEE MTT-S Int. Microw. Symp. Dig.*, 2013.
- [10] M. Ghaderi, S. Kumar, and D. E. Dodds, “Fast adaptive polynomial I and Q predistorter with global optimization”, *IEEE Proc. Commun.*, vol. 143, no. 2, pp. 78–86, Apr. 1996.
- [11] Manjung Seo, Heesung Shim, Sungbin Im, and Seungmo Hong, “A Canonical Piecewise-Linear Model-Based Digital Predistorter for Power Amplifier Linearization”, *Journal of The Institute of Electronics and Information Engineers* Vol.47, No.2, pp. 9–17, Feb. 2010.
- [12] Manjung Seo, Seokhun Jeon, and Sungbin Im, “A SCPWL Model-Based Digital Predistorter for Nonlinear High Power Amplifier Linearization”, *Journal of The Institute of Electronics and Information Engineers* Vol.47, No.10, pp. 8–16, Oct. 2010.
- [13] X. Li, W. Lv, F. Li, “High order inverse polynomial predistortion for memoryless RF power amplifiers”, *5th IET International Conference on Wireless, Mobile and Multimedia Networks (ICWMMN 2013)*, pp. 335–338, Beijing, China, Nov, 2013.
- [14] C. Eun, E. J. Powers, “A new Volterra predistorter based on the indirect learning architecture”, *IEEE Trans. Signal Process.*, vol. 45, no. 1, pp. 223–227, Jan. 1997.
- [15] A. Zhu, J. C. Pedro, and T. J. Brazil, “Dynamic deviation reduction based Volterra behavioral modeling of RF power amplifiers”, *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4323–4332, Dec. 2006.
- [16] Minglu Jin, Sooyoung Kim Shin, and Deockgil Oh, “Piecewise Polynomial Predistorter for Power Amplifier,” *Proceeding of CIC’ 2002, Seoul, Korea*, Nov. 2002.
- [17] A. Zhu, P. J. Draxler, J. J. Yan, T. J. Brazil, D. F. Kimball, and P. M. Asbeck, “Open-loop digital predistorter for RF power amplifiers using dynamic deviation reduction-based Volterra series,” *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 7, pp. 1524 – 1534, Jul. 2008.

저 자 소 개



김민호(학생회원)
 2014년 2월 전북대학교 전자공학과
 학사 졸업
 2014년 3월 서강대학교 전자공학과
 석사과정
 <주관심분야: 무선통신, 무선신호
 처리, DPD>



이진구(학생회원)
 2013년 2월 공주대학교 전과공학과
 학사 졸업
 2015년 2월 서강대학교 전자공학과
 석사 졸업
 2015년 3월 서강대학교 전자공학과
 박사과정
 <주관심분야: 무선통신, 레이더, 신호처리>



김대현(학생회원)
 2014년 2월 서강대학교 전자공학과
 학사 졸업
 2014년 3월 서강대학교 전자공학과
 석박사과정
 <주관심분야: 무선통신, 레이더, 신
 호처리>



김영록(정회원)
 1991년 2월 서강대학교 전자공학과
 학사 졸업
 1993년 2월 New York University
 전기공학과 석사 졸업
 1998년 2월 New York University
 전기공학과 박사 졸업
 1999년~2003년 Inter Digital Comm. Corp., NY,
 USA 연구원
 2003년~현재 서강대학교 전자공학과 교수
 <주관심분야: 무선통신, 레이더, 신호처리>