

고효율 5A용 동기식 DC-DC Buck 컨버터

황인환[†], 이인수^{**}, 김광태^{***}

High Efficiency 5A Synchronous DC-DC Buck Converter

In Hwan Hwang[†], In Soo Lee^{**}, Kwang Tae Kim^{***}

ABSTRACT

This paper presents high efficiency 5A synchronous DC-DC buck converter. The proposed DC-DC buck converter works from 4.5V to 18V input voltage range, and provides up to 5A of continuous output current and output voltage adjustable down to 0.8V. This chip is packaged MCP(multi-chip package) with control chip, top side P-CH switch, and bottom side N-CH switch. This chip is designed in a 25V high voltage CMOS 0.35um technology. It has a maximum power efficiency of up to 94% and internal 3msec soft start and fixed 500KHz PWM(Pulse Width Modulation) operations. It also includes cycle by cycle current limit function, short and thermal shutdown protection circuit at 150°C. This chip size is 2190um*1130um includes scribe lane 10um.

Key words: DC-DC, Buck, Converter, Synchronous, High Efficiency

1. 서 론

전자 기기의 전원 공급 장치인 스위칭 방식의 DC-DC 컨버터는 높은 전력 변환 효율 때문에 가장 많이 사용되는 전원단의 주요 부품이다. 기존의 선형 방식 레귤레이터는 전력의 소모가 많은 단점이 있음에도 불구하고 단순하게 저가의 전원 단을 설계할 수 있다는 장점 때문에 사용되었지만, 낮은 에너지 효율의 단점을 극복하기 위해서 스위칭방법에 기반한 SMPS(Switching Mode Power Supply)방식의 전원장치가 주로 사용된다[1,2]. SMPS의 기본 동작은 출력 Power의 사용 정도에 따른 출력 전압의 변화를 감지하여 이를 펄스의 크기를 조정함에 따라 출력 전압의 레귤레이션을 할 수 있도록 제어하는 시스템이다.

제어하는 방법으로는 전압의 변화를 감지하여 제어하는 전압모드(Voltage Mode)와 전압과 전류의 변화를 동시에 감지하여 제어하는 전류모드(Current Mode)가 있는데 전압모드는 전류모드에 비하여 구조가 간단하여 설계상의 용이한 점은 있으나 전체의 궤환루프가 2 pole 시스템이라 루프의 안정화를 위한 보상이 쉽지 않은 단점이 있고, 전류모드는 전압모드에 비하여 구현하기는 좀 더 복잡하고 출력의 리플(Ripple)도 많고 잡음에 민감한 단점은 있지만 비정상 상태에서의 대응을 빨리 할 수 있으며, 전체의 궤환루프가 1 pole 시스템이라 루프의 안정화를 위한 보상이 쉬운 장점이 있다[3,4].

본 논문은 기본적으로 전류제어 방식을 이용한 Buck 컨버터로 설계하였다. PWM(Pulse Width Modulation) 방식의 DC-DC 컨버터는 출력 부하 전

* Corresponding Author : Kwang Tae Kim, Address: (702-701) 80 Daehakro, Bukgu, Daegu, Korea, TEL : +82-53-950-5529, FAX : +82-53-950-5505, E-mail : ktk@knu.ac.kr

Receipt date : Nov. 23, 2015, Revision date : Jan. 15, 2015
Approval date : Jan. 28, 2015

[†] Savechips (E-mail : steve@savechips.com)

^{**} School of Electronics Engineering, Kyungpook National University
(E-mail : insoolee@knu.ac.kr)

^{***} School of Electronics Engineering, Kyungpook National University(E-mail : ktk@knu.ac.kr)

* This research was supported by Kyungpook National University Research Fund, 2012

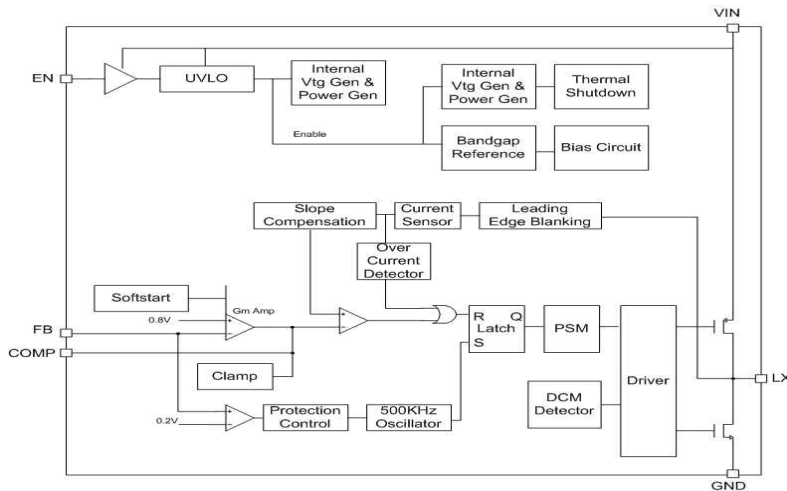


Fig. 1. Block diagram of the proposed high efficiency synchronous DC-DC Buck converter.

류가 클 때는 효율이 좋지만 출력 부하 전류가 작을 때는 효율이 나쁘다. 이는 주로 스위칭시의 환류(Freewheeling) 전류에 의한 열 발생으로 기인하는데, 일반적으로 다이오드를 사용 시 전력 손실은 $Pd=Vd \times I_{\text{리플}} \times \text{평균전류}$ 로 대용량의 경우 수 와트의 열이 발생한다. 환류시의 전력 소모를 줄여 효율을 증가시키기 위해서 낮은 도통 저항을 갖는 Nch MOSFET을 이용한 동기식(Synchronous Type)으로 설계함으로써 효율을 개선하며 특히 부하 전류가 작을 때는, 최소한의 펄스 폭으로도 에너지를 전송하여도 출력 단으로 과도한 에너지가 전달되는데 설정한 출력전압보다 증가하는 경우, 내부 스위칭 동작을 생략[5] 시킴으로써 출력 전압 레귤레이션을 가능하도록 설계했다[6]. 그리고 DCM(Discrete Current Mode) 동작 시에 출력 단이 전원 Source로 작용하여 효율을 나쁘게 하는 현상을 없애기 위해 DCM 진입시의 역전류 방지회로[7]를 사용하여 안정된 동작을 하도록 설계하였다. 본 논문에서는 넓은 입력 범위를 갖는 동기식 스위칭을 하는 SMPS의 주요 설계 접근 방법에 대해 중점적으로 기술 한다.

2. 제안한 고효율 5A용 동기식 DC-DC Buck 컨버터

2.1 전체 회로구성

Fig. 1은 본 논문에서 제안한 고효율 동기식 DC-DC Buck 컨버터의 전체 블록선도이다. 일반적인

DC-DC 컨버트에서 환류 패스에 이용되는 효율을 저해하는 다이오드 대신 낮은 On 저항을 갖는 Nch MOSFET을 이용한 구성을 하였다. 또한 Fig. 2는 제안한 고효율 동기식 DC-DC Buck 컨버터의 응용 회로이다. 제안된 응용회로는 DC-DC 주변 부품을 최대한 집적시킴으로써 가장 간단한 구성으로 제품 경쟁력과 신뢰성을 향상시켰다. 제안한 회로는 제품이 사용되지 않을 때에는 마이콤(Micom) 인터페이스를 이용하여 전체 회로를 Disable 시켜 줄 수 있도록 EN 핀을 두었다. 제안한 컨버터는 출력에서 궤환전압(FB)과 기준 전압 0.8V의 차이를 증폭해주는 오차 증폭기(Gm Amp), 인덕터 전류를 감지하는 CSA(Current Sensor Amp), 500KHz의 클럭을 만들어주는 오실레이터, 감지된 전류와 듀티(Duty) 비가 50%가 넘을 때의 Sub-Harmonic을 제거해주기 위한 Slope Compensation, 설정된 과도 전류에 도달할 시 전류를 제한하기 위한 과전류감지(Over Current

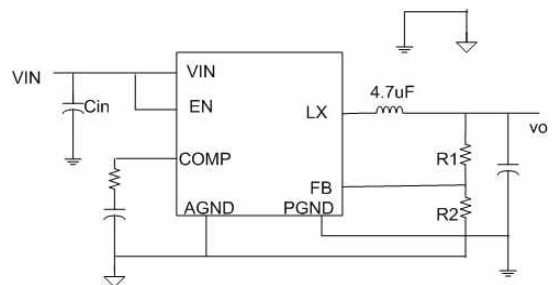


Fig. 2. Proposed application circuit of converter.

Detection) 회로, 초기 In-rush 전류를 방지해주는 Soft start 회로, 효율을 향상시키기 위해 동기 동작을 위한 구동 회로 등으로 구성되어 있다.

또한 비정상적인 조건에서 회로를 보호하기 위한 여러 가지 보호 회로를 내장하고 있으며, 과도하게 IC의 온도가 상승할 때에 이를 보호하기 위한 Thermal shutdown 회로, DCM(Discontinuous Current Mode) 모드에서의 역 전류의 흐름을 방지해 주기 위한 DCM 회로, 내부 회로의 안정된 동작을 위한 내부 전원 발생회로, 일정 전원 전압 이상에서만 동작하고 일정 전압 이하로 전압이 떨어진 때 회로 동작을 중지시키는 UVLO(Under Voltage Lock Out)등을 포함하고 있다. DC-DC 컨버트의 효율은 입력 전력에 대한 출력 전력의 전달 비로 표현이 되는데, 효율이 저하되는 요인으로는 제어 회로의 소모 전력, 스위칭시의 t_{m} 위칭 로스, 환류시의 다이오드 전력 손실 및 응용회로의 전류 패쓰의 열 손실에 기인하는데 회로의 전력 손실은 최소화하는 CMOS 회로들을 이용하면서 외부 부품을 최소화하여 전력 전달 패쓰의 열손실을 최소화 했으며, 가장 큰 손실을 발생시키는 다이오드를 없애는 동기식 방식의 Nch MOSFET을 사용하는 구성을 함으로 고효율 DC-DC를 구현하였다.

2.2 동작원리

EN=0 상태에서는 전체 칩이 Disable Mode로 대기 상태에 있으며, EN 핀의 로직 Logic 전압은 2V, Logic Low 전압은 0.6V로 설계되어 있다. 전원이 인가되고 EN이 Logic High가 되어 전원 전압이 4.1V를 넘게 되면 UVLO 회로가 동작을 개시하면서 내부 Soft Start 회로가 동작을 하며 전원 On 순간의 Inrush 전류가 흐르지 않도록 출력 전압의 Regulation을 부드럽게 해준다.

본 설계 제품은 5A라는 높은 전류를 구동하도록 설계가 되기 때문에 PMOS 스위치의 On 저항을 이용한 전류를 Lx핀에서 센싱 한다. 인덕터에 흐르는 전류는 출력단의 Tank 캐패시터에 충전이 되고 이 출력 전압은 저항을 분류하여 FB 핀으로 입력시켜 오차 증폭기의 기준전압 0.8V에 맞추어 출력 전압을 Regulation 시킨다. 기준전압과 FB 전압의 차는 오차 증폭기에 의해서 증폭이 되어 COMP 핀의 출력으로 나타나는데 FB 전압이 0.8V보다 낮을 때는(즉 출

력 전압이 원하는 Regulation 전압보다 낮을 때) 듀티비를 증가시키기 위해 COMP의 전압이 상승을 하게 되고, 반대로 FB 전압이 0.8V보다 높을 때는 즉 출력 전압이 원하는 Regulation 전압보다 높을 때는 출력 전압을 맞추기 위해 COMP 전압을 낮추게 된다. COMP Pin의 오차 전압은 인덕터 전류와 Slope Compensation 신호의 합으로 만들어진 신호를 PWM Comparator의 입력 신호로 들어오게 되는데, 만약 전류 신호가 오차전압보다 낮을 때는 내부 High side PMOS 트랜지스터를 On 하여 인덕터 전류를 출력으로 충전하게 된다. 전류 신호가 오차전압보다 크게 되면 High side 스위치를 Off 시킨다.

인덕터 전류는 내부 NMOS 스위치를 통해서 Freewheeling 하게 되는데 내부 구동 회로는 이 신호들이 겹쳐지지 않게 Dead time을 갖도록 설계가 되어 있다. 일반적으로 사용하는 환류 쇼트키(Schottky) 다이오드와 비교 할 때 본 설계 제품은 Synchronous Rectification 역할을 한다고 볼 수 있다. 이는 Low side switch에서의 전력 소모를 줄여주는 역할을 수행하여 컨버터의 효율을 최선의 상태로 만들어 주는 역할을 하게 된다. PWM Comparator 뒷단의 R-S Latch에 Set으로 사용 되는 클럭은 내부에서 500KHz를 발진시켜 사용한다.

일반적인 부하조건이 아닌 경 부하(Light Load) 상태가 될 때의 동작은 PSM(Pulse Skip Mode)으로 동작 하게 된다. 경 부하 조건이 되면 작은 시비율에도 출력 전압을 상승시켜 원하는 Regulation 전압 이상으로 만들며 Standby 상태에서도 효율을 높이기 위해서 동작 주파수를 만들지 않고 Skip 하여 출력을 Regulation을 할 수 있도록 설계되어 졌다. 출력 Regulation 전압은 저항 Divider 네트워크를 이용하여 FB 전압을 만들게 되는데 저항 Divider 네트워크의 Tap 전압이 0.8V가 되도록 저항 비를 조절하면 된다.

3. 동기식 Buck 컨버터 구성 회로 블록 설계

3.1 입력버퍼(Input Buffer)

전원 Vin은 4.5V부터 18V까지 입력된다. 입력버퍼는 전체 전원 범위에서도 정상 동작을 하여야 한다. 일반적인 CMOS Inverter를 이용하는 경우 Logic 경계치가 변화하기 때문에 마이컴 등을 이용

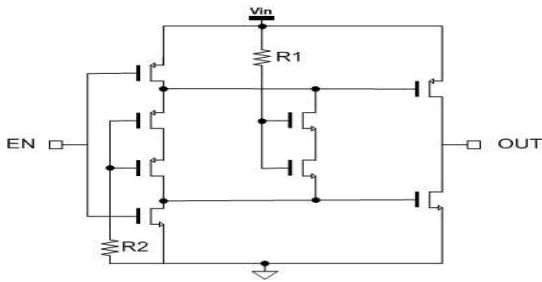


Fig. 3. Input buffer circuit diagram.

하여 이를 동작시키기 위해서는 전원 전압에 변동에 대하여 변화하지 않는 일정한 Logic 경계치를 갖는 구조로 설계되어야 한다. Fig. 3은 입력버퍼 회로도 면으로서 전기적 사양이 Logic High 전압은 2V, Logic Low 전압은 0.6V이기 때문에 잡음여유(Noise margin)가 고려된 1.3V의 트리거 전압을 갖도록 설계되었다.

3.2 UVLO

UVLO(Under Voltage Lock Out)는 EN=High 상태에서 전원 전압이 일정 전압에 도달하기 전까지는 내부회로를 Disable 시키며, 일정 전압 이상 상승하여 정상 동작을 진행하다 일정 전압 이하로 떨어지면 회로를 Disable 시키는 역할을 수행한다.

Fig. 4는 UVLO에 대한 회로도도 EN=0일 때 대기 전력이 흐르지 않도록 설계되어 있으며 UVLO의 동작 전압은 Band gap core와 Trans-conductance Amp의 조합으로 구성 되어 있다.

3.3 Soft Start

Buck 컨버터가 초기에 동작 할 때 출력 전압을

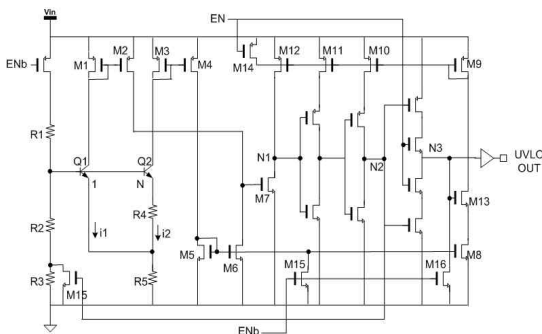


Fig. 4. UVLO circuit diagram.

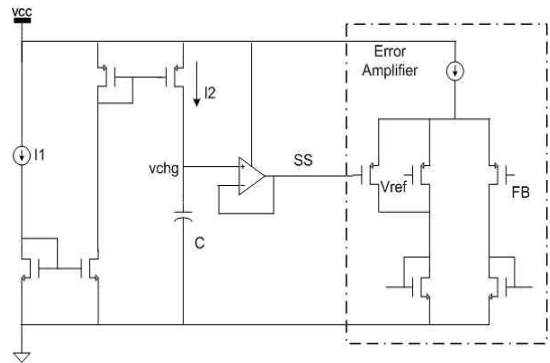


Fig. 5. Soft start circuit diagram.

빨리 상승시키기 위해 최대 전류가 흐르게 되는데, 이는 MOSFET이나 외부 회로가 손상되는 Inrush current 문제가 발생 할 수 있다. 이러한 문제를 해결 하기 위해서 Error Amp의 기준 전압을 완만하게 상승시켜서 초기 PWM 변조 폭을 제한 전류량을 서서히 증가하도록 하여 초기 동작 시 출력 전류의 급격한 상승이 일어나지 않도록 한다. 이를 Soft Start 기능이라고 한다.

Fig. 5는 Soft Start 회로로 설정된 시간에 캐패시터에 충전되는 전압에 의해 Trans-conductance Amp의 Reference 전압을 대신하는 역할을 하도록 설계되어 있다. 이 전압이 Reference 전압 보다 커지게 되면 이 회로는 역할을 하지 않는다.

3.4 Current Sensing[8-10]

Buck 형태 컨버터의 FET에 흐르는 전류를 알기 위해서는 여러 가지 방법이 있다. 가장 많이 사용하는 방법으로는 센스(Sense) 저항을 이용하는 방법과 Sense-FET를 이용하는 방법이 있으나, 이러한 두 가지 방법을 사용하기에는 문제가 있다. 그 이유로는 전류량이 최대 5A 이상이 흘러야 함에 따라 효율문제와 센스 저항이 구현되는 정확도 면에서 센스 저항을 사용할 수가 없으며, 전류량이 많아서 Pch MOSFET을 제어 IC에 같이 내장하는 Sense-FET 형태를 갖는 On-chip FET 역시 사용할 수가 없다. 그리고 외부의 응용 핀 수를 늘린다면 인덕터의 전류를 직접 센싱하는 것도 한 방법이 될 수 있으나 핀 수를 최소화 하기 위해 외부의 Trench MOSFET의 R_{on} 을 직접 이용하는 방법을 사용한다. L_X 의 전압은 흐르는 전류와 R_{on} 의 곱으로 L_X 의 전압이 V_{in} 에 대

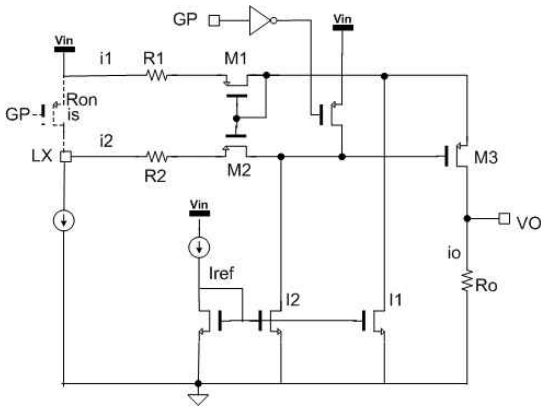


Fig. 6. Enable block circuit diagram.

한 전압 강하로 나타나므로 온도에 따른 R_{on} 의 보상을 해 줄 수만 있다면 이를 이용하는 것도 전류 센싱을 하는 좋은 방법이 될 수가 있다.

본 논문에서는 전류량이 최대 5A 이상이 흘러야 함에 따라 Trench MOSFET의 R_{on} 에 의한 전압 강하를 L_X 에서 감지하여 흐르는 전류를 측정한다. Fig. 6은 전류 센싱 블럭을 도시한 것인데 출력 특성은 다음 식으로 유도될 수 있다.

$$(i_s + i_2)R_{on} + i_2R_2 + V_{gs2} = V_{gs1} + (i_1 + i_o)R_1 \quad (1)$$

만일 $I_1 = I_2, V_{gs1} = V_{gs2}, R_1 = R_2, R_2 \gg R_{on}$ 라면, $i_2(R_{on} + R_2) = i_2R_2$ 이고, $i_oR_1 = i_sR_{on} (= VL_X)$ 이다. 그러므로 출력 전압은 아래와 같이 센싱 됨을 유도 할 수 있다.

$$V_o = i_s R_{on} * \frac{R_o}{R_1} \quad (2)$$

3.5 PSM(Pulse Skip Mode)[5]

Fig. 7은 PSM 회로도로서 출력 전압이 설정한 값보다 상승을 하게 되면 PWM Pulse를 전송하지 않도록 차단 할 수 있도록 한 블럭이다. 일반적으로 OVP(Over Voltage Protection)과 비슷한 기능으로

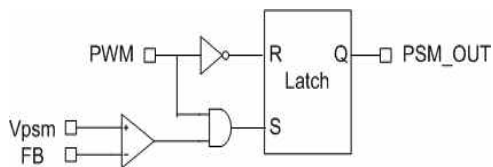


Fig. 7. PSM circuit diagram.

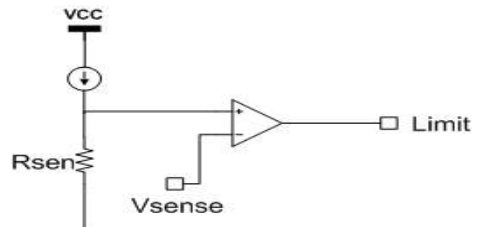


Fig. 8. Current limit circuit diagram.

보면 된다. FB 전압이 0.8V일 때 출력 전압이 설정한 값으로 출력 되도록 제한 저항을 구성 할 때 V_{psm} 은 이보다 5mV를 크게 설정을 하였는데 정상적인 동작을 할 때는 PWM이 PSM_OUT와 동일한 펄스가 출력 된다. 그러나 FB 전압이 설정한 V_{psm} 전압보다 높게 상승을 하게 되면 Latch의 Set 핀은 Low가 되어 PSM_OUT을 출력시킨다.

3.6 Current Limit[11]

Fig. 8은 Current Limit 회로로서 과도한 전류가 흐를 경우 설정한 최대 전류 값 이상으로 흐르지 않도록 제한하는 회로이다.

이 기능은 IC의 보호 기능중 하나인데 MOSFET에 전류가 흐르면, 이 전류와 R_{on} 에 의해 발열을 하게 되는데 패키지의 Power dissipation 이하가 될 수 있도록 최대 전류 값을 설정한다.

3.7 Gate Driver[11, 12]

Fig. 9는 Gate 구동 회로도이며, Synchronous로 동작 시 가장 중요한 점은 Dead time을 확보하는 것인데 본 논문에서는 변화한 출력에 의해서만 동작을 하도록 설계를 하였다.

4. 실험결과 및 고찰

Fig. 10은 전체 설계된 IC의 Layout으로서 CSMC 25V 0.5um BCDMOS 공정으로 Layout 되었으며 Scribe Lane을 포함한 전체 면적은 2190um*1130um이다. Vin 전원은 Pch MOSFET의 소스에서 공급을 받으며, GND는 아날로그(analog)와 Power Ground를 사용하였는데 아날로그 GND는 바로 외부로 Au wire를 이용 PAD로 뽑으며, PGND는 Nch MOSFET의 Source에서 내부에서 Au wire를 이용 연결했다.

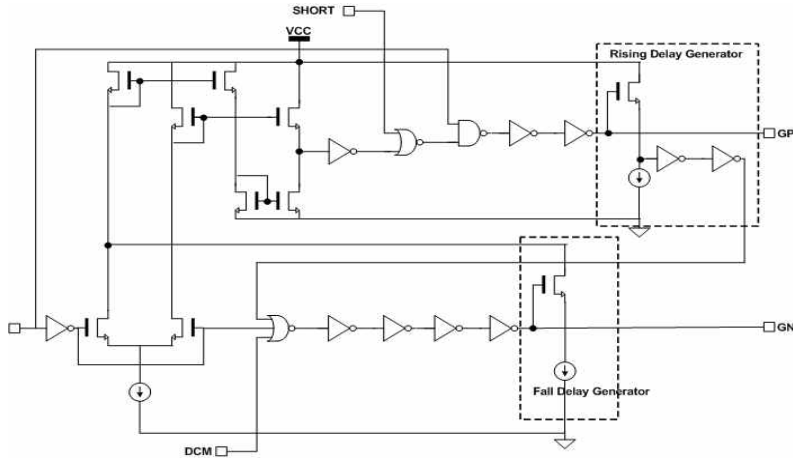


Fig. 9. Gate driver circuit diagram.

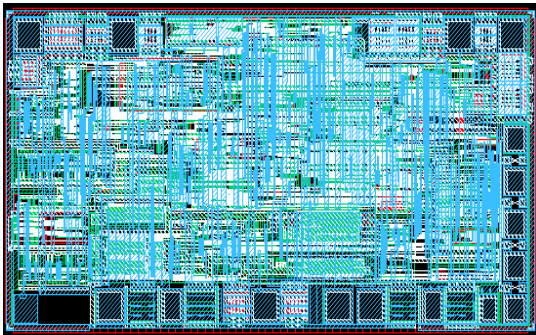


Fig. 10. Overall IC layout

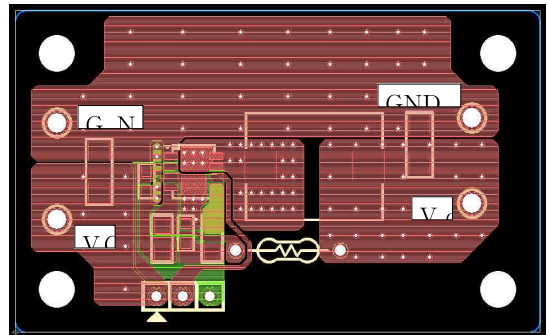


Fig. 11. Test board PCB Layout.

일반적으로 검증을 위해서는 Test PAD를 많이 만들어 외부에서 정확한 신호 입력을 인가하고 측정하는 PAD를 이용 측정을 해야 하지만 본 IC는 상용화를 위해 설계가 된 관계로 전체 동작을 위한 최소한의 PAD와 Test PAD만 존재한다. Voltage reference의 trim을 위해 5개의 EDS(Electrical Die Sorting)용 PAD와 몇 개의 Test를 위한 PAD만 할당하였다. MOSFET을 구동위한 Driver 회로의 VIN, PGND Power Line 두께는 100um 이상의 두께로 Layout 하였으며, Power noise를 줄여주기 위해 IC의 가장 외곽에 Sub-bias용 Power Line을 특별히 Layout 했다.

5A 동기식 Buck 컨버터의 특성을 측정하기 위한 PCB를 제작하였는데, Fig. 11은 Test 보드의 PCB Layout이며, Fig. 12는 제작된 Test 보드 사진이다. Enable/Disable 위해서는 DIP 스위치를 사용 했으



Fig. 12. Test board.

며, R과 C는 1600 시리즈 칩을 사용했으나 출력 전압의 변경을 위한 feeding back resistor는 일반 1/4W 탄소 저항을 사용 변경을 용이하게 했다.

Fig. 13(a)와 (b)는 각각 12V와 18V에서의 5A 출력을 얻은 데이터를 보여주고 있으며 결과로부터 잘

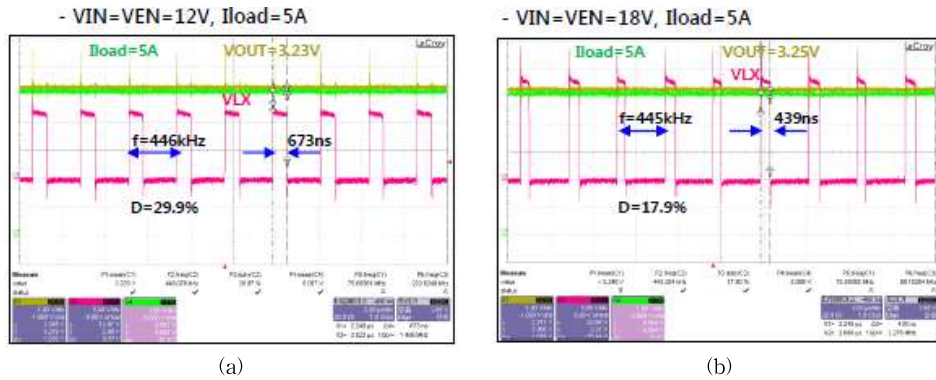


Fig. 13. Output data. (a) Output for EN=VIN=12V, 5A, (b) Output for EN=VIN=18V, 5A.

동작함을 알 수 있다. 다음은 효율을 측정하는데, SMPS가 선형 방식에 대하여 효율이 좋다고 하지만 SMPS의 효율 역시 무한이 좋지만은 않고 효율을 좌우하는 몇 가지 요인이 있으며 아래와 같다.

- Pch MOSFET의 On 저항에 의한 I^2R_{on} 에 의한 손실
- 인덕터의 DC 저항 손실
- Synchronous Pch/Nch Switch의 Gate charge 손실
- 출력 캐패시터의 ESR (Equivalent Serial Resistance) 손실
- PWM 제어 IC의 손실 (주로 Operating current) 등이 있다.

이중에서 가장 큰 손실은 Pch MOSFET의 R_{on} 과 Load 전류에 의한 열 손실이다. 이 손실을 최소화 하기 위해서는 R_{on} 이 낮을수록 듀티비가 클수록, 즉 입력 전압에 대한 출력 전압의 차이가 작을수록 On 저항에 의한 I^2R_{on} 에 의한 손실이 작아진다.

전원에 대한 출력 전압과 Load 전류에 따른 최대 효율을 측정해보면 Vin=5V일 때 Vout=3.3V, Load Current=600mA(CCM 동작의 가장 낮은 전류)일 때 입력 동작 전류는 0.396mA로 측정되었다. 그러므로 효율은 아래와 같이 94.3%로 계산된다.

$$Efficiency = \frac{Output\ Power}{Input\ Power} = \frac{3.3V * 0.6A}{5V * 0.42A} = 94.3\% \quad (3)$$

5. 결 론

본 논문에서는 고효율 동기식 Buck DC-DC 컨버

터를 설계하였다. CSMC 0.5um 25V BCDMOS 공정을 사용하여 설계하였으며, 외부의 인덕터, 캐패시터 및 케환저항을 제외한 모든 회로를 집적화 하였다. 제안한 컨버터는 4.5V에서 18V까지의 넓은 입력 전압 전압 조건에서 무부하 부터 5A까지의 연속적인 출력 구동 전류를 공급할 수 있도록 설계가 되었으며 내부에 보호 회로로서 초기 Inrush 전류가 흐르지 않도록 Soft start 회로를 내장하였고, 150도 이상의 고온 동작을 제한하는 Thermal shut down 기능, 출력 단락회로 보호 기능, cycle-by-cycle 전류제한기능, 출력 전압의 과도한 상승을 막는 Pulse Skip 기능과 인덕터의 전류를 안정화 시켜주는 Slope Compensation 기능 등을 내장 하였다. 고효율을 달성하기 위해서 동기식 동작을 할 수 있도록 내부에 Buck 스위치로 사용되는 Pch MOSFET과 환류 시 에너지 효율을 저감하는 다이오드를 대신하는 Nch MOSFET과 함께 설계된 제어 IC를 8핀 SOP에 MCP(Multi-chip Package)로 제작함에 따라 제품의 신뢰성을 증가 시키도록 하였다. 설계된 제품의 전체 면적은 Scribe Lane을 포함하여 2190um*1130um이다. 제작한 컨버터의 최대 효율은 94%로 측정되어 통상의 90%에 근접하는 일반적인 DC-DC 컨버터에 비하여 높은 효율이 측정되었다.

REFERENCE

[1] H.J. Kim, *Switching Mode Power Supply*, Sungandang Co., Gyunggi, 1993
 [2] J.H. Kim and S.H. Jung, "Design and Implementation of the Script-based EMS for

Flexible Management of Stand-alone Microgrid,” *Journal of Korea Multimedia Society*, Vol. 18, No. 10, pp. 1231-1240, 2015.

[3] R. Mammano, *Switching Power Supply Topology: Voltage Mode vs. Current Mode*, Texas Instrument Inc., Dallas, TX, Unitrode Design Note DN-62, 1994.

[4] B.C. Choi, *Fundamentals of Switching Dc-To-Dc Power Conversions*, Young Publishing Co., Kyungnam, 2007.

[5] R. Srinivasan and V. Ranjan P, “Pulse Skipping Modulated Buck Converter-Modeling and Simulation,” *Circuit and System*, Vol. 1, No. 2, pp. 59-64, 2010

[6] R. Modak and M. S. Baghini, “A Generic Analytical Model of Switching Characteristics for Efficiency-Oriented Design and Optimization of CMOS Integrated Buck Converter,” *IEEE International Conference on Integration Technology*, pp. 1-6, 2009.

[7] C.L. Chen, W.J. Lai, T.H. Liu, and K.H. Chen, “Zero Current Detect Technique for Fast Transient Response in Buck DC-DC Converters,” *Proceeding of IEEE International Symposium on Circuits and Systems*, pp. 2214-2217, 2008.

[8] C.J. Hsu and Y.S. Lee, “Current Mode Control Integrated Circuit with High Accuracy Current Sensing Circuit for Buck Converter,” *Proceeding of IECON(Industrial Electronics Society)*, pp. 1924-1929, 2007.

[9] J.J. Chen, F.C. Yang, and C.C. Chen, “A New Monolithic Fast-Response Buck Converter Using Spike-Reduction Current-Sensing Circuits,” *IEEE Transactions on Industrial Electronics*, Vol. 55, No. 3, pp. 1101-1111, 2008.

[10] B. Yuan and X. Lai, “On-chip CMOS Current-Sensing Circuit for DC-DC Buck Converter,” *Institution of Engineering and Technology*, Vol. 45, No. 2, pp. 102-103, 2009.

[11] R. Severns and J. Armijos, *MOSPOWER Application Handbook*, Siliconix Incorporated,

Santa Clara, CA, 1884.

[12] L. F. Casey, J. O. Tenkorang, and M. F. Schlect, “CMOS Drive and Control Circuit for 1-10MHz Power Conversion,” *IEEE Transaction on Power Electronics*, Vol. 6, No. 4, pp. 749-758, 1991.



황 인 환

1985년 경북대학교 전자공학과 (공학사)
 2014년 경북대학교 산업전자공학과 (공학석사)
 2006년~현재 세이브칩스 대표이사

관심분야: CMOS Analog, Power, 신호처리, 반도체



이 인 수

1986년 경북대학교 전자공학과 (공학사)
 1989년 동대학원 졸업(공학석사)
 1997년 동대학원 졸업(공학박사)
 2005년 8월~2007년 1월 샌디에고 주립대학교 Research scholar

1997년~2008년 2월 상주대학교 전자전기공학부 교수
 2008년 3월~2014년 10월 경북대학교 과학기술대학 산업전자공학과 교수
 2014년 11월~현재 경북대학교 IT대학 전자공학부 교수
 관심분야: 시스템의 고장진단 및 고장허용제어, 지능제어 및 응용, 능형센서시스템, 공장자동화



김 광 태

1985년 경북대학교 전자공학과 졸업 (공학사)
 1987년 경북대학교 전자공학과 졸업 (공학석사)
 1989년 경북대학교 전자공학과 (공학박사)

1989년~1993년 국방과학연구소 연구원
 1994년~2014년 10월 경북대학교 과학기술대학 산업전자공학과 교수
 2014년 11월~현재 경북대학교 IT대학 전자공학부 교수
 관심분야: IT융합, 회로설계, 음성신호처리