

Through Silicon Via 고주파 모델링 기술

안 승 영 · 김 기 범

한국과학기술원

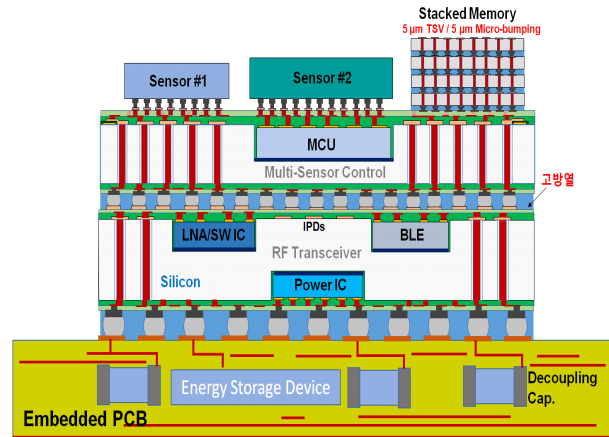
I. 서 론

현재 반도체 기술은 소자간의 간격 축소 및 중형비 상승으로 집적도 및 성능 측면에서 기술적 한계에 부딪히고 있다. 또한 SoC, SiP 등의 기존의 고집적 패키지 기술들의 문제점을 극복하고, 차세대 IC의 집적화를 구현하기 위한 원천 공정 기술들의 개발이 필요한 상황이다. 미세공정의 한계를 극복하기 위해 반도체 후공정 기술이 주목 받고 있으며, [그림 1]과 같이 단순히 반도체 IC간의 연결 기능만이 아닌 동종 및 이종 IC간의 시스템 집적화 방향으로 진행되고 있다.

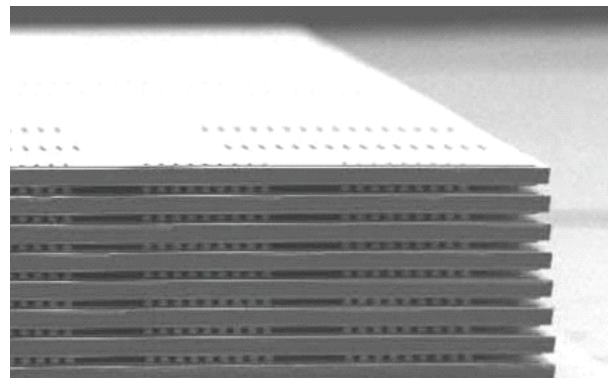
차세대 다기능 고집적 패키지 모듈을 구현하기 위해 다수의 이종 반도체 소자들을 bare die 상태로 집적화하여 TSV (Through Silicon Via)를 이용한 3차원으로 반도체 구조를 변화시키기 위한 기술이 부각되고 있다. [그림 2]와 같이 TSV는 실리콘 웨이퍼의 상하부를 수직으로 연결하여 최단거리의 전송경로로 두 개 이상의 칩을 적층하고 연결하는 기술이다. ‘Rent’의 법칙^[1]에 따르면 시스템의 복잡도가 증가함에 따라 입/출력(I/O) 핀의 개수는 기하급수적으로 증가한다. TSV 기술을 이용하면 I/O 핀의 위치는 제한되지 않아 고속 직접 회로의 구현을 위해 I/O 채널의 대역폭을 늘리는 것이 가능하다. 즉, IC 패키지의 경박 단소화에 유리할 뿐만 아니라, 신호의 처리 속도를 높일 수 있다.

TSV 기반의 3D integration 기술이 LVM(Large Volume Manufacturing) 시장에서 메인 기술로 자리 잡기 위해서는 cost issue와 신뢰성 문제를 해결하는 기술적 접근이 필요한 단계이다. 또한 TSV 기술이 양산 제품에 적용되기 위해서는 아직까지 고려해야 할 부분들이 많이 있다. 특히, Via filling 기술 및 미세 범프를 이용한 인터커넥션 기술 등 차세대 IC 집적화를 구현하기 위한 원천 공정 기술들의 개발이 필요한 상황이며, 이 외에도 설계 및 공정 파라미터에 따른 최적화 기술 및 제조 수율 확보 등을 고려해야 한다.

반도체 패키징 기술의 한계점을 극복하기 위한 TSV 기술



[그림 1] 이종 다수 반도체 소자 통합 패키지(모듈)



[그림 2] TSV를 이용한 패키지 미지

은 몇 년 전부터 우수한 반도체 업체와 연구소를 중심으로 연구가 진행되어 왔다. TSV 기술은 이미 CMOS 이미지 센서 및 CPU 등 소형화를 위해 양산공정에 적용되고 있으며 최근 삼성전자에서 TSV를 이용하여 128기가바이트(GB) DDR4 서버용 D램 모듈을 양산하고 있다. 이와 같이 high end 시장의 적용으로 기술적 우월성 및 실현 가능성이 검증된 상황이며, 다양한 application에 적용하여 대량생산 시장에서 주류기술로 자리매김하는 것이 남은 숙제이다.

II. Via 공정 기술

2-1 Via 형성 기술

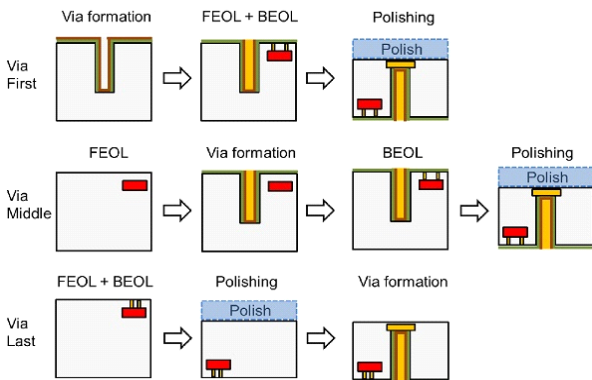
[그림 3]과 같이 TSV 공정 기술은 크게 3가지로, 반도체 CMOS 공정 이전에 Via를 형성하는 Via First, BEOL(Back End of the Line) 공정 이전에 TSV를 형성하는 Via Middle, 마지막으로 Via Last는 FEOL(Front End Of the Line)과 BEOL 형성 후 Via를 형성하는 방식이다. Via First의 경우, CMOS 공정 이전에 진행하기 때문에 다른 방식과 비교하여 메탈 오염 등의 문제로 구현하기가 쉽지 않다.

2-1-1 Via First

셀 스택(Cell Stack)이라고 불리는 Via First는 절연시키는 물질로서 열적 산화물을 사용하기 때문에 비교적 높은 전압을 사용하는 경우에 유리하다^[2]. 따라서 주로 3D 낸드플래시에 적용된다. TSV의 구멍을 채우는 소재는 낮은 저항값을 갖는 것이 중요한 요소로 주로 구리와 텅스텐과 같은 물질을 사용해야 하나, Frist Via 방식은 900 °C 이상의 고온의 프론트엔드 공정과 400 °C 이하 저온의 백엔드 공정을 거치기 때문에 폴리실리콘을 써야 하는 한계가 있다.

2-1-2 Via Middle

Via Middle 방식은 트랜지스터 형성 후 금속 배선 공정 전에 웨이퍼에 구멍을 뚫고 일라인하는 방법이다. 이 방식은 Via First 방식과는 달리 실리콘 자체에만 Via를 형성하



[그림 3] The three main approaches for TSV fabrication: Via First, Via Middle and Via Last^[3]

로 TSV의 깊이를 낮게 가져갈 수 있고, 구멍 지름이 2~3 마이크로미터 가량으로 서버용 메모리, 고속메모리에 사용되고 있다. 삼성전자의 DDR4 D램이 이와 같은 방식을 사용한다. Via Middle은 높은 난이도의 공정인 FEOL 이후에 TSV를 형성하기 때문에 구리나 텅스텐과 같은 금속을 구멍을 채우는 재료로 사용할 수 있다. 또한 TSV 형성 위치가 BEOL 회로에 영향을 주기 않기 때문에 설계가 용이하다는 장점을 가진다.

2-1-3 Via Last

이미 CMOS 이미지 센서에 적용되는 방식으로 웨이퍼 펌 공정을 모두 마친 후 전공정 업체나 후공정 업체들이 웨이퍼를 받아 TSV를 형성한다. TSV를 형성하는데 BEOL 두께 만큼 더 깊이(일반적으로 10마이크로미터 이상)의 홈을 뚫어 바로 기판에 연결하기 때문에 Via 크기가 작고 I/O 핀수가 많은 디바이스에는 불리하다. Vial Middle 방식과 같이 FEOL과 BEOL의 공정을 마친 후 TSV를 형성하므로 구리와 텅스텐과 같은 전도율이 높은 메탈 사용이 가능하며, TSV 위치만 정해 놓으면 되기 때문에 상대적으로 구현이 용이하다.

2-2 Via 충전 기술

Via 홀 충전 기술은 Si 칩 또는 인터포저 내에 형성된 Via 홀에 도전성 재료를 충전하여 전기적 신호 전달을 목적으로 한다. TSV 충전을 위한 소재는 높은 전도율, 낮은 응력, 높은 열적 신뢰성을 확보해야 한다. 일반적으로 구리, 텅스텐, 폴리실리콘, 솔더, 도전성 폴리머 등이 사용되고 있고, 각 재료에 따른 충전법이 나뉘져 있다^[4].

2-2-1 구리 전해도금

반도체 공정에서 보편적인 구리 전해도금법은 비용이 저렴하고, 이미 실리콘 웨이퍼와 PCB(Printed Circuit Board) 패드에 적용되고 있는 만큼 양산이 용이하다는 장점을 가지고 있다. 그러나 박막층 증착이 선행되어야 하고, 균일한 시드층(seed layer) 증착이 필수적인데, 높은 증착비에 의해 시드층 증착이 어렵기 때문에 15시간 내외의 긴 충전시간을 필요로 한다.

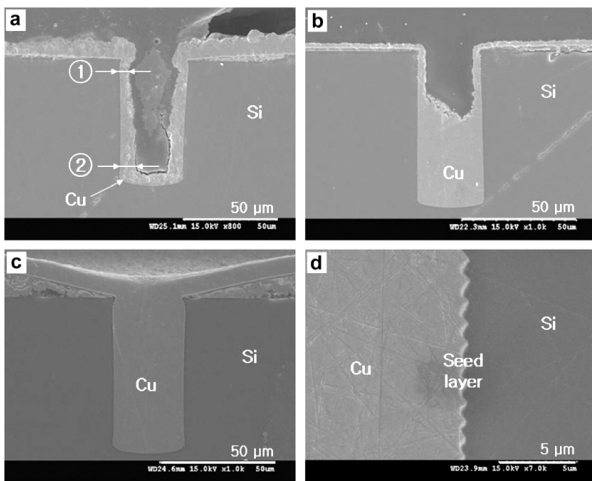
구리 전해도금법은 DC(Direct Current)법과 펄스 전류법으로 나뉜다. DC 전해도금법을 사용하게 되면 미세 패턴 하부

보다 상부에서 전착속도가 빨라지는 현상이 생기며, 이로 인해 전착 초기에 Via 홀의 입구 부분이 막히게 되어 내부 결함이 형성된다⁵⁾. 결함이 없는 완전한 충전을 위해서 Via 입구 모서리에 전류가 집중되는 것을 방지해야 하며, 필수 형태의 전류를 인가해 이러한 문제점을 해결할 수 있다.

펄스 전류법은 펄스-역펄스(PR)법, 주기적 펄스-역펄스(PPR)법, 3-step 주기적 펄스-역펄스(3-step PPR)법으로 나눌 수 있다. PR법은 주기적으로 순방향 전류와 역방향 전류를 인가하여 식각이 반복적으로 일어나게 하며, Via 홀 전 부분에서 일정속도의 도금층을 형성하는 방법이다⁶⁾. PPR 법은 역방향 전류 인가 후 일정시간 동안 전류오프 시간을 반복하는 방법이며, [그림 4]와 같이 3-step PPR은 PPR 방법을 단계적으로 적용하여 공정시간을 짧게 하는 방법이다⁷⁾.

2-2-2 화학기상증착법(Chemical Vapor Deposition; CVD)

CVD 방법은 텅스텐과 폴리 실리콘 소재에 적용된다. CVD 를 이용한 충전방법은 주로 직경이 작고 종횡비가 높은 비아에 적합하며, 시드층 증착이 필요하지 않다. 텅스텐의 경우, 상대적으로 낮은 온도(200 °C)에서 충전이 이루어지며, Cu 에 비해 높은 열적 신뢰성을 가진다. 그러나 CVD 방법은 큰 Via의 충전에 적합하지 않으며, 공정이 복잡하고 공정단가



[그림 4] Cu filling into TSV by 3-step PPR current (current type II); (a) by 1st step, (b) by 2nd step, (c) by 3rd step (total plating time from 1st to 3rd; 80 min), and (d) interface between via wall⁷⁾

를 상승시키는 공정시간이 길다는 단점이 있다.

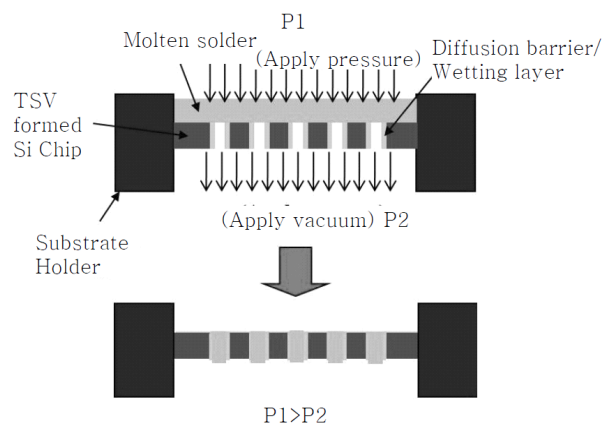
2-2-3 용융 솔더 충전법

용융 솔더 충전 방법은 매우 짧은 시간 안에 결함이 없는 Via를 충전하는 방법으로 공정이 간단하고 높은 생산성과 낮은 공정단가의 장점을 가지고 있다.

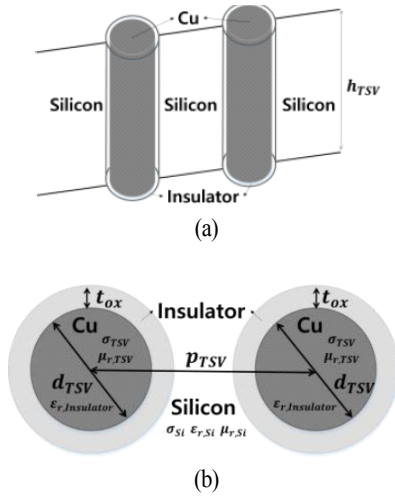
고영기 외⁸⁾는 [그림 5]와 같이 산화방지를 위해 질소가스를 이용하여 진공과 솔더 가압에 의한 웨이퍼 양단의 압력차로 챔버의 압력을 상승시켜 용융 솔더를 비아 내에 충전하는 방법을 실시하였다. 충전 결과, Via의 직경이 20~30 μm, 두께가 200 μm의 비아에 0.02 MPa의 진공압에서 성공적이었으며, 공정시간이 0.5초로 다른 충전법에 비해 극히 짧은 시간 내에 충전되었음을 보여주었다.

III. TSV 전기적 모델링

TSV의 전기적 모델링은 3D 시스템의 설계와 분석에 있어 매우 중요하다. 전기적 모델링은 시스템의 전반적인 전기적 성능을 예측하기 위해 RLGC의 회로 모델로 등가화된다. 이런 등가화 모델을 이용하면 3D 전자기장 시뮬레이션에 비해 아주 짧은 시간 내에 전기적 성능을 평가할 수 있으며, TSV의 성능을 수식화함으로써 재료 및 크기의 변화에 따라 최적의 설계 파라미터를 추출할 수 있다. [그림 6]은 Signal-Ground(SG) 타입의 TSV를 보여주며, <표 1>에 TSV의



[그림 5] Schematic diagram of molten solder via filling by using difference of pressure⁸⁾



[그림 6] (a) signal - ground(SG) type structure. (b) top view of signal and ground TSV^[9]

<표 1> Structure and material properties of TSV^[9]

Structure properties			
Parameter	Symbol	Parameter	Symbol
TSV diameter	d_{TSV}	Insulator thickness	t_{ox}
TSV height	h_{TSV}	TSV to TSV pitch	p_{TSV}
Material properties			
Parameter	Symbol	Value	
Resistivity of silicon substrate	ρ_{Si}	$1.68 \times 10^{-8} [\Omega]$	
Conductivity of Cu TSV	σ_{TSV}	10 [S/m]	
Relative permittivity of silicon substrate	$\epsilon_{r,Si}$	11.9	
Relative permittivity of insulator	$\epsilon_{r,Insulator}$	4	
Relative permeability of silicon substrate	$\mu_{r,Si}$	1	
Relative permeability of Cu TSV	$\mu_{r,TSV}$	1	

파라미터 값을 보여준다.

3-1 MOS Capacitor

TSV는 원통형 Metal-Oxide-Silicon(MOS) 구조로 이루어져 있으며, TSV 충전 물질인 고전도성 물질을 SiO₂가 둘러싸고 있고, 실리콘은 n타입 또는 p타입으로 도핑되어 있으며, 바

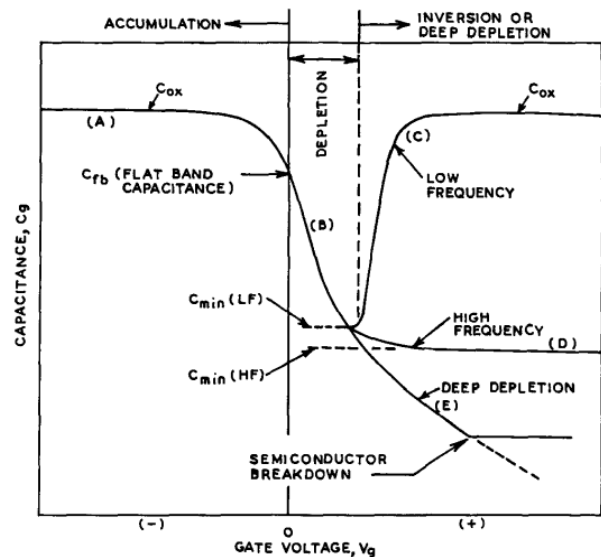
이어스가 인가되어 있다. 전형적인 MOS 커패시터 구조로 양전하와 음전하의 대전에 의해 산화물과 실리콘 사이에는 정공의 축적층이 발생한다. [그림 7]은 p타입 평행판 MOS 구조의 커패시턴스 값을 보여주며, TSV 구조의 C-V 그래프 또한 유사한 경향을 보여준다.

[그림 7]에서 보면, MOS 커패시터는 다음과 같은 3가지의 상태로 구분할 수 있다.

1. Deep depletion
2. High frequency
3. Low frequency

Deep depletion은 게이트 전압의 DC 성분이 아주 빠르게 변화할 때 소수캐리어의 발생이 게이트 전압을 따라 가지 못할 때 발생하며, 그 어떤 반전 영역이 형성될 수 없다. 즉, 공핍영역 폭의 증가가 게이트 전압의 증가에 상응하여 deep depletion 모드를 형성하게 된다. 일반적으로 Signal Distribution Network(SDN)에서의 TSV는 deep depletion 모드를 따르게 된다.

High frequency 모드에서는 소수 캐리어가 게이트 전압의 고주파 소신호(1 MHz 이상) AC 성분을 따라 가지 못하면서 발생하는 현상이며, 디지털 시스템에서 고주파 노이즈를 가지는 DC 전원의 Power Distribution Network(PDN)에 사용되



[그림 7] Typical capacitance vs. gate voltage plot for planar MOS capacitors^[10]

는 TSV에 이 모드가 발생하게 된다.

Low frequency 모드는 소수캐리어의 발생 비율이 게이트 전압에 상응하며, 반전영역의 폭은 게이트 전압에 따라 변하게 된다. 일반적으로 이상적인(고주파 노이즈가 없음) PDN에서 사용되는 TSV에 발생하게 된다.

TSV의 전압은 다음과 같은 방정식으로 표현될 수 있다.

$$V_{TSV} = V_{FB} + \frac{Q_{TSV}}{C_{ox}} + \phi_S \quad (1)$$

여기에서,

Q_{TSV} is equal to the charge in the depletion region(C)

C_{ox} is the SiO_2 liner capacitance(F)

V_{FB} is the flat band voltage(V)

ϕ_S is the surface potential at the Si-SiO₂ interface(V)

V_{FB} 는 밴드 평단화 전압으로 반도체 내에 존재하는 밴드의 구부러짐을 상쇄시키기 위해 인가하는 게이트 전압으로 V_{FB} 가 인가되었을 때 공핍영역의 총 전하량은 0이 되며, 다음과 같이 표현된다.

$$V_{FB} = \phi_M - \phi_S = \phi_M - X - \frac{E_g}{2q} - \phi_F \quad (2)$$

$$\phi_F = \phi_t \ln \frac{N_a}{n_i} \quad (3)$$

여기에서,

X is the electron affinity of Si(4.05 V)

E_g is the bandgap energy of Si(1.12 eV at room temperature)

q is the electronic charge($1.6022 \times 10^{-19} C$)

$\phi_t = 0.026$ V(at 300 K)

N_a is the doping concentration of the acceptor ions (per m³)

n_i is the intrinsic carrier concentration of Si($1.18 \times 10^{10} \text{ cm}^{-3}$ at 300 K)

[그림 7]과 같이 V_T 는 공간 전하 영역의 너비가 문턱 지

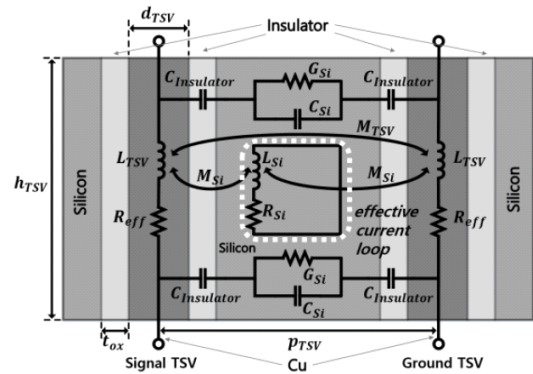
점에서 최대가 되는 지점에 발생되며, 이 때의 $\phi_S = 2\phi_F$ 에서 최대 공핍영역의 폭을 계산할 수 있다.

결론적으로 TSV와 Si(C_{dep})사이의 커패시터는 다음과 같이 표현된다.

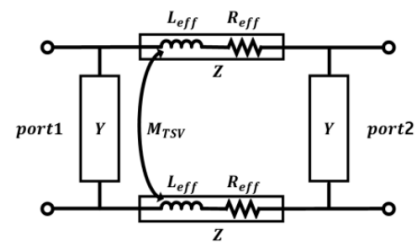
$$C_T = \left(\frac{1}{C_{Insulator}} + \frac{1}{C_{dep}} \right)^{-1} \quad (4)$$

3-2 RLGC 모델

[그림 8]은 제안된 등가회로 모델(a)과 임피던스 Z 와 어드미턴스 Y , 양쪽 TSV와의 상호 인덕턴스인 M_{TSV} 로 표현된 간략화된 회로(b)를 보여준다. [그림 9]과 같이 구리 TSV의 전류의 흐름에 의해서 발생하는 자기장은 도전율이 전재하는 실리콘을 관통하게 된다. 이로 인해 실리콘 내부에 와전류가 발생하게 되며, 전류의 흐름의 실리콘 내부에 존재하는 저

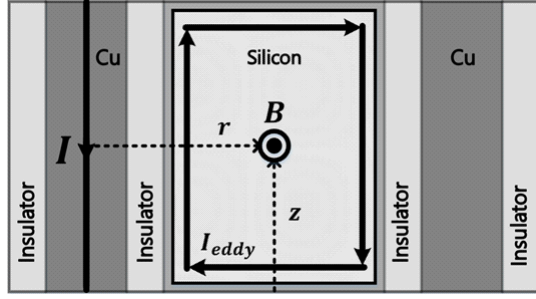


(a) The proposed model considering effective substrate current loop in silicon substrate



(b) The simplified equivalent circuit model

[그림 8] The proposed equivalent circuit model^[9]



[그림 9] The current loop is induced by magnetic field generated by the current flow of Cu TSV^[9]

항성분 R_{Si} 와 인덕턴스 성분 L_{Si} 로 구성된 등가회로로 구성할 수 있다. R_{Si} 는 $\tan \delta_{Si}$ ($\delta_{Si} = 1/\sqrt{\pi f \mu \sigma}$)가 1보다 매우 작기 때문에 무시될 수 있으며, L_{Si} 는 $L \cdot C = \mu \epsilon$ 의 관계에 의해서 구할 수 있다.

실리콘 내부 인덕턴스 L_{Si} 와 TSV의 인덕턴스 L_{TSV} 사이의 상호인덕턴스 M_{Si} 관계에 의해서 실효 인덕턴스 L_{eff} 는 다음과 같이 표현될 수 있다.

$$L_{eff} = L_{TSV} - M_{Si}^2 / L_{Si} \quad (5)$$

앞서 설명한 바와 같이 Z , Y , M_{TSV} 는 식 (6)~(8) 같이 표현되며 여기서 R_{eff} 는 effective annulus solution^[11]에 의해서 계산되어질 수 있다.

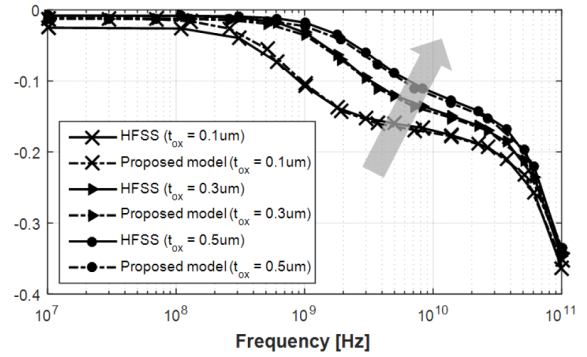
$$Z = R_{eff} + j\omega L_{eff} \quad (6)$$

$$Y = [(j\omega C_{Insulator})^{-1} + (G_{Si} + j\omega C_{Si})^{-1}]^{-1} \quad (7)$$

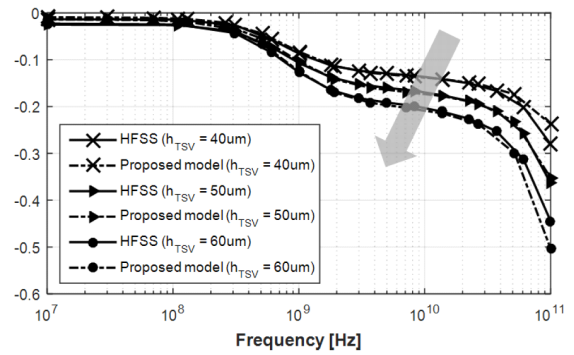
$$M_{TSV} = \frac{\mu_0 \mu_r TSV}{2\pi} \cdot h_{TSV} \cdot \left[\sinh^{-1} \frac{h_{TSV}}{p_{TSV} + d_{TSV}/2} - \sqrt{1 + \left(\frac{p_{TSV} + d_{TSV}/2}{h_{TSV}} \right)^2} + \frac{p_{TSV} + d_{TSV}/2}{h_{TSV}} \right] \quad (8)$$

[그림 8]의 등가 회로 모델을 검증하기 위해 3D 해석 소프트웨어인 Ansys HFSS의 결과와 비교를 하였으며, 앞 절에서 설명한 C_{dep} 는 바이어스가 인가되지 않았다는 조건하에 고

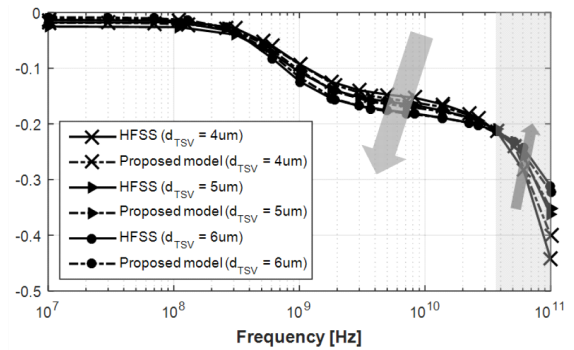
려하지 않았다. \pm TSV의 파라미터인 인슐레이터의 두께 (t_{ox}), TSV의 높이(h_{TSV}) 그리고 TSV 직경(d_{TSV})을 각각 증가하면서 검증해본 결과, [그림 10]과 같이 100 GHz까지 매우 잘 일치함을 볼 수 있다. [그림 3] (a)와 같이 t_{ox} 가 증가함에 따라 전 주파수 영역에 걸쳐 S_{21} 의 크기가 증가하며, 이러한 결과는 $C_{Insulator}$ 가 증가함에 따라 전체 임피던스가 감



(a) TSV insulator thickness variation



(b) TSV height variation



(c) TSV diameter variation

[그림 10] S_{21} magnitude from the proposed equivalent circuit model^[9]

소하기 때문에 나오는 결과이다. 그러나 [그림 3(b), (c)]에서 보면, h_{TSV} 와 d_{TSV} 가 증가함에 따라 S_{21} 값은 감소하게 된다. 전체 인덕턴스의 관점에서 보면 h_{TSV} 가 40 μm 에서 60 μm 로 변할 때, 인덕턴스의 값은 증가하게 되며, 상대적으로 S_{21} 의 크기는 감소하게 된다. 특히, d_{TSV} 변화의 경우에 40 GHz까지 S_{21} 이 감소하게 되며, 40 GHz 이후에 S_{21} 은 증가하게 된다. 이는 40 GHz에서 d_{TSV} 와 주파수가 증가함에 따라 증가되는 M_{S}^2/L_S 때문에 결과적으로 전체 임피던스가 감소하게 된다.

IV. TSV 기술 국내외 연구 동향

4-1 IMEC, SyChip

IMEC, SyChip 등은 Si-interposer와 IPD 기술을 결합하여 RF Application을 위한 2.5D integration 기술 개발에 집중하고 있으며, Fraunhofer와 Ipdia의 경우 \pm Si-interposer+IPD+TSV 결합을 통한 3D집적화에 집중하고 있다.

4-2 Xilinx, Altera

미국 Xilinx, Altera 등의 몇몇 기업들이 2.5D silicon interposer 시스템 IC 제품 개발 결과를 홍보하고 있다. 특히 Xilinx의 경우, FPGA IC와 transceiver IC를 하나의 Si-interposer에 결합하여 가격 경쟁력(수율 향상)을 갖는 세계 최초의 이중소자 집적형 제품을 개발하였다.

4-3 Global Foundries

미국 Global Foundries사에서는 memory, processor 등을 Si interposer에 결합한 high power application용 memory bandwith solution을 개발하였다.

4-4 Samsung, Sk-Hynix

삼성의 TSV를 이용한 4층 DRAM stack('09년) 그리고 8배 향상된 메모리 대역폭 및 소비전력이 반으로 낮아지는 장점을 갖는 wide IO Memory('12년)의 문헌적 발표 외에 실제 제품에 적용에 상당한 시간이 걸렸다. 그러나 '14년 말 삼성의 High End용 서버 4단 적층 DDR4 메모리 양산을 시작으로 Sk-Hynix의 HBM(High Bandwidth Memory)의 시장 진입 등으로

'15년을 기점으로 High End Memory 시장이 성공적으로 열리고 있다.

4-5 IBM

IBM의 경우, Semtech의 ADC/DSP platform을 TSV 3D integration을 통하여 구현하였으며, 이를 통하여 CMOS와 SiGe의 이중 소자 집적화로 기술의 확장을 계획 중에 있다.

4-6 ITRI

대만 ITRI의 경우, 2.5D 인터포저와 TSV 3D 기술을 결합하여 300 mm 대구경 기반의 통합 패키지 및 모듈 구현 기술에 집중하고 있다.

V. 요 약

저전력화, 고성능화, 경박단소화로 발전해 나가는 전자산업의 트렌드에 부합하는 기술로 TSV는 진보된 3D IC에서 널리 사용되어질 가장 잠재력이 큰 기술이다. 미세공정의 한계에 근접하고 있는 만큼 그동안 전 세계 유수의 반도체 업체들과 연구소들이 TSV의 공정기술 및 전기적 성능을 향상시키기 위한 많은 노력을 기울이고 있다. 이러한 노력은 차원 Scaling의 한계 극복한 차세대 전자패키지 및 모듈 기술 분야의 원천 기술을 확보함으로써 관련 산업 분야의 기술 선도가 가능하고 초소형/고성능 시스템 및 부품 개발로 관련 지적 재산 획득이 가능하며, 국제적 전자산업 경쟁 우위를 유지하고, 새로운 시장 창출 및 시장 선점하기 위한 것이다.

본 글에서 기본적인 TSV 형성을 위한 공정기술에 대해 소개하였고, TSV를 등가회로로 표현하고, 전기적 성능을 빠르게 예측하기 위한 내용을 언급하였다. 또한 TSV 기술의 국내외 연구동향을 소개하면서 향후 반도체 시장에서 TSV 기술이 시장의 주도권을 쥐다고 할 수 있을 만큼, 앞으로도 3D 패키징에 대한 연구개발이 지속적일 것으로 기대한다.

참 고 문 헌

- [1] E. F. Rent, "Microminiature Packaging Logic Block to Pin Ratio Memoranda", Nov. 1960.
- [2] C. Laviron, B. Dunne, V. Lapras, P. Galbiati, D. Henry, and

F. Toia et al., "Via first approach optimisation for through silicon via applications", *Proc. 59th Electronic Components and Technology Conf.*, pp 14-19, May, 2009.

[3] S. C. Johnson, "Via first, middle, last, or after?", *3D Packaging* 13, pp 2-5, Dec. 2009.

[4] 고영기, 고용호, 방정환, 이창우, "3D 웨이퍼 전자접합을 위한 관통 비아홀의 충전 기술 동향", *대한용접·접합학회지*, 32(3), pp. 19-26, 2014년 6월.

[5] Y. Zhua, S. Ma, X. Suna, J. Chena, M. Miao, and Y. Jina, "Numerical modeling and experimental verification of through silicon via (TSV) filling in presence of additives", *Microelectronic Engineering*, pp 8-12, 2014.

[6] N. Lin, J. Miao, and P. Dixit, "Void formation over limiting current density and impurity analysis of TSV fabricated by constant-current pulse-reverse modulation", *Microelectronics Reliability*, pp 1943-1953, 2013.

[7] S. C. Hong, W. G. Lee, W. J. Kim, J. H. Kim, and J. P. Jung, "Reduction of defects in TSV filled with Cu by high-speed 3-step PPR for 3D Si chip stacking", *Microelectronics Reli-*

ability, pp 2228-2235, 2011.

[8] 고영기, 한민규, 유세훈, 이창우, "용융 솔더를 이용한 초고속, 저단가 TSV 충전", *대한용접·접합학회지*, 29(3), pp. 14-18, 2011년 6월.

[9] K. Kim, K. Hwang, and S. Ahn, "Wideband equivalent circuit model for a through silicon via with effective substrate current loop", *IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS 2015) Conf.*, pp 12-14, Dec. 2015.

[10] T. Bandyopadhyay, R. Chatterjee, D. Chung, M. Swaminathan, and R. Tummala, "Electrical modeling of through silicon and package vias", *Proc. IEEE Int. Conf. 3D Syst. Integr.*, pp 1-8, 2009.

[11] M. M. Al-Asadi, A. P. Duffy, A. J. Willis, K. Hodge, M. M. Al-Asadi, A., and T. M. Benson, "A simple formula for calculating the frequency-dependent resistance of a round wire", *Microwave and Optical Technology Letters*, 19(2), pp. 84-87, 1998.

≡ 필자소개 ≡

안 승 영



1998년 2월: 한국과학기술원 전기및전자공학과 (공학사)
 2000년 2월: 한국과학기술원 전기및전자공학과 (공학석사)
 2005년 8월: 한국과학기술원 전기및전자공학과 (공학박사)
 2001년 4월~2002년 3월: Singapore Institute of

Manufacturing Technology, Visiting Associate Research Fellow
 2005년 5월~2009년 8월: 삼성전자 컴퓨터사업부 책임연구원
 2009년 9월~20011년 9월: 한국과학기술원 전기및전자공학과 연구부 교수
 2011년 10월~현재: 한국과학기술원 조천식 녹색교통대학원 부교수
 [주 관심 분야] Wireless Power Transfer System for Electric Vehicle, High-Speed Digital System Design, Package and Multi-Layer PCB Design, Electromagnetic Interference

김 기 범



2005년 2월: KoreaTech 전자공학과 (공학사)
 2011년 8월: 한국과학기술원 전기및전자공학과 (공학석사)
 2015년 2월~현재: 한국과학기술원 조천식 녹색교통대학원 박사과정
 [주 관심 분야] High-Speed Digital System Design, Package and Multi-Layer PCB Design, Numerical Analysis

cal Analysis