

IoT / Wearable 향 SiP 패키징 기술	박 상 혁 · 김 소 영
	성균관대학교 반도체시스템공학

I. 여는 글

IoT(Internet of Things)와 Wearable이라는 단어는 스마트사회를 살아가는 우리에게 이제는 매우 익숙한 단어가 되었다. 모든 사물이 인터넷과 연결되는 개념인 IoT와 착용하는 컴퓨터라고 하는 Wearable Device의 등장으로 이전과 다른 새로운 규모의 컴퓨팅 시스템들이 개발되어지고 있다. 본 원고에서는 IoT/Wearable과 관련하여 최신 Wearable device의 동향을 살펴보고, 특별히 Apple Watch의 구조를 분석한 자료를 통해 최신 device에 어떤 패키징 기술이 적용되고 있는지 알아보았다. 또한, 이러한 기술 경향에 따라 변화하고 발전하는 최신 SiP(System in Package) 설계 기술들을 소개하였다.

II. Wearable Device 동향

스마트폰의 등장으로 이전의 개별 디바이스들이 하나로 합쳐지는 Convergence의 혁명을 이루었다면, 앞으로 스마트폰 이후에는 각각의 사물들이 개별적으로 네트워크에 접속하고, 자체적으로 연산하고 작업을 수행할 수 있게 되는 Divergence의 방향으로 갈 것으로 예상되어진다. 이에 따라 스마트와치, 스마트밴드, 스마트반지 등의 스마트폰 외에 다양한 형태의 스마트 Wearable device들이 등장하고 있으며, 이러한 Wearable device들은 몸에 부착한 상태로 불편함 없이 이용되어야 하기 때문에, 이로 인한 기기 자체의 소형화와 회로의 고집적화가 지속되어지고 있는 추세이다^[1].

이번 장을 통해 최신 Wearable device의 종류를 살펴보고, 대표적인 항목인 밴드형태의 device와 위치형태의 device를 살펴보고자 한다.

2-1 다양한 형태의 Wearable Device

몸에 착용 가능한 컴퓨터인 Wearable Device의 종류는 밴드, 글래스, 링, 전자문신, 위치, 패치 등의 형태로 다양한 형

태로 개발되고 있다^[2].

<표 1> Wearable Device의 유형, 특징

구분	내용
밴드 형태	- 활동량 측정, 만보계, 심박수, 스톱워치, 타이머 등 건강관리 기능 - 눈, 전화, 이메일 알람 및 미디어 컨트롤러
글래스 형태	- 일상 영상 기록, 증강현실 등 - 음성인식, 네비게이션, 음성통화, 메시지 전송, 통역, 일상정보 등 - 앱과 연동하여 활용(감정분석 등)
링 형태	- NFC(Near Field Communication) : 10cm 정도의 근거리 데이터 통신 - 식당, 대중교통 등 간편 결제 - 음식, 영화, 할인, 대중교통 등의 생활 정보 습득
전자문신 형태	- 심장, 두뇌, 근육 등의 활동 및 신호 측정 - 음성명령 인식, 이어폰 대응, 스마트폰, 게임장비, 태블릿, 기타 웨어러블 기술과 통신
위치 형태	- 문자송수신, 촬영, 음악재생, 리모컨 등 스마트폰 대체 - 심박측정, 만보계 등 다양한 피트니스 기능
패치 형태	- 통증완화, 근육치료, 자세교정 등의 의료장비 - 심전도, 근전계 등의 상시 검사 및 기록
컨택트렌즈 형태	- 포도당 수치 측정을 통한 당뇨병 지수 모니터링
신발 형태	- 가속도계, 자이로스코프, 압력센서 등에 기반한 활동 흥미 유도 - GPS 내장을 통한 목적지 네비게이션
전신착용 형태	- 스마트 시스템 적용을 통한 군사 지원 - 인간의 근력과 민첩성 증가를 통한 인간능력 향상 - 걸음걸이 재활 시스템
셔츠 형태	- 사진촬영, 눈, 음악, 그림 등의 자유로운 표현을 통한 정보 공유 및 다양한 엔터테인먼트

2-2 Major Market Device(Band Type, Watch Type)

앞에서 살펴본 것과 같이 다양한 형태로 Wearable 시장이 확장되고 있으나, Wearable 시장을 이끌고 있는 주요 제품인 밴드형태의 device와 위치형태의 device를 살펴보려고 한다.

밴드형태의 Wearable Device는 매우 간단한 형태의 Wearable Device이며, 초소형/저전력 시스템을 요구한다. 신체활동을 측정하여 건강관리를 돕는 기능을 하고 있으며, 폰과 연동하여 문자 알람을 해주는 등 스마트폰 보조 장치로서의 역할을 담당하고 있다. 대표적인 스마트 밴드 Device로는 삼성의 ‘Gear Fit’, 샤오미의 ‘Mi-band’, 핏빗의 ‘FLEX’ 등을 예로 들 수 있다.

위치형태의 Wearable Device는 가장 보편적으로 사용되고 있는 형태이며, 가장 큰 시장규모를 가지고 있는 Wearable Device이다. 대표적인 위치형태의 Device 로는 애플의 ‘애플

워치’, 삼성의 ‘갤럭시 기어’, LG의 ‘어베인’ 등이 있다.

III. Apple Watch 및 Mi-band 구조 분석

3-1 애플 워치 구조

애플워치의 구조는 [그림 2]와 같다. 18시간 사용(6.5시간 오디오재생, 3시간 통화, 72시간 대기)이 가능하다는 205 mAh 용량의 리튬 이온 배터리를 포함해, 커버글래스, 디스플레이, 터치센서, 맥틱엔진, 심박센서, 그리고 그 중심에는 S1이라는 프로세서가 존재한다.

다양한 시스템반도체를 하나로 묶어서 패키징한 SiP인 ‘S1’이 애플워치의 핵심부품이다. S1 chip은 [그림 3]에서 확인할 수 있듯이 전체 패키지가 얇은 메탈로 molding된 구조로써, 모든 chip이 외부로 드러나지 않고 보호되어 있다. 이는



(a) 밴드형태

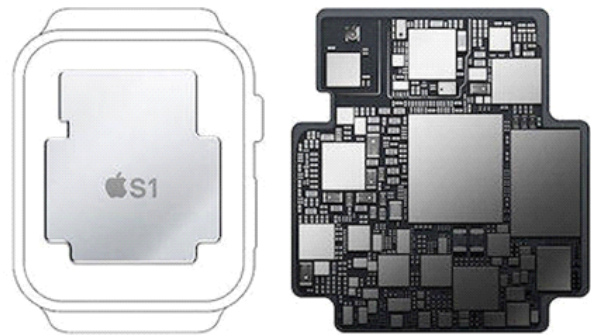


(b) 위치형태

[그림 1] Wearable device



[그림 2] 애플워치의 구조

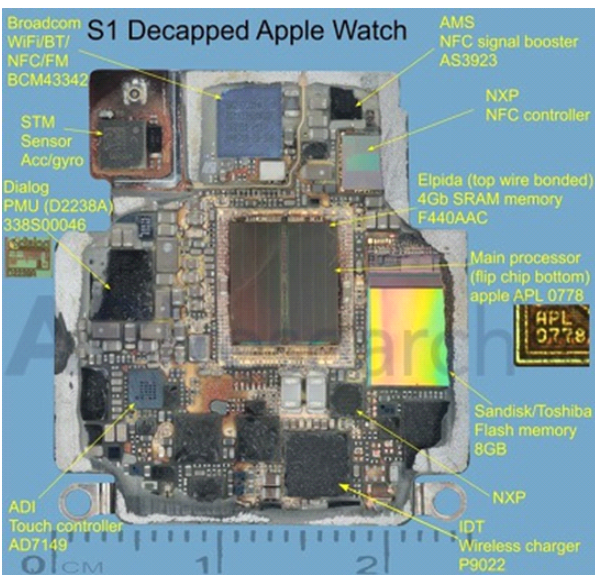


[그림 3] 애플워치의 핵심적인 두뇌 역할을 하는 S1 chip

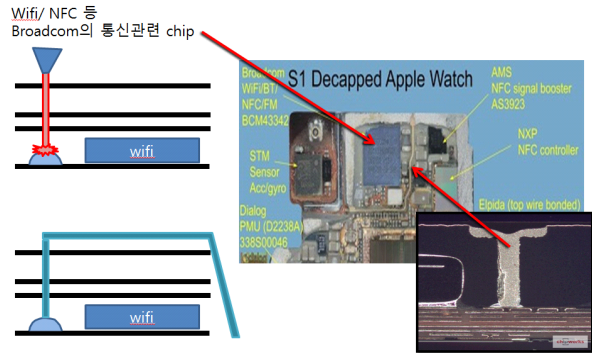
내부에 있는 chip을 보호하기 위한 목적뿐만 아니라, 내부의 회로를 외부로부터 완전히 차단하여 방수 기능도 제공하고 있다.

리버스 엔지니어링 업체인 Chipwoks라는 회사에서 공개한 S1 Chip의 현미경으로 분석한 이미지를 통해 S1 chip에 대한 정보를 얻을 수 있는데, S1 chip의 내부를 살펴보면 [그림 4]와 같다. S1의 chip 중심에는 애플의 main processor인 AP를 관찰할 수 있고, 상단에는 WiFi/BT/NFC 등의 통신기능을 담당하는 통신 chip이 위치하고 있으며, 우측에는 플래시 메모리, 좌측에는 power를 관리하는 MPU, 그 외에 Touch controller, Wireless charger, Acc/gyro sensor 등의 chip이 위치하고 있음을 확인할 수 있다.

특히 통신기능을 담당하는 chip이 위치하는 곳을 둘러싸는 금속으로 만든 외벽구조를 발견할 수 있다. 이 부분에서 발생하는 잡음이 주변 chip에 영향을 미치는 경우가 많은데, 독특한 방식을 사용하여 전자파 차폐구조를 구현했음을 확인할 수 있다. 통신 chip 주변을 etching한 다음 비어있는 구조에 금속을 주입함으로써 외벽을 만들고, 위쪽은 molding하여 chip의 모든 면을 차폐할 수 있도록 만들었다. 일반적으로 전자파 차폐를 위해 사용하는 shield can 구조를 [그림 5]와 같이 적용함으로써 얇은 패키지 두께와 전자파 차폐를 동



[그림 4] S1 De-capped apple watch



[그림 5] S1 통신 chip 주변의 차폐구조

시에 가져갈 수 있는 구조를 완성하였다.

3-2 Mi-band 구조

이어서 밴드형태 Wearable Device의 대표적인 제품인 Mi-band의 구조를 살펴보도록 하겠다. 밴드형태는 위치형태에 비해 비교적 간단한 기능과 구조를 가지고 있다. Mi-band의 내부 구조^[4]는 [그림 6]과 같다.

비교적 단순한 형태의 PCB 구조를 사용하여 제품이 구성되어 있다. Mi-band를 구성하는 핵심부품으로는 블루투스 기능을 지원하는 SoC 칩, 가속도 센서가 있으며, 이와 함께 DC-DC Converter, LED Driver, Battery Charger 등이 device를 구성하고 있다.

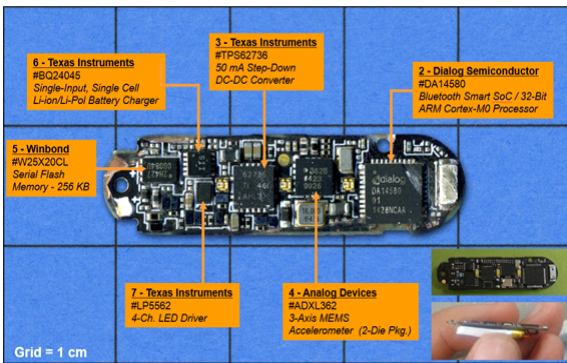
IV. IoT/Wearable 향 SiP 패키징 기술

4-1 최근 패키징 트렌드

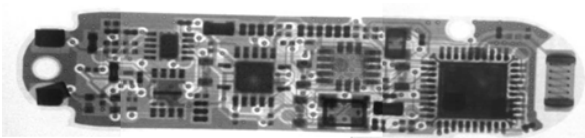
IoT/Wearable application의 등장으로 인해 SiP 패키징 기술도 날이 갈수록 진보를 더하고 있다. 애플 위치에 사용된 SiP를 패키지를 들여다보면 EMI를 줄일 수 있는 PCB의 측면도 반영하고, inter connect 연결도 매우 복잡해지고, 층수 증가로 인해 구조 자체가 매우 복잡해졌다는 것을 알 수 있다. 최근 파운드리 업계에서는 multi-die를 제공하는 SiP solution을 찾기 위한 적극적인 노력이 지속되고 있으며, 대표 파운드리 업체로는 TSMC, Global Foundries, Freescale 등을 들 수 있다. 3D IC나 SiP 기술은 기존에 마이크로프로세서에서만 쓰는 기술이라는 인식이 강했는데, 최근에 FOWLP(FanOut Wafer



(a) Mi-Band



(b) 미밴드 PCB 구조



(c) 미밴드 X-ray 분석사진

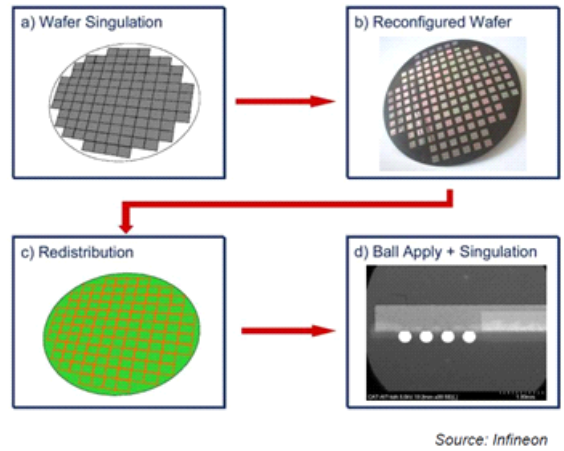
[그림 6] XiaoMi의 밴드형태 디바이스

Level Packaging) 기술이 나오면서 낮은 가격으로 많은 범위의 IC들에서 3D 집적이 가능해질 것으로 예상되고 있다.

4-2 FOWLP(Fan-Out Wafer Level Package)

FOWLP^[5]란, 실리콘 웨이퍼를 die별로 자른 후 thin film 구조로 제작된 substrate에 재배치한 후, 구리 재배선층을 chip 바깥으로 형성하는 팬아웃(Fan-out) 방식이 적용된 패키징 기술이다. 여러 종류의 die를 후공적으로 적층, 모듈화하여 하나의 chip처럼 구현할 수 있는 SiP(System in Package)를 가능하게 하는 기술이다. FOWLP의 제작과정은 [그림 7]과 같다.

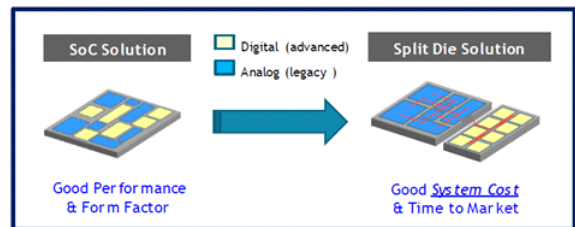
3D/SiP 패키징 기술이 발전함에 따라 SoC 가까운 정도의 성능을 가지면서 훨씬 적은 설계시간과 비용으로 구현할 수 있는 SiP 기술이 나오지 않을까 기대가 되고 있다([그림 8]).



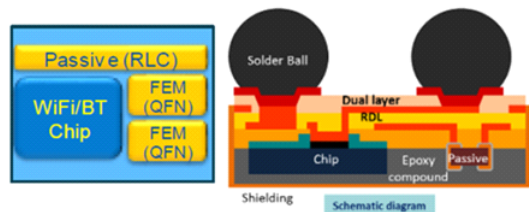
[그림 7] FOWLP 제작 과정

또한, 하나의 칩에 모든 것을 집적하기보다는 회로 특성에 맞게 각각 다른 공정으로 제작된 것을 3D로 집적하게 되면 more than moore의 법칙에 따라 반도체 소자들을 집적하는 것이 가능할 것으로 기대되고 있다.

요즘 IC 시장을 이끄는 Wearable Device는 Heterogeneous 방식으로 제작되는 경우가 많다. 하나의 패키지 안에 다른 공정으로 제작된 칩이 들어간다는 것이다. 여기에 통신 칩도 같이 들어가야 하므로, 패시브 안테나도 패키지 안에 넣어야 하는 필요성이 대두되고 있다([그림 9]).



[그림 8] Possible next generation SoC



[그림 9] Passive element embedded in FOWLP

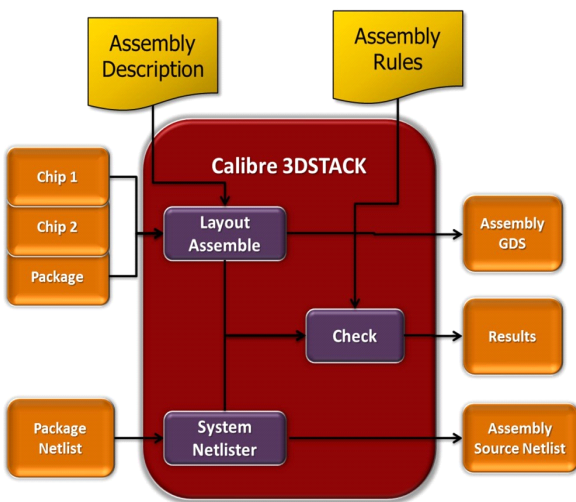
FOWLP는 small form factor, high level of heterogeneous integration, 낮은 전력소모, ADK(Assembly Design Kit)를 이용한 설계의 유연성, 더 나은 EMI isolation과 cross-talk 제어, 제품 전체 비용의 감소 등의 긍정적인 특징들을 가지고 있다.

특히 FOWLP 기술을 설계자가 사용하기 위해서는 ADK 디자인 Kit를 필요로 한다. IC를 설계할 때, PDK(Process Design Kit)을 사용해 IC를 설계했다면, 서로 다른 여러 가지 종류의 칩을 모아 적층하는 3D 구조의 패키지 설계를 하기 위해서는 패키지의 어셈블리 rule과 각 칩의 design rule를 모두 반영한 ADK가 필요하게 되며, Mentor Graphics와 같은 CAD 회사들이 3D IC 가공을 위한 CAD 패키지들을 개발하고 있다([그림 10]).

다양한 파운더리와 패키징 회사들이 interposer based solution과 FOWLP 기술을 제공하고 있는데, 회사마다 다른 이름으로 interposer과 FOWLP 기술을 명명하고 있다. 회사별 명명법을 <표 2>에 정리해 보았다.

<표 3>에서는 interposer와 FOWLP의 장점과 단점을 비교하였다. FOWLP 방법의 경우, 아직은 사이즈가 커지면 수율 부분에서 문제가 발생한다. 그래서 큰 사이즈의 IC보다는 작은 사이즈의 IC에 적합한 방식이다. 반면, interposer 방식은 비용이 비싸지만 우수한 성능과 안정적인 구조를 가지고 있다.

4-3 FOWLP의 시장 및 기술전망



[그림 10] Mentor graphics에서 제공하는 ADK^[6]

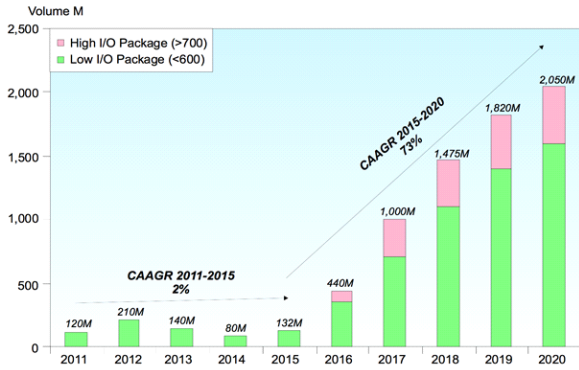
<표 2> Products from PKG/foundry

	Interposer based	FOWLP
TSMC	CoWos (Chip-on-Wafer-on-Silicon)	InFO (Integrated Fan-Out)
freescale	-	RCP (Redistributed Chip Package)
NANIUM	SiP based on organic laminated substrate interposer	FO-WLP, WLSiP, PoP
Amkor	2.5D TSV, 3D TSV	SWIFT (Silicon Wafer Integrated Fan-out Technology), SLIM (Silicon-Less Interposer Module)
STATS	3D TSV	eWLB, eWLCSP, WLCSP
ASE	TWI (through wafer interconnect), aEASI, Laminated FCCSP	aWLP, eWLB, FO CLP
Siliconware	FC-ETS (Flip Chip Embedded Trace Substrate)	misbga (molded interconnection system BGA)

<표 3> Si interposer vs FOWLP의 장점, 단점

	Si interposer based solution	FOWLP based solution
장점	<ul style="list-style-type: none"> - Technology risks - No CapEx or infrastructure - Line/space: min 6um 	<ul style="list-style-type: none"> - Simple process, low cost - small size: solder ball, footprint, thickness - Maximum connection density - Line/space: min 2um - Desirable electrical, thermal performance
단점	<ul style="list-style-type: none"> - High cost - Design integration, flexibility 	<ul style="list-style-type: none"> - Yield challenge - High cost with large die

FOWLP의 CAAGR(Compounded Average Annual Growth Rate)를 살펴보면 2011년부터 2015년까지 2%의 시장이 성장했음을 [그림 11]을 통해 확인할 수 있다. 보시다시피 현재



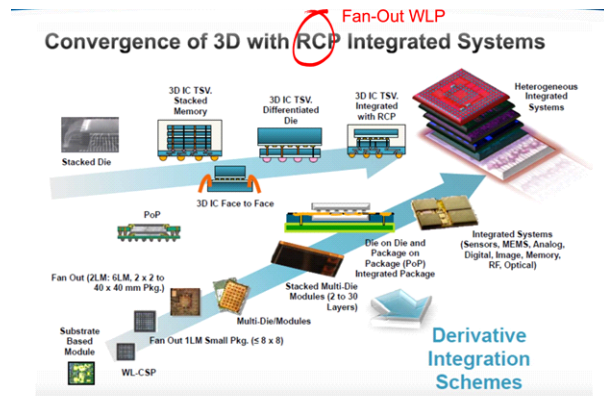
[그림 11] FOWLP의 시장 발달 전망^[7]

까지는 눈에 띄는 큰 성장을 확인하기 어렵다. 그러나 향후 Low I/O 패키지와 High I/O 패키지에서 FOWLP의 수요가 급속도로 증가하면서 2015년부터 2020년 사이의 CAAGR은 73%에 이를 것으로 전망된다.

패키징 기술에서 적층구조를 통한 3D 패키지의 구현에 많은 관심이 집중되고 있으며, 이러한 구조를 위한 TSV, FOWLP 등의 기술에 대한 연구가 활발히 이뤄지고 있다. [그림 12]는 3D/SiP 패키징 기술의 전망에 대한 내용을 그래프 형태로 보여주고 있다.

V. 마치는 글

지금까지 IoT/Wearable향 SiP 패키징 기술을 살펴봤다. 새로운 디바이스의 등장과 성능 향상으로 인해 단순 제조로 여겨졌던 패키징 기술은 더욱더 복잡해지며 고난도 기술을 요구하게 되었다. 이러한 가운데 IoT/Wearable 디바이스를 위한 기술로 FOWLP에 대한 관심이 증대되고 있다. 가격과 성능면에서 최상의 조건을 가진 FOWLP 패키징 공정에 대한 연구/개발이 더욱 활발히 진행되어, 미래 고성능, 소형제품 시장을 이끄는 데 많은 도움이 되길 기대해본다.



[그림 12] 3D/SiP 패키징 기술의 전망^[8]

참 고 문 헌

- [1] 나연목, 정현태, 최재훈, "웨어러블 컴퓨터의 현황과 전망", *Keit PD Issue Report*, 13(6), p. 60, 2013년 6월.
- [2] 김태홍, 황명권, 정한민, "차세대 웨어러블의 현재와 미래 그리고 이슈", 정보통신산업진흥원 주간기술동향, 1637호, pp. 16-18, 2013년 3월.
- [3] Chipworks report on Apple watch.
- [4] TECHINSIGHTS teardown on Mi-band.
- [5] 김언한, "팬아웃 WLP, 과도기에서 제 2세대로 시장가치 2억달러, 연성장률 30 % 전망", *Electronic Science*, 2015년 4월.
- [6] Mentor Graphics, "Assembly Design Kits are the Future of Package Design Verification", Oct. 2015.
- [7] Prismark, "FAN-OUT WLP market development and forecast", *The Semiconductor and Packaging Report*, Dec. 2015.
- [8] N. Chhabra, "Freescale's redistributed chip packaging (RCP) ready for production", *Freescale Semiconductor*, 2015.

≡ 필자소개 ≡

박 상 혁



2014년 8월: 성균관대학교 반도체시스템공학과 (공학사)
2015년 9월: 성균관대학교 반도체디스플레이공학과 석사과정
[주 관심분야] Circuit Design, EMI/EMC.

김 소 영



1997년: 서울대학교 전기공학부 (공학사)
1999년: Stanford University 전기공학과 (공학석사)
2004년: Stanford University 전기공학과 (공학박사)
2004년~2008년: Intel Corporation
2008년~2009년: Cadence Design Systems
2009년~현재: 성균관대학교 정보통신대학 반도체시스템공학과 부교수
[주 관심분야] Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility