

고속 입출력 인터페이스 패키징의 최적 설계

한 기 진

울산과학기술원

I. 서 론

오늘날 정보기술의 발전 추세는 스마트 기기 및 사물인터넷으로 대표되는 모바일 멀티미디어 기술의 보급, 클라우드 컴퓨팅, 빅 데이터, 인공지능 기술 등을 위한 대용량 컴퓨팅 환경의 구축, 자동차, 조선, 의료, 건설, 국방 등 다양한 응용 분야와의 융합 등으로 나타나고 있으며, 이에 따른 대용량 데이터의 고속 처리 및 소형화된 멀티미디어 환경에 대한 사회, 경제적 수요가 지속적으로 증가할 것으로 예상된다. 이러한 정보기술 환경에서 고속, 저전력 시스템을 실현하기 위한 컴퓨팅 하드웨어의 성능 향상은 필수적이다.

전통적으로 하드웨어 기술은 반도체 공정의 개선을 통한 회로의 집적도 향상을 지표로 삼아왔다. 그러나 실리콘 기반 반도체 기술의 소형화에 물리적 한계가 도래함에 따라 최근에는 소자 자체의 집적도 향상보다 개별 응용 분야에 적합한 소자의 개발 및 패키징 기반 시스템 설계에 중점을 두는 ‘More Than Moore’ 전략을 바탕으로 한 반도체 산업의 로드맵이 제안되고 있다^[1]. 이에 따라 시스템-인-패키지(System in Package; SiP), 3차원 집적회로(Three-Dimensional Integrated Circuit; 3D IC) 등 근래에 개발되어온 패키징 기반 시스템 통합 및 인쇄회로기판(Printed Circuit Board; PCB)에서의 인터커넥트(interconnection) 설계의 중요성이 커지고 있다^{[2],[3]}.

그러나 이러한 패키징 기반 시스템은 다층 기판에 전송선로, 관통전극, 전력망 및 접지면, 패키징 인터커넥트 등 다양한 수동 구조들의 전기적 특성이 복잡하게 얽혀 있고, 또한 패키징 요소들이 비선형 구동 회로와 연결되어 있어 시스템의 성능을 직관적으로 예측하는 것이 어렵다^[4]. 특히 데이터 전송 속도가 수십 Gbps 단위 이상으로 증가하고, 저전력 설계의 요구 조건에 따라 전기적 결합과 임피던스 부정합에 의한 신호 열화의 영향이 더욱 커지면서 직관과 경험에 의존한 패키징 성능 개선 설계는 한계에 직면하고 있다.

패키징 기반 시스템의 보다 체계적인 설계를 위해, 본고

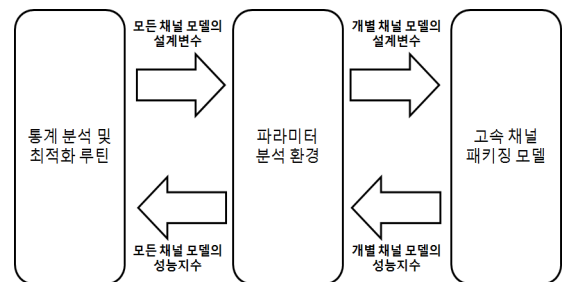
에서는 필자의 이전 기고문^[4]에서 간단히 논한 바 있는 패키징 하드웨어의 최적 설계 기법을 상세히 소개한다. 우선 패키징 기반 시스템의 통계적 분석 및 최적 설계를 위한 구성 요소들을 소개하고, 데이터 대역폭 및 소모 전력을 최적화하는 패키징 설계, 데이터 대역폭의 예측 및 확보를 위한 다층기판 설계, 고속 입출력 인터페이스의 설계변수 영역 탐색 기법 등 필자 및 다른 연구자들이 최근에 발표한 관련 연구들을 소개한다. 결론에서는 패키징 기반 시스템의 최적 설계를 위한 향후 연구주제들을 간략히 제안한다.

II. 시스템 수준의 패키징 설계를 위한 분석 환경

본 절에서는 고속 입출력 인터페이스를 구성하는 전자 패키징의 통계적 분석 및 최적설계를 위해 필요한 구성 요소로서, 패키징 및 인터커넥트의 전기적 특성이 포함된 채널 모델, 채널 모델의 입력 설계 변수를 다양한 방법으로 설정하고, 그 결과를 수집하여 통계 분석 및 최적화 루틴으로 전달하는 파라미터 분석 환경, 그리고 통계 분석 또는 최적화 루틴 등의 구성요소를 소개한다. 각 구성 요소들 간의 대략적인 관계는 [그림 1]에 보이는 바와 같다.

2-1 입출력 인터페이스 채널 모델

입출력 인터페이스의 신호 전달 특성을 하드웨어 구현



[그림 1] 패키징 기반 시스템의 통계분석 및 최적설계 환경

전 단계에서 예측하고, 통계 분석 및 최적설계 결과물의 신뢰성을 보장하기 위해 정확한 채널 모델의 구축이 필요하다. 채널 모델은 송신부, 수신부, 그리고 송, 수신부 간의 물리적인 신호 전송 경로인 인터커넥트 및 전원-접지면 모델로 구성되며, 전자파 해석 또는 측정으로 얻은 각 패키징 요소의 특성 모델을 SPICE 기반 회로 해석 소프트웨어 상에서 통합하여 구현할 수 있다.

송신부는 CMOS 인버터 등 개별 시스템이 채택한 반도체 제조사에서 제공하는 구동회로로 모델링되며, 인버터 스위칭에 따라 임피던스 특성이 변하기 때문에 비선형 특성을 갖는다. 이러한 구동회로 전원 임피던스의 비선형성을 고려하기 위해 일반적으로 IBIS(I/O Buffer Information Specification) 모델을 사용하나, 임피던스의 비선형 효과를 무시할 수 있을 경우 간단한 테브넨 등가회로를 적용한 선형 모델을 사용하기도 한다. 수신부는 인버터의 입력단에 해당하며, 커패시터로 등가화하거나, 경우에 따라 중단 부하를 추가한다.

인터커넥트는 집적회로 내부의 온칩(on-chip) 인터커넥트와 SiP 등에서 사용하는 멀티칩 패키지 인터포저의 선로들, 와이어본드, 관통전극(via), 볼 등의 구조들, PCB의 선로와 관통전극 구조들, 그리고 필요한 경우 추가되는 케이블 및 커넥터 등으로 구성되며, 각 인터커넥트 구조들은 전자기파 시뮬레이션이나 측정을 통해 모델링될 수 있다. 경우에 따라 간단한 구조의 인터커넥트들은 집중정수 소자 등가회로로 간략화될 수 있다. 대부분의 경우, 각 인터커넥트 요소들은 별도로 모델링되어 회로 시뮬레이션에 포함되나, 관통전극과 선로의 연결부와 같이 인터커넥트 구조 간의 전기적 결합이 중요한 경우, 두 구조를 통합적으로 시뮬레이션해야 한다.

인터커넥트 모델은 선로 상의 손실에 의한 신호의 감쇄, 상이한 인터커넥트 간의 임피던스 불연속에 의한 신호 왜곡, 인접 선로와의 전기적 결합에 의한 누화 등의 영향을 받는 채널의 신호 무결성을 예측하기 위해 필요하다. 그에 더해 전력망 및 접지 구조의 불연속성, 손실, 공진 등에 의한 잡음 성분이 신호의 질을 저하시키는 문제를 검토하기 위해서는 전력망과 접지구조의 전기적 특성을 모델링으로 추출하고, 이를 채널 모델에 포함시켜 전력무결성을 예측할 수 있어야 한다.

채널 모델은 전기적 특성 모델 및 그들로 구성되는 회로뿐만 아니라, 시간영역 시뮬레이션에서 회로에 디지털 신호를 인가하여 출력되는 신호 패턴으로부터 도출되는 아이 다이어그램(eye diagram)과 그로부터 측정되는 아이 오픈링(eye opening), 지터(jitter) 등 고속 링크의 성능을 평가할 때 사용되는 지표들을 출력하는 기능까지 포함한다. HSPICE의 경우, 기본적인 과도(transient) 해석 기능을 갖고 있으나, 신호무결성 분석을 위한 StatEye 기능을 사용해 보다 편리하게 아이 다이어그램 관련 지표들을 계산할 수 있다. 경우에 따라 자체적으로 시간영역 시뮬레이션 및 아이 다이어그램 지표들을 계산하는 루틴을 개발하기도 한다.

최적설계 및 통계적 설계의 유효성을 보장하기 위해 채널 모델의 정확성이 매우 중요하다. 한편, 최적 설계, 통계 분석에서 필요한 설계변수의 조합의 개수가 매우 많기 때문에 각 설계변수에 해당하는 채널 모델을 시뮬레이션하는데 걸리는 시간을 최소화해야 한다. 그러나 보통의 경우, 모델링에서의 근사를 통해 속도를 계산할 경우, 모델의 정확성이 저하되는 경향이 있어 이러한 요구 조건을 만족하기가 어렵다. 따라서 기존의 일반적인 전자기파 수치해석 기법 대신 기판 및 패키징 구조의 특정한 조건을 고려한 효율적인 전자기 해석 기법들이 개발되고 있다. 이에 관한 자세한 논의는 필자의 이전 기고문¹⁴⁾을 참고하기 바란다.

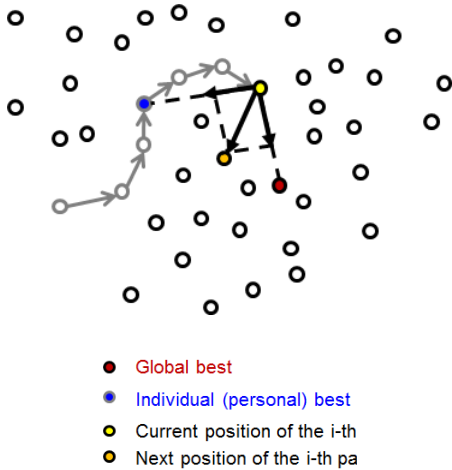
2.2 최적화 루틴

최적설계는 전기기기, 마이크로파 수동 소자 등 다양한 하드웨어의 형상 설계에 널리 적용되어 왔고, 개별 설계 환경에 적합한 최적화 알고리즘들이 고안되어 왔다. 수학적으로 최적화는 한 개 또는 그 이상의 변수를 갖는 함수의 최댓값 또는 최솟값과 그에 상응하는 변수 값들의 조합을 찾는 방법을 의미한다. 최적화 알고리즘은 크게 해석적 방법과 경험적(heuristic) 방법으로 구분되는데, 뉴턴법이나 민감도법과 같이 목적함수의 미분을 통해 최적해로 수렴하는 해석적 방법에 비해, 최근에는 유전 알고리즘(Genetic Algorithm; GA), 파티클 스웜 최적화(Particle Swarm Optimization; PSO) 등 목적함수 값의 무작위 샘플링과 최적점으로서의 수렴을 가속하는 업데이트 연산이 포함되는 경험적 방법이 널리 쓰이고 있다. 이는 실제 공학 최적화 문제에서 다루는 함수의 형태

가 해석적이지 않은 경우가 많고, 함수의 최댓값 또는 최솟값이 분포 양상이 복잡하기 때문이다. 본 절에서는 널리 사용되는 최적화 알고리즘 중 PSO를 간략히 소개한다^[5].

PSO는 자연계에서 곤충이나 조류 등의 군집운동을 모사하여 주어진 목적함수의 함수공간을 탐색하고, 최적해를 도출한다. PSO에서 모사되는 잠재적 해(또는 개체)들의 군집(population) 개념은 기존의 진화 알고리즘들과 유사하나, 각 개체들이 함수 탐색 공간을 이동하는 속도를 갖고 있고, 개체가 탐색 공간을 이동하면서 도달했던 최적점을 기억한다는 특징을 갖고 있다. [그림 2]에 보이는 바와 같이, 각 개체의 이동은 개별 개체가 이전에 방문했던 개별 최적점(individual best)과 군집 내에서 최적해를 갖고 있는 최적 개체(global best)의 두 점을 향해 형성되는 가속도의 합으로 결정된다. D 차원의 탐색공간에 대해 N 개의 개체로 구성된 군집의 i 번째 개체의 위치 $X_i = \{x_{id}\}(d=1,2,\dots,D, i=1,2,\dots,N)$, 속도 $V_i = \{v_{id}\}$, i 번째 개체가 이전 시점에서 방문했던 최적의 위치를 $P_i = \{p_{id}\}$, 그리고 최적 개체의 위치를 $P_g = \{p_{gd}\}$ 라고 할 때, 군집의 n 번째 이동 시점에서의 속도 및 위치 정보로부터 $n+1$ 번째 시점에서의 속도와 위치를 아래와 같이 계산할 수 있다.

$$\begin{aligned} v_{id}^{n+1} &= X \left(wv_{id}^n + c_1r_1^n(p_{id}^n - x_{id}^n) \right. \\ &\quad \left. + c_2r_2^n(p_{gd}^n - x_{id}^n) \right) \\ x_{id}^{n+1} &= x_{id}^n + v_{id}^{n+1} \end{aligned} \quad (1)$$



[그림 2] PSO에서 개체의 속도벡터 계산

여기서 양의 상수 c_1 과 c_2 는 가속 상수로서 양의 값으로 정의되고, r_1 과 r_2 는 $[0,1]$ 구간의 균일 분포에서 추출한 난수들이다. w 와 X 는 각각 관성 중량(inertial weight), 수축 인자(constriction factor)라고 불리며, 시간이 지남에 따라 속도를 점진적으로 제한하여 최적해의 탐색 효율을 개선한다.

특히 w 는 개체의 이전 속도의 이력을 현재 속도에 반영하기 위해 도입된 PSO의 수렴 성능을 결정하는 중요한 인자로서 군집의 광역 탐색 기능과 국소 탐색 기능 간의 트레이드-오프 관계를 조절하는 역할을 한다. 즉, w 값이 클 경우, 광역 탐색 기능이 강조되어 최적해가 존재하는 새로운 영역을 탐색하는데 유리하고, w 값이 작을 경우 국소 탐색 기능이 강조되어 현재 탐색 영역에서의 미세 조정에 의한 최적값 탐색에 유리하다. 따라서 PSO 알고리즘 수행 초기에는 w 를 큰 값으로 설정하여 광역 탐색을 유도하고, 탐색 시간 단계가 증가함에 따라 값을 작게 하여 보다 정밀한 최적해로 수렴하도록 하여 최적화 시간을 단축할 수 있다. 이에 따라 w 를 아래와 같이 설정할 수 있다.

$$w(n) = (w_i - w_f) \times \frac{N_{iter} - n}{N_{iter}} + w_f \quad (2)$$

여기서 w_i , w_f 는 각각 w 의 초기값과 최종값을 나타내고, N_{iter} 는 최대 시간 단계수이다. 최적설계에서 원하는 솔루션을 얻기 위해서는 상기한 최적화 알고리즘의 목적함수와 설계변수, 그리고 설계변수의 제약조건 등을 설계 목적에 맞게 설정하는 것이 중요하며, III장에서 이에 관해 상세히 논한다.

2.3 파라미터 분석 환경

파라미터 분석 환경은 채널 모델과 같이 다양한 변수들이 복잡한 상호관계를 갖고 있는 경우, 통계 분석 및 최적화 설정에 소요되는 시간을 단축하고, 채널 분석을 통해 도출된 결과 데이터를 통계분석 또는 최적화 코드에 전달하기 위해 필요하다. 설계변수들은 경우에 따라 몬테 카를로법에서와 같이 무작위로 샘플링될 수도 있고, 여러 설계변수들을 선형적으로 변화시키면서 가능한 모든 변수값들의 조합에서 성능의 변화를 관찰할 수도 있다. 또한 채널 모델의 설계변

수들은 SPICE 기반 링크 시뮬레이션뿐만 아니라, 각 인터커넥트 모델을 추출하기 위해 하위 루틴(sub-routine)으로 설정된 전자파 해석 코드의 입력으로 들어갈 수도 있어서, 다양한 하위 루틴의 입력 형식에 맞도록 구문분석(parsing)하는 과정이 필요하다. 설계 변수들이 상호 의존적으로 정의되고, 제약 조건을 갖는 경우도 파라미터 분석 환경에서 고려되어야 한다. 이러한 파라미터 분석 환경은 보통 펄(Perl)이나 파이썬(Python)과 같은 스크립트 언어로 작성될 수 있다.

III. 고속 입출력 인터페이스 패키징 최적설계 사례

앞서 논한 통계적 분석 및 최적 설계를 위한 기본 설정들을 바탕으로, 본 절에서는 그들을 적용하여 실제 고속 입출력 인터페이스에서 패키징 설계를 통해 링크 성능을 최적화한 세 가지 연구 사례를 소개한다.

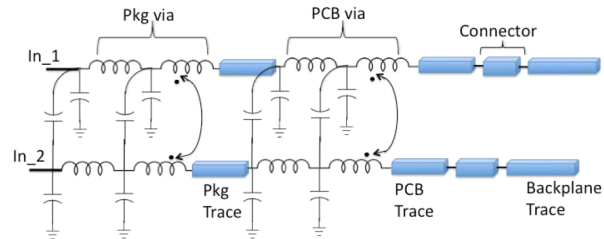
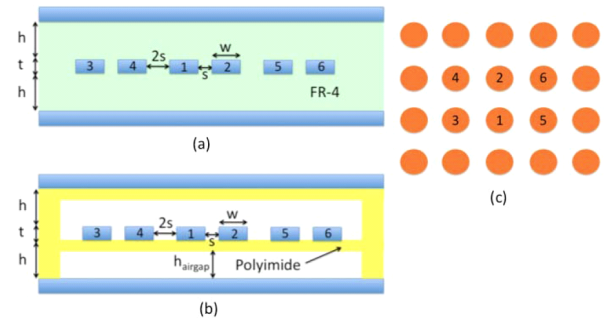
3-1 전력 소모를 고려한 링크 성능 최적화

링크의 성능 향상과 전력 소모의 저감을 함께 고려하여 선로 구조를 최적화한 연구가 최근에 V. Kumar 등에 의해 제시되었다^[6]. 제안된 방법에서는 링크의 성능과 전력 소모를 함께 고려하기 위해 아래와 같은 합성 성능지수를 사용하였다.

$$\frac{BWD^\alpha}{EPB^{2-\alpha}} \quad (3)$$

여기서 BWD는 라우팅 너비 당 총 데이터 대역폭(aggregate data bandwidth) 또는 대역폭 밀도로 $BWD = DR/p$ 로 정의되고, EPB는 전력 소모를 나타내는 비트 당 에너지로 $EPB = P_{tot}/DR$ 로 정의된다. DR, p, P_{tot} 는 각각 데이터 전송률, 선로 간격, 송신부 종단에서의 단일 비트 당 소모 전력이다. α 는 데이터 대역폭과 전력 소모 두 매트릭의 중요도에 따라 설정되는 계수로 총 대역폭의 영향을 더 많이 고려할 경우 더 큰 값으로 설정한다.

본 연구에서는 설계변수를 데이터 전송율과 선로의 너비로 설정하고, 링크의 길이에 따라 합성 성능지수 (3)을 최대 만드는 설계변수들의 조합을 찾았다. 링크 모델은 [그림 3]과 같이 HSPICE 기반으로 구축하였고, 패키징 및 PCB의



[그림 3] 합성 성능지수 최적화를 위해 사용한 SPICE 기반 채널 모델^[6]

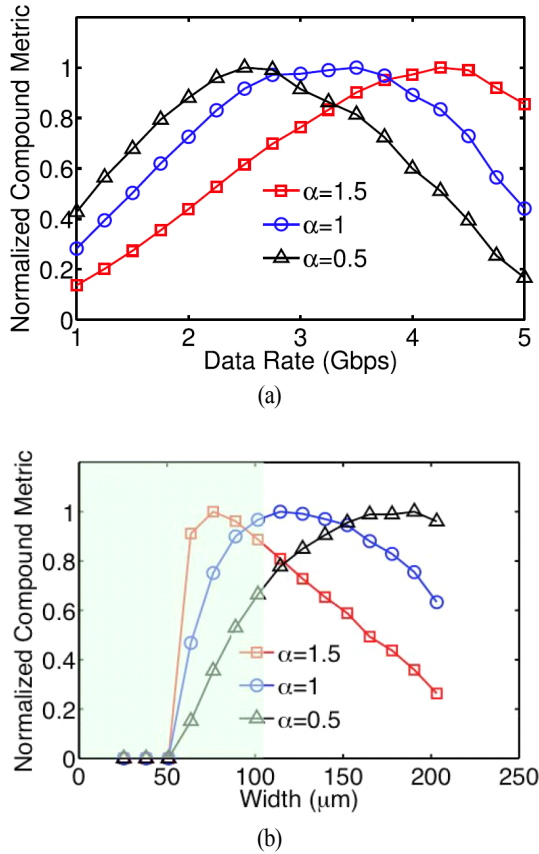
다중 선로는 자체 개발한 해석적 기법을 통해 RLGC 모델로 구현하였다. 패키징 요소들의 기생성분은 Synopsys의 Raphael을 사용하여 추출하였다.

[그림 4]는 합성 성능지수를 데이터 전송률과 선로 너비에 따라 도시한 것으로, 각 설계변수들 간의 트레이드-오프 관계를 보여준다. 즉, 데이터 전송율이 증가할수록 합성 성능지수가 증가하나, 속도가 어느 수준 이상으로 높아질 경우 소모 전력이 커져 성능지수가 감소하게 된다. 한편, 선로 너비가 작아질수록 선로 간격이 작아지고, 데이터 대역폭이 커지는 효과로 인해 합성 성능지수가 증가하나, 선로의 저항성분이 증가하면서 소모전력이 커지는 효과가 나타나게 된다.

본 연구에서는 이러한 설정 하에 기존의 PCB 기반 인터커넥트와 새롭게 개발한 공극형(airgap) 인터커넥트에 대해 최적 설계를 수행하였고, 도출된 최적 설계변수 조합으로부터 공극형 인터커넥트의 성능이 우수함을 입증하였다.

3-2 데이터 대역폭을 고려한 다층 기판 설계

앞 절의 예에서도 소개한 데이터 대역폭은 고속 입출력 인터페이스의 성능을 나타내는 대표적인 정량 지표로, 대략적으로 데이터의 전파 속도와 시스템이 허용하는 채널의 개



[그림 4] 설계변수 따른 합성 성능지수의 변화^[6]

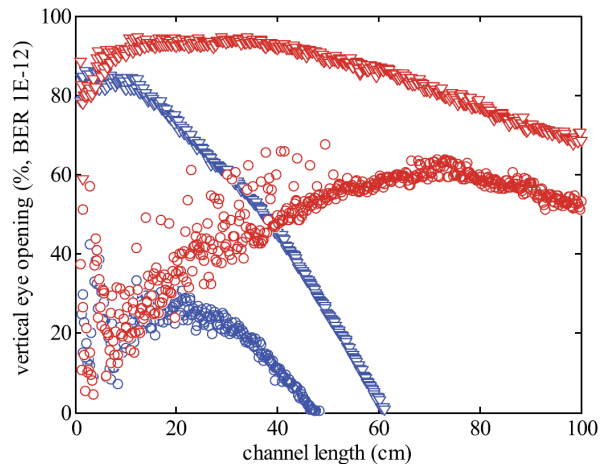
수에 비례한다. 본 절에서는 데이터 대역폭을 예측하고, 확보하기 위해 패키지 및 기판 설계의 최적 조건을 찾는 과정에서 최적화 알고리즘을 적용한 예를 소개한다^[7].

입출력 인터페이스에서 데이터의 (최대) 전파 속도는 수직, 수평 방향의 아이 오프닝 허용치를 넘지 않는 최댓값으로 정의된다. 패키징 및 인터커넥트에서 아이 오프닝을 작게 하여 데이터 전파 속도를 제한하는 요소는 전송선로의 손실에 의한 신호의 감쇄와 임피던스 부정합에 의한 신호의 왜곡이다.

이 중 전송선로 상의 손실은 선로를 구성하는 도체에서의 저항성 전압 강하 및 거친 표면(surface roughness) 효과, 손실 탄젠트로 표현되는 유전체에서의 저항성분, 그리고 고주파 방사 등에 의해 발생하며, 선로의 길이가 길어지고, 주파수가 높아질수록 그 영향이 크게 나타난다. 따라서 선로의 손실은 주어진 선로 길이에 대해 최대 전송 속도를 제한하

거나, 주어진 전송 속도에 대해 송, 수신부 간의 최대 도달 거리를 제한함으로써 데이터 대역폭을 제한한다.

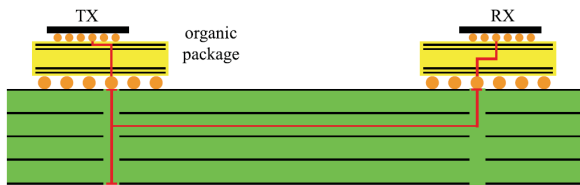
임피던스 부정합은 선로, 수직 관통전극, 본딩 와이어 등 다양한 패키지 구성요소 간의 불연속 지점에서 발생한다. 다층 인쇄회로기판 상의 선로를 사용할 경우, 선로와 관통전극간의 불연속성이 임피던스 부정합의 가장 큰 요소로 작용한다. 불연속성을 제거하기 위해 관통전극에 의해 형성되는 스텝(step)을 백 드릴링(back drilling)으로 제거할 수 있으나, 공정 및 제작 비용상의 제약으로 인해 모든 경우에 대해 적용하기가 어렵다. 또한 가용 선로의 수를 증가시켜 데이터 대역폭을 확보하기 위해 기판의 층(layer) 수를 증가시킬 경우, 이러한 관통전극에서의 임피던스 부정합 효과가 더욱 두드러지게 나타난다. 임피던스 부정합은 전송신호의 파형을 왜곡하여 데이터 대역폭을 제한하는데, [그림 5]에 보이는 바와 같이 선로의 길이가 긴 경우 반사파 또한 손실에 의해 감쇄되어 그 영향이 크지 않은 반면, 선로의 길이가 짧은 경우 임피던스 부정합의 영향이 두드러지게 나타날 수 있다. 또한 짧은 선로에서의 임피던스 부정합에 의한 아이 오프닝 축소는 등화기(equalizer) 설계를 통해서도 개선할 수 없다. 결과적으로 임피던스 부정합은 송, 수신부 간의 최소 도달 거리를 제한하여 패키징 및 기판 상의 모듈의 집적도를 제



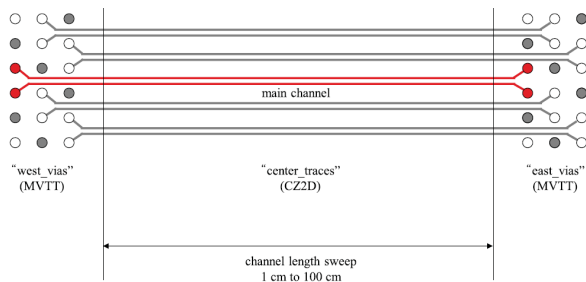
[그림 5] 다층 기판에서 채널 길이의 변화에 따른 수직방향 아이 오프닝^[7](붉은색: 등화기가 포함된 경우, 푸른색: 등화기가 없는 경우, 원형 표시: 관통전극 스텝이 긴 경우, 삼각형 표시: 관통전극 스텝이 짧은 경우)

한다.

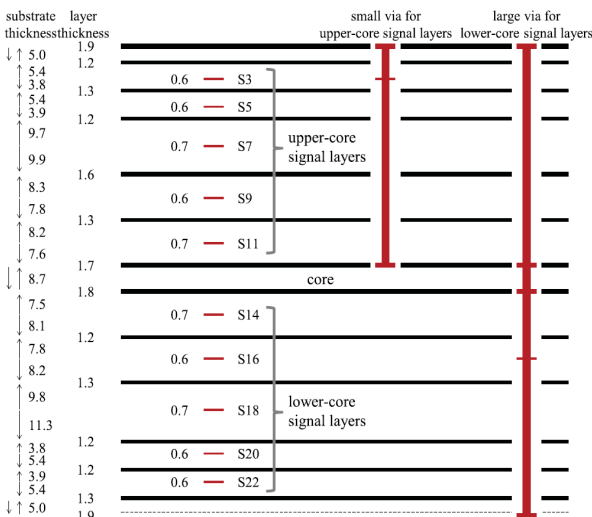
본 연구에서는 상기한 데이터 전송 속도의 제한 요소들을 동시에 고려하여 설계하고자 하는 고속 서버용 입출력 인터페이스의 데이터 대역폭을 예측하였다. 이를 위해 [그림 6]에 보이는 바와 같이 채널 모델을 구성하고, 채널 모델의 다양한 물리적, 전기적 변수들을 용이하게 변경하며, 대용량의 시뮬레이션을 수행하기 위한 계산 환경을 구축하였다. 채널



(a) 간략한 측면도



(b) 간략한 상부 선로 구성



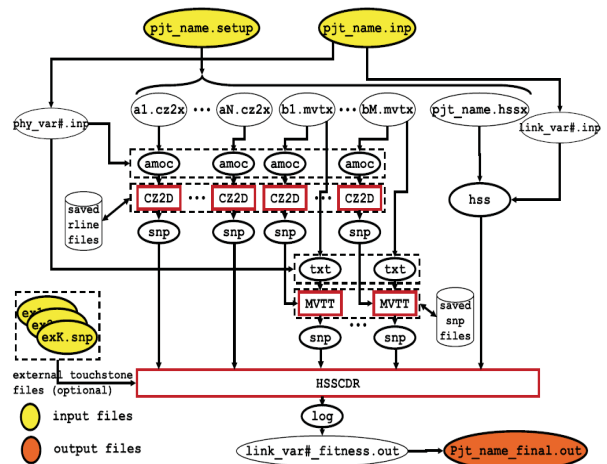
(c) 적층 구성 및 치수 (mils)

[그림 6] 채널 모델^[7]

모델은 다층 인쇄회로기판의 관통전극 특성을 공진기 모델로부터 추출하는 MVTT(Multi-layer Via Transition Tool)를 기반으로, 다층 기판 내 마이크로스트립 및 스트립 선로 모델링을 위한 CZ2D, 그리고 측정 및 별도의 전자파 시뮬레이션을 통해 얻은 패키징 및 커넥터 모델 등을 통해 빠른 속도로 패키징 및 기판 구조의 고주파 다단자망 특성을 추출하는 부분과 추출된 다단자망 특성에 송수신 회로를 연결하고, 아이 다이어그램을 계산하는 HSSCDR(High-Speed SerDes/Clock Data Recovery)로 구성된다.

또한 본 연구에서는 많은 경우의 수의 시뮬레이션을 효율적으로 처리하고, 설계변수의 입력을 쉽게 하기 위한 SPLSE (Statistical and Parametric Link Simulation Environment)를 구축하였다. SPLSE는 링크의 다양한 전기적, 물리적 설계변수들을 제어하여 입출력 링크의 성능을 평가할 수 있도록 만들어졌고, [그림 7]에 보이는 바와 같이 앞서 설명한 MVTT, CZ2D, HSSCDR 등의 시뮬레이션 도구들을 통합하고, 시뮬레이션 과정을 자동화하였다. SPLSE에서는 분석의 목적에 따라 특정한 몇 개의 값을 지정하거나, 값을 일정한 크기로 증가시키거나, 무작위 변수로 지정하거나, 또는 여러 변수를 벡터 형태로 지정하는 등 다양한 설계변수 설정을 선택할 수 있다.

데이터 대역폭을 예측하기 위해 PSO 기반의 최적화 루틴을 적용하고, 이를 위한 목적함수 및 설계 제약조건 등을 설정하였다. 최적화 목적함수는 주어진 아이 오픈링 임계값에 해당하는 데이터 전송률 x_b 와 채널의 길이 l_{tr} 의 조합 (X_b ,



[그림 7] SPLSE에서의 설계변수 설정과 데이터 전달 구조^[7]

L_{tr})를 탐색하기 위해 다음과 같이 설정되었다.

$$f(X_V, X_H, x_b, l_{tr}) = \exp\left(-\left(\frac{(V_T - X_V)(H_T - X_H)}{\sigma V_T H_T}\right)^2\right) \left(\frac{BR_0}{BR_0 + x_b}\right)^2 \quad (4)$$

목적함수를 최대로 만드는 X_b 를 찾은 후 총 데이터 대역폭은 아래의 식으로 계산할 수 있다.

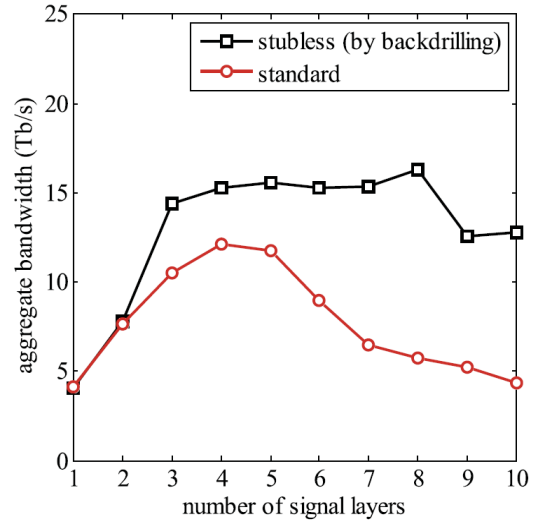
$$BW = X_b N_{sw} \quad (5)$$

여기서 N_{sw} 는 채널당 하나의 차동 선로가 할당될 경우, 기판의 신호층의 개수 M 이 주어졌을 때 연결될 수 있는 신호 선로의 개수로 아래와 같이 표현된다.

$$N_{sw}(M) = 4 \left[M \left(\frac{L_m}{P_v} - 2 \right) - 3M(M-1) \right] \quad (6)$$

여기서 L_m 은 패키지 모듈의 한 변의 길이, P_v 는 모듈의 관통전극 간격이다. N_{sw} 는 신호층의 개수에 따라 증가하는 추세를 보이나, 패키지 모듈에서 허용되는 총 신호단자의 개수에 의해 제한받으며, 가령 신호 및 접지 비율이 2:1인 경우, N_{sw} 는 신호단자 수의 3분의 1보다 클 수 없다.

구축된 링크 모델링 환경과 최적화 루틴을 적용하여, 기판의 신호층의 개수를 증가시켜가면서 허용되는 최대 데이터 전송률을 구하고, 이로부터 [그림 8]과 같은 총 데이터 대역폭을 계산하였다. PCB 관통 전극에 백-드릴링을 하지 않은 기본 구조의 경우 신호층의 개수가 증가할수록 허용되는 데이터 전송율이 작아지나, 가용 선로 개수 N_{sw} 가 증가하는 효과 때문에 신호층이 4개일 때까지는 대역폭이 증가하는 경향을 보인다. 그러나 신호층이 5개 이상으로 증가하면 가용 선로 개수는 신호단자 수의 3분의 1로 점차 고정되고, 데이터 전송율만 떨어지는 효과가 두드러져 대역폭이 감소하는 것을 확인할 수 있다. 한편, 관통전극에 백-드릴링을 한 경우에는 신호층의 개수 증가에 관계없이 비슷한 데이터 전송율을 유지할 수 있으나, 역시 가용 선로 개수를 무한정 증가시킬 수 없으므로 대역폭의 더 이상 개선되지 않는 것을



[그림 8] 최대 허용 데이터 전송 속도로부터 예측된 신호층 수에 따른 총 데이터 대역폭^[7]

알 수 있다. 이러한 분석을 통해 총 데이터 대역폭을 극대화 하는 신호층의 개수가 존재함을 알 수 있으며, 입출력 인터페이스를 구성하는 다층 기판의 설계에서 적합한 적층구조를 선정하는데 제한된 방법을 적용할 수 있을 것으로 보인다.

3-3 설계변수 영역 탐색기법

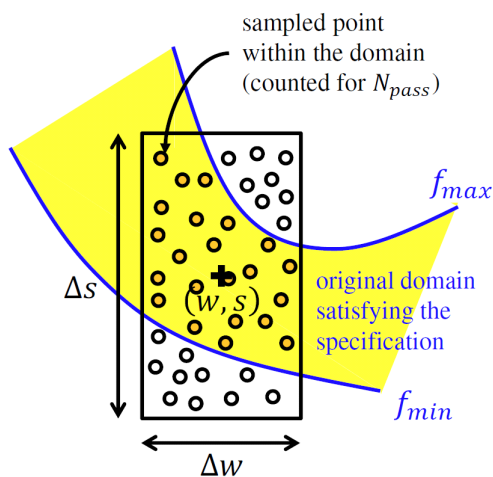
앞 두 절의 고속 입출력 링크 설계의 예에서 보인 바와 같이, 최적화 문제는 통상적으로 시스템의 성능지표와 성능지표에 영향을 미치는 설계변수들이 주어지고, 성능지표의 최적값을 만족하는 설계변수들의 조합을 찾는 것으로 정의된다. 성능지표 혹은 목적함수가 2개 이상인 경우 설계변수들의 파레토 집합이 정의되기도 하고, 최적값 및 제약 조건을 만족하는 설계변수의 조합을 한 개 이상의 후보군으로 설정하는 경우도 있으나, 기본적으로 최적화 문제는 설계변수들의 다차원 공간에서 특정 변수 값들의 조합에 대응하는 ‘점’을 찾는 문제로 환원될 수 있다.

그런데 실제 설계에서는 시스템의 성능지표를 최대화 또는 최소화하는 광역 최적화 문제보다 원하는 성능지표의 허용 범위를 만족하는 설계변수의 범위를 찾는 경우가 더 많다. 그러나 이러한 문제는 기존의 설계변수의 점들을 찾는 최적화 문제에 비해 매우 어렵다. 왜냐하면, 성능지표 또는

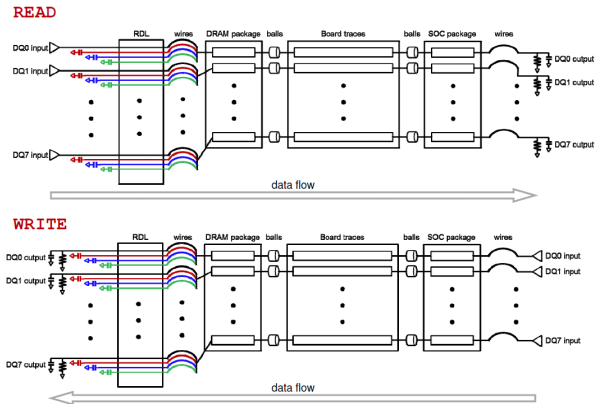
목적함수의 범위를 만족하는 설계변수의 범위는 일반적으로 N 개의 설계변수 공간의 부분을 점유하는 N 차원 영역으로 나타나며, 그 영역이 임의의 형상을 갖기 때문이다.

본 절에서는 이러한 설계변수 영역을 기존의 최적화 기법을 응용하여 탐색하는 초보적인 기법을 소개한다^[8]. 제안된 방법에서는 임의의 설계변수 영역을 정확하게 찾는 대신, 설계변수의 영역을 N 차원의 간단한 기하구조로 한정하고, 그 구조가 실제 설계변수 영역에 가장 근사한 경우를 탐색한다. 예를 들어 [그림 9]에 보이는 바와 같이, 2차원 설계변수 공간에서 실제 링크의 성능을 만족하는 설계변수의 영역과 가장 근사한 직사각형의 영역을 찾을 수 있다. 이때 근사성의 척도는 주어진 직사각형 영역에 포함되는 몬테카를로 샘플링으로 생성된 임의의 설계변수 점에 대해 주어진 성능조건을 만족하는지 테스트하고, 성능조건을 만족하는 경우의 수가 많은 정도로 정의한다. 이러한 방법은 정확한 설계변수 영역을 찾지 못하는 한계를 갖고 있으나, 설계변수 영역을 간단한 대소 관계로 표현할 수 있어 실제 설계에 적용하기 용이한 장점을 갖고 있다.

[그림 10]은 제안된 방법을 적용하기 위해 구축된 LPDDR 메모리 입출력 인터페이스의 개략도이다. 입출력 인터페이스 모델은 8개의 비트 선로를 포함하며, 송신부, 재분배층 (Redistribution Layer; RDL), 패키지 모델, 수신부 부하 커패시터 등으로 구성되어 있다. 링크 모델은 [그림 10]에 보이는



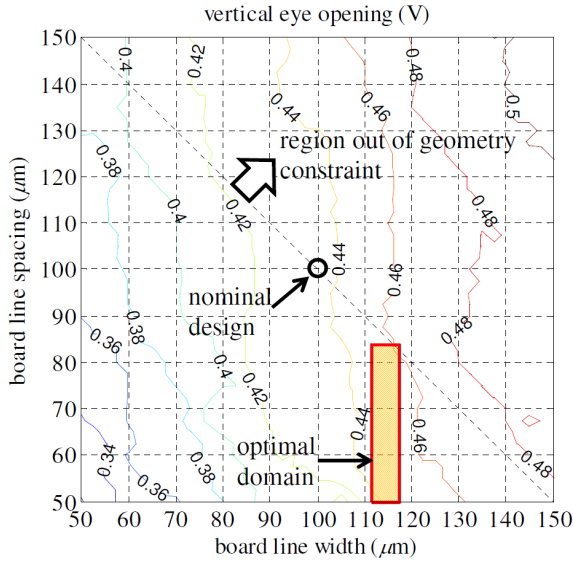
[그림 9] 몬테카를로 샘플링을 이용한 주어진 성능지수의 범위를 만족하는 사각형 설계변수 영역의 탐색^[8]



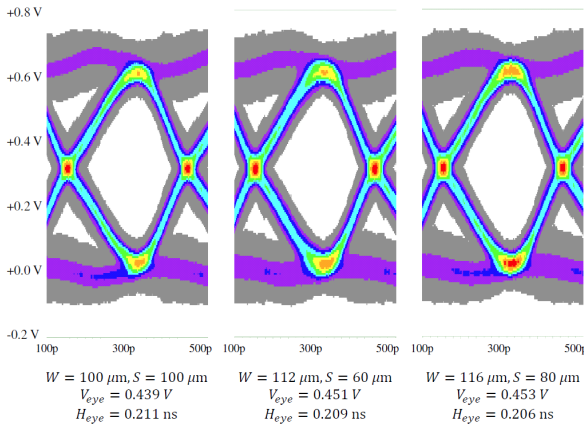
[그림 10] 메모리 입출력 인터페이스 모델^[8]

바와 같이, 'READ'와 'WRITE' 모드 중 하나의 동작을 선택할 수 있다. 'WRITE' 모드인 경우, CPU에 해당하는 SoC(System-on-Chip)가 송신부가 되고, 메모리가 수신부로 동작하며, 'READ'인 경우 그 반대가 된다. 인터페이스 모델은 HSPICE를 기반으로, 인터포저 및 PCB 선로들의 RLCG모델은 HSPICE에 내장된 2차원 선로 해석 도구인 W-element를 이용해 추출하고, 패키지 요소들의 기생성분은 간단한 설계식을 사용하여 계산하였다. 또한 몬테카를로 해석 및 파라미터 분석을 용이하게 하기 위해 별도의 입력 파일을 구성하고, 입력 파일을 읽어 자동으로 분석을 수행하는 시뮬레이션 환경을 구축하였다.

구축된 인터페이스 모델과 최적화 기법에 기반을 둔 설계변수 영역 탐색기법을 적용하여 PCB 선로의 너비와 간격을 설계변수로 설정하고, 수직방향 아이 오프닝 값이 0.44 V에서 0.46 V의 범위를 만족하는 설계변수의 영역을 탐색하였다. [그림 11]에 보이는 바와 같이, 초기 설계에서 선로의 너비와 간격은 모두 100 μm 로, 이때 수직방향 아이 오프닝은 0.44 V보다 작다. 초기 설계에서 선로의 너비 또는 간격을 증가시킬 경우, 아이 오프닝이 0.44 V보다 커질 수 있으나, 이 경우 선로의 너비와 간격의 합이 200 μm 이상으로 커지게 되어 공간적 제약을 받게 된다. 그러나 주어진 설계변수 영역 탐색기법을 통해 [그림 11]에 표시된 사각형 영역을 찾을 수 있으며, 이 영역에서는 선로의 너비와 간격의 합을 200 μm 이하로 유지하며, 0.44 V 이상의 아이 오프닝 성능을 구현할 수 있다. [그림 12]에 초기설계 값과 탐색된 설



[그림 11] 수직방향 아이 오프닝 조건과 전체 선로 폭의 제약 조건을 만족하는 최적 설계변수 영역의 탐색결과^[8]



[그림 12] 초기 설계와 설계변수 영역의 두 경우에 대한 아이 다이어그램 해석 결과^[8]

계변수 영역에서 샘플링된 두 경우에 대한 아이 다이어그램을 도시하였으며, 세 경우 모두 요구사항을 만족함을 확인할 수 있다.

IV. 결 론

본고에서는 최근 그 중요성이 더해지고 있는 고속 입출

력 인터페이스를 구성하는 패키징의 성능 향상을 위한 최적 설계 기법을 소개하고, 최근에 수행된 관련 연구들을 소개하였다. 관련 연구들이 최적설계 기법의 다양한 활용 가능성을 보여주고 있음에도 불구하고, 최적 설계 기법들이 향후 실제 설계 프로세스에서 유용하게 적용되기 위해서는 인터페이스 채널 모델의 정확도와 시뮬레이션 속도의 지속적인 개선이 요구된다. 특히 지금까지의 최적설계 연구는 주로 기관 상의 설계변수를 고려했으나, 관통전극과 RDL 등 멀티칩 패키징 및 인터포저의 설계변수 또한 함께 고려해야 하며, 이를 위한 효율적인 전자기 모델링이 추가되어야 한다. 또한 패키징 공정 상에서 발생하는 공정 오차를 최적설계에서 고려하기 위해 신뢰성 기반 최적화(reliability-based optimization)기법, 다중 목적 최적화를 활용한 다양한 설계안의 도출 등 최적화 기법에 대한 추가적인 연구가 필요하다.

참 고 문 헌

- [1] M. M. Waldrop, "More than moore", *Nature*, 530, pp. 144-147, Feb. 2016.
- [2] R. R. Tummala, M. Swaminathan, *Introduction to System on Package (SOP) - Miniaturization of the Entire System*, McGraw Hill, 2008.
- [3] M. Swaminathan, K. J. Han, "*Design and Modeling for 3D ICs and Interposers*", World Scientific Publishing Company, 2014.
- [4] 한기진, "PCB 및 패키징 구조에서의 전파 특성", *한국전자과학기술지*, 24(3), pp. 42-55, 2013년 5월.
- [5] K. E. Parsopoulos, M. N. Vrahatis, "Recent approaches to global optimization problems through particle swarm optimization," *Natural Computing*, Kluwer Academic Publishers, pp. 235-306, 2002.
- [6] V. Kumar, R. Sharma, E. Uzunlar, L. Zheng, R. Bashirullah, P. Kohl, M. S. Bakir and A. Naemi, "Airgap interconnects: modeling, optimization, and benchmarking for backplane, PCB, and interposer applications", *IEEE Trans Components, Packaging, and Manufacturing Technology*, 4(8), pp. 1335-1346, Aug. 2014.

[7] K. J. Han, X. Gu, Y. H. Kwark, L. Shan and M. B. Ritter, "Modeling on-board via stubs and traces in high-speed channels for achieving higher data bandwidth", *IEEE Trans Components, Packaging, and Manufacturing Technology*, 4(2), pp. 268-278, Feb. 2014.

[8] S. Kim, Y. Kim and K. J. Han, "Identification of parameter domain for the design of high-speed I/O interface", *Proc. IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2015)*, pp. 67-70, Seoul, Korea, Dec. 2015.

≡ 필자소개 ≡

한 기 진



1998년 2월: 서울대학교 전기공학부 (공학사)
2000년 2월: 서울대학교 전기공학부 (공학석사)
2009년 8월: 미국 조지아공과대학교 전기컴퓨터
공학부 (공학박사)
2000년 2월~2005년 4월: LG정밀 (現 LIG넥스
원) 연구소 연구원
2009년 6월~2011년 5월: IBM T. J. 왓슨연구소

박사후연구원

2011년 7월~2015년 8월: 울산과학기술대학교 전기전자컴퓨터공학부
조교수

2015년 9월~현재: 울산과학기술원 전기전자컴퓨터공학부 부교수

[주 관심분야] Computational Electromagnetics, Electronic Interconnection
and Packaging, EMI/EMC, Antenna Design