

고속 신호전송 시 Bit Error Rate(BER)의 확률적 예측기술

김진국

울산과학기술원

I. 서론

현재 2D/3D 영상 데이터 및 각종 미디어 데이터를 일장에서 공유하게 됨에 따라, 이를 처리하는 시스템 내 Chip-to-chip 통신의 데이터 bandwidth는 끝없이 증가하고 있고, 특히 processor와 메모리 사이에 필요한 데이터 bandwidth는 거의 1초당 테라 비트(Tbit/s)에 육박하고 있다. 따라서 채널 하나당 필요한 전송 속도는 1초당 최대 수십 기가 비트(Gbps) 이상이 필요하고, 이러한 상황에서 Chip-to-chip hardware channel, 즉 interconnection을 신뢰도 있게 설계하는 일은 상당한 노력을 필요로 한다.

반사(reflection), 감쇄(attenuation), 시간 축 인접신호 간의 간섭(Inter Symbol Interference; ISI), 공간상 인접신호 간의 간섭(crosstalk), 전력/접지 분배망(Power Distribution Network; PDN) 노이즈의 커플링 등 각종 신호 품질 저하 요인들을 모두 관리하여야 수십 기가 비트 이상의 속도를 낼 수 있다. 신호 파장이 채널 구조체의 길이에 비해 짧기 때문에 전자기학적(electromagnetic) 해석이 기본적으로 필요하고, 여기에 driver와 receiver의 고속 스위칭 I/O 회로 설계 기술이 얹혀서 신호 충실성(signal integrity) 문제는 갈수록 어려워지고 있다.

여기서는 고속 디지털 interconnection 설계 해석 기술의 하나로서 bit error rate(BER)를 확률적으로 예측하는 기술과 연구 동향에 대해 소개하고자 한다.

II. Eye Diagram, Jitter, BER의 소개

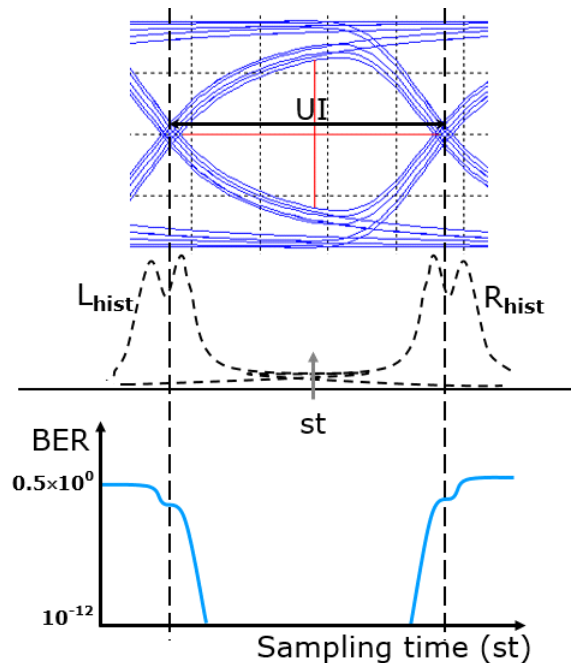
고속 디지털 신호 채널의 품질을 평가하기 위해 통상 Eye diagram, Jitter, bit error rate(BER) 등을 이용된다. Eye diagram은 수신된 랜덤한 bit 패턴으로 스위칭하는 디지털 신호를 중첩하여 나타낸 그림이며, jitter는 데이터 transition timing의 시간 축 변화를 나타낸다. 수많은 transition time의 hit ratio를 세어서 이를 jitter histogram으로 나타낼 수 있고 이는 지터

의 확률 분포가 된다. 그리고 이 지터의 확률 분포로부터 특정한 sampling time에서 수신된 신호에 에러가 발생할 확률인 BER을 아래 적분식으로 계산할 수 있다.

$$BER = \int_{st}^{\infty} L_{hist}(\tau, W, \sigma) \partial\tau + \int_{-\infty}^{st} R_{hist}(\tau - UI, W, \sigma) \partial\tau$$

여기서 L_{hist} 는 eye diagram의 1 unit interval(UI)에서 왼쪽 transition의 jitter histogram, R_{hist} 는 오른쪽 transition의 jitter histogram을 나타내며, σ 는 random jitter(RJ)의 root mean square(RMS) 값, W 는 deterministic jitter(DJ)를 나타낸다.

[그림 1]에 eye-diagram, jitter histogram, BER의 관계도를 나타내었다.

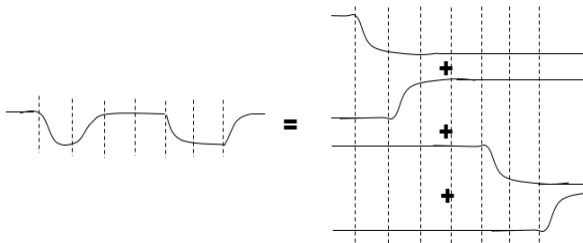


[그림 1] Eye diagram, jitter histogram, BER bathtub curve의 관계도

III. 인접 디지털 신호간 간섭(ISI)를 고려한 BER의 확률적 예측

고속 디지털 신호 전송 채널의 특성을 나타내는 궁극적 지표는 수신된 신호에 에러가 발생할 확률인 BER이라고 할 수 있고, 이 BER을 정확히 예측하는 것이 중요하다. 특히 JEDEC standard의 DDR4 채널의 specification에는 기존에 쓰이던 setup time(t_{DS}), hold time(t_{DH}) 대신에 BER contour가 최초로 포함되어, 고속 메모리 및 각종 IC 회로 디자인 시에 BER의 정확한 예측이 필수적인 사항이 되었다. 하지만 회로 디자인 시 전통적인 SPICE 회로레벨 시뮬레이션으로 $10e-16$ 정도의 매우 작은 BER 값을 의미 있게 얻어내기 위해서는 매우 오랜 시간 동안 시뮬레이션을 해야 하여서, 정확하고 빠른 새로운 시뮬레이션 및 계산 방법이 매우 절실하게 필요하다. BER을 이론적으로 빠르게 계산하기 위해 2002년 경 인텔과 RAMBUS 등에서 일련의 인접한 데이터 패킷간의 간섭(ISI)에 의해 발생하는 BER을 확률적으로 계산할 수 있는 통계적 신호전송 채널 분석 방법이 제안되었고^{[1],[2]}, 이는 긴 시간이 걸리는 SPICE 시뮬레이션 대신에 해석적으로 BER을 계산할 수 있는 혁신적인 방법으로서 그 해석 과정을 설명하면 [그림 2]와 같다.

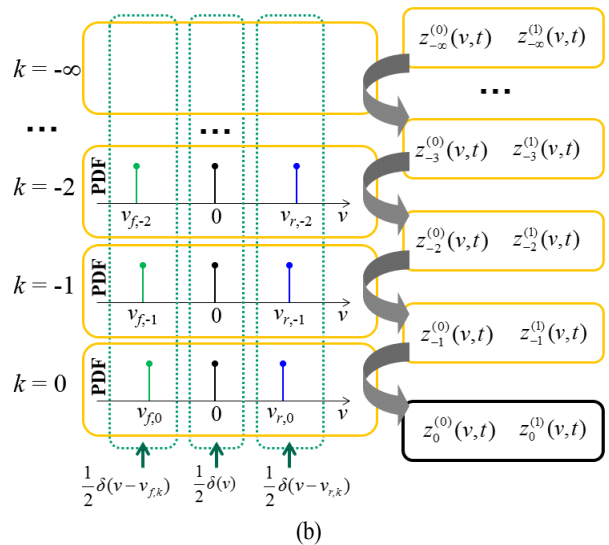
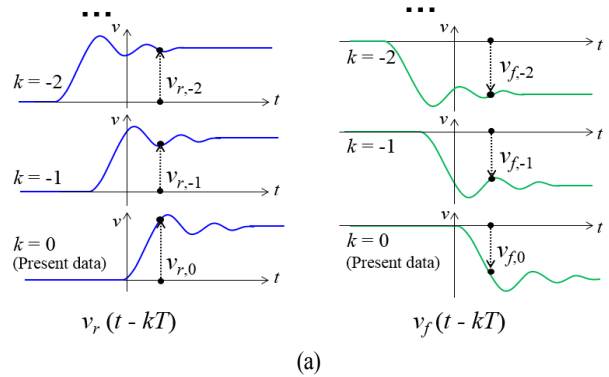
Linear time invariant(LTI) 채널 시스템에서 임의의 random bit sequence의 채널 수신 응답은 [그림 2]와 같이 rising step pulse response와 falling step pulse response의 조합으로 생각할 수 있다. 보통 채널의 응답특성이 저주파수에 비해 고주파수에서 더 큰 attenuation을 가져서, 이전 step response들의 잔여 성분들이 빨리 사라지지 않고 남아 중첩되며, 다음 신호에 간섭을 주고, 이것이 인접신호간의 간섭(ISI)의 원인이 된다. 따라서 ISI 영향을 고려한 수신된 신호의 확률 분포



[그림 2] Random bit sequence의 step response로의 조합

(ISI PDF)를 각 ISI 소스의 발생확률을 convolution하여 재귀적으로 계산할 수 있다. 먼저 [그림 3] (a)에서와 같이 현재($k=0$)와 과거($k<0$)의 bit data에 의한 rising, falling edge response를 추출해 낸다. 여기서 data 속도에 따라 다른 값들이 추출됨을 알 수 있다. 그리고 입력 신호의 0과 1의 발생 확률이 같은 경우에 현재 시간에서 관측되는 0과 1의 수신 전압 확률을 $z_0^{(1)}(v,t)$ 와 $z_0^{(0)}(v,t)$ 로 나타내면 그 식은

$$z_k^{(1)}(v,t) = \frac{1}{2}\delta(v) \times z_{k-1}^{(1)}(v,t) + \frac{1}{2}\delta(v-v_{r,k}) \times z_{k-1}^{(0)}(v,t) \quad (1)$$



[그림 3] (a) 현재($k=0$)와 과거($k<0$)의 bit data에 의한 rising, falling edge response, (b) ISI 영향을 고려한 수신된 신호의 확률 분포(ISI PDF)의 재귀적 연산과정

$$z_k^{(0)}(v,t) = \frac{1}{2}\delta(v) \times z_{k-1}^{(0)}(v,t) + \frac{1}{2}\delta(v-v_{f,k}) \times z_{k-1}^{(1)}(v,t) \quad (2)$$

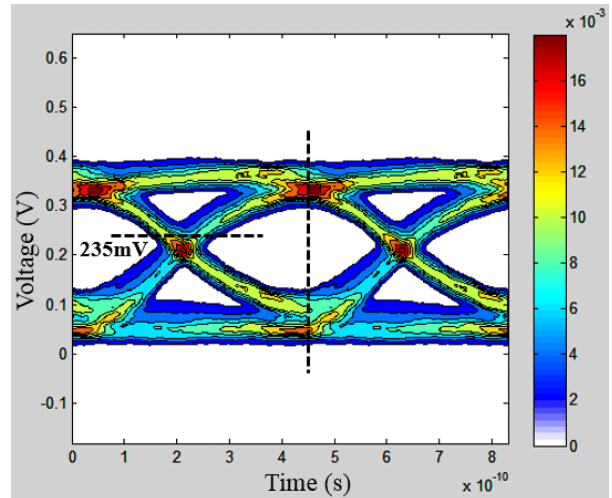
가 된다. 위 식은 k 가 $-\infty$ 에서 0까지 계산되는 재귀연산식이며, k 가 $-\infty$ 에서의 초기 조건은 $z_{-\infty}^{(1)}(v,t) = \frac{1}{2}\delta(v-v_{outH})$ 와 $z_{-\infty}^{(0)}(v,t) = \frac{1}{2}\delta(v-v_{outL})$ 로서, high와 low state의 dc 출력 전압(v_{outH} , v_{outL}) 부분에 동일한 0.5의 확률을 가진다. 이 재귀적 연산과정을 그림으로 나타내면 [그림 3] (b)와 같다.

위 연산과정을 1UI 내 모든 시간 t 에 대하여 반복하여 계산하고, 그 확률을 시간 축에 따라 조합하여 plot하면, 임의의 시간에서 보이는 수신 전압의 확률 분포를 나타낼 수 있다. 이를 확률적(statistical) eye diagram이라 부른다. [그림 4] (a)에 특정한 채널에서 2.4 Gbps의 random bit data 입력에 대하여 [그림 3]의 과정을 거쳐서 계산된 수신 전압의 확률적 eye diagram과 실제 측정된 eye-diagram을 비교하여 나타내었다^[5].

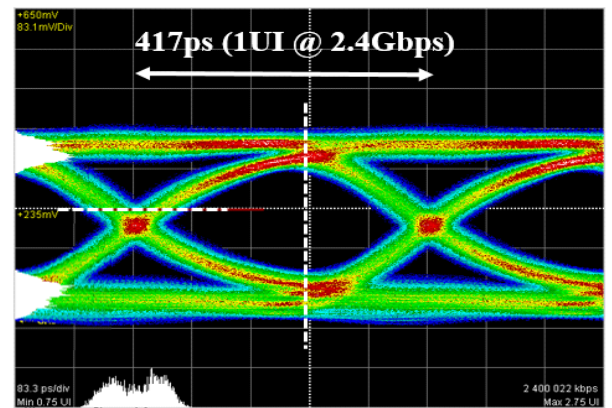
이러한 확률적 해석 과정을 이용하면 오직 채널의 rising step, falling step 응답만으로부터 모든 random bit sequence에 의한 BER를 확률적으로 빠르게 계산할 수 있게 된다. 모든 가능한 입력 데이터를 고려하여 일일이 그에 따른 BER을 시뮬레이션으로 알아내려면 굉장히 오랜 시뮬레이션이 필요한 것에 비해 엄청나게 빠른 속도로 더 정확한 BER을 계산할 수 있다.

IV. Driver단 전력/접지 노이즈도 함께 고려한 BER의 확률적 예측

앞에서 채널의 고주파 대역 attenuation에 의해 발생하는 ISI를 고려한 수신 신호의 확률적 분포를 고려하였다. 하지만 [그림 5]에 나타난 바와 같이, ISI 외에 driver단의 전력/접지 분배망 노이즈에 의해서도 수신 신호의 불확실성이 매우 커질 수 있어 이러한 영향도 해석에 포함하여야 한다. [그림 6]에 특정 IC와 채널 구조에서 수신단 기준이 되는 PCB 접지전압에 대하여 transmitter 내부의 전력/접지 전압의 흔들림을 micro probing 측정을 이용하여 정밀하게 추출

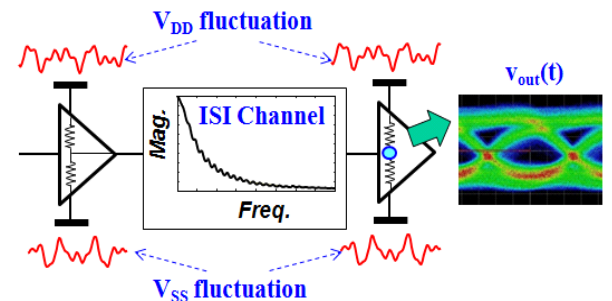


(a) ISI PDF로부터 계산된 확률적 eye diagram

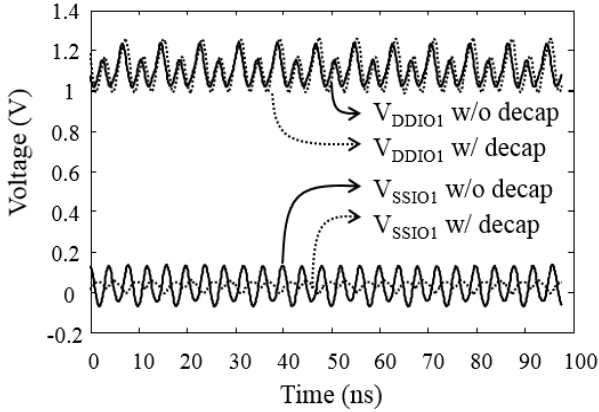


(b) 측정된 eye diagram.

[그림 4] 특정채널 2.4 Gbps 속도에서 (a) ISI PDF로부터 계산된 확률적 eye diagram과 (b) 측정된 eye diagram



[그림 5] 채널 ISI와 driver단 전력/접지 노이즈에 의한 수신 전압의 불확실성



[그림 6] 측정으로부터 추출된 PCB 접지전압 기준에 대한 on-chip 전력/접지 전압 흔들림

한 파형을 나타내었다. PCB상 decoupling capacitor의 유무에 따라 추출된 노이즈 형태가 상당히 다를 수 있다.

이러한 driver on-chip 전력/접지 노이즈를 기준으로 transmitter단 출력 driver의 pull-up/pull-down transition 시간에 따라 driver단의 전력/접지 노이즈가 다르게 수신단으로 전달되어 가게 된다. 이 때 data transition은 전력/접지 노이즈 timing에 대해 임의의 시간에 일어날 수 있으므로 전력/접지 노이즈 전압에 대한 transmitter driver의 응답은 transition 시간에 대한 함수로 나타난다. 전력/접지 노이즈에 의한 수신 전압의 흔들림이 입력 스위칭 시간에 대한 함수로 얻어지게 되면, 그로부터 수신 전압 흔들림의 확률 밀도 함수(Probability Density Function; PDF)를 해석적으로 계산할 수 있다 [3][4]. 만약 출력 driver의 스위칭이 전력/접지 노이즈 파형의 형태와 연관이 없이 언제든지 동일한 확률로 발생할 수 있다면, 스위칭의 확률 분포는 긴 시간에 걸쳐 일정한 값으로 생각할 수 있다. 수학적으로 확률변수 Y 가 다른 확률변수 X 의 함수로 주어지면, Y 의 PDF $f_Y(y)$ 는 X 의 PDF $f_X(x)$ 로서 아래와 같이 나타낼 수 있다.

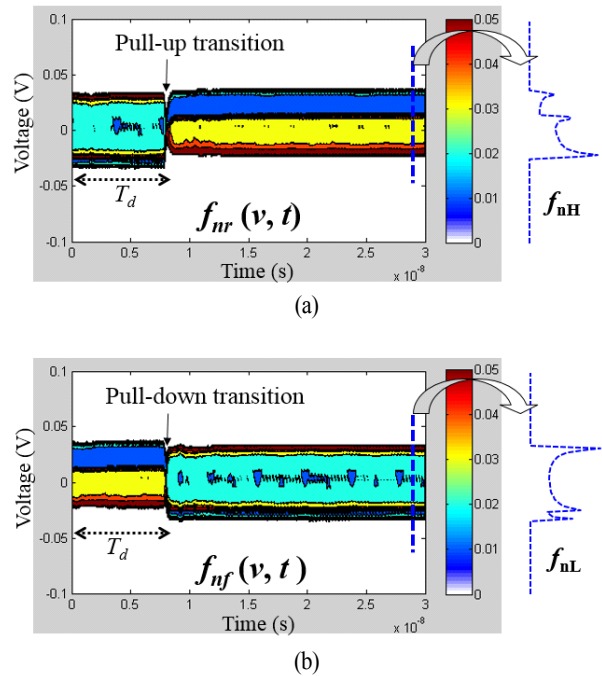
$$f_Y(y) = \frac{f_X(x_1)}{|dy/dx|_{x=x_1}} + \frac{f_X(x_2)}{|dy/dx|_{x=x_2}} + \dots + \frac{f_X(x_k)}{|dy/dx|_{x=x_k}} \quad (3)$$

여기서 x_1, x_2, \dots, x_k 는 확률변수가 Y 가 y 값을 가질 때 확

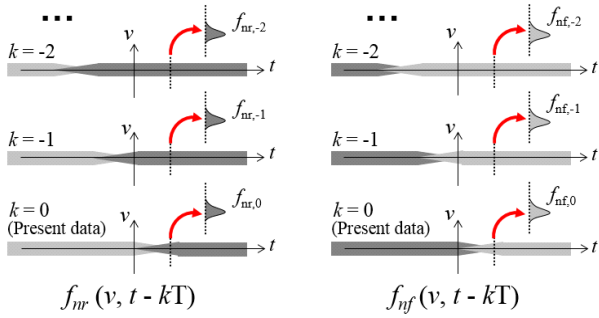
률변수 X 의 값을 나타낸다. 즉, 수신전압 fluctuation의 값 y 를 그 최소값에서 최대값으로 변화시키면서 그에 해당하는 입력 스위칭 시간 x_1, x_2, \dots, x_k 값들과 그때마다 y 의 도함수를 계산하면, 그로부터 수신전압 fluctuation의 PDF $f_Y(y)$ 를 식 (3)을 이용하여 수치적으로 계산해낼 수 있다.

특정 시간 t 에서 입력 스위칭 시간에 대한 수신전압의 함수로부터 그 시간에서 수신되는 전압의 PDF가 얻어지고, 이를 매 시간 t 마다 반복하면 전력/접지 전압에 의한 출력 전압의 PDF(power supply induced PDF, PSI-PDF)가 얻어진다. [그림 7]에 [그림 6] 전력/접지 노이즈에 의한 pull-up과 pull-down에서의 PSI-PDF(f_{nLH}, f_{nHL})의 예시를 plot하였다.

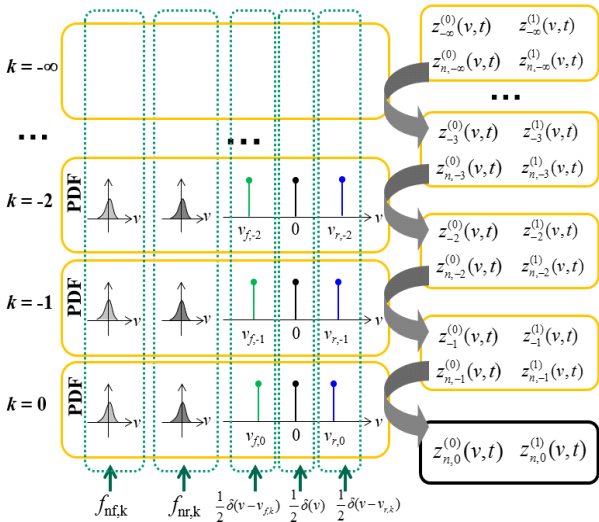
이 전력/접지 전압에 의한 출력 전압의 PDF(PSI-PDF)는 앞 절에서 소개한 ISI PDF 계산과정을 확장하여 효율적으로 합쳐질 수가 있다[5]. 그 과정은 다음과 같다. 먼저 ISI PDF 계산을 위해서 [그림 3] (a)에서와 같이 현재와 과거의 step response를 이용한 바와 같이, 현재와 과거의 data transition에서 관찰되는 PSI-PDF를 [그림 8] (a)에서와 같이 추출해 낸다. 그 후 재귀적 convolution 연산 식 (1)과 (2)가 현재 상태를 만드는 모든 가능한 data transition의 PSI-PDF를 포함하도록



[그림 7] Pull-up과 pull-down에서의 PSI-PDF(f_{nLH}, f_{nHL})



(a)



(b)

[그림 8] (a) 현재(k=0)와 과거(k<0)의 bit data에 의한 rising, falling transition에서 driver단 전력/접지 전압에 의한 출력 전압의 PDF(PSI-PDF), (b) ISI 영향과 driver단 전력/접지 노이즈 전압의 영향을 동시에 고려한 수신된 신호의 확률 분포 계산 과정

확장한다. ISI PDF와 PSI-PDF를 모두 포함하는 0과 1의 수신 전압 PDF를 각각 $z_{n,0}^{(1)}(v,t)$ 와 $z_{n,0}^{(0)}(v,t)$ 라고 하면, 이 역시 아래와 같이 k 가 $-\infty$ 에서 0까지 재귀연산 식으로 나타낼 수 있다.

$$z_{n,0}^{(1)}(v,t) = \frac{1}{2}\delta(v) \times z_{n,k-1}^{(1)}(v,t) + \frac{1}{2}\delta(v-v_{r,k}) \times z_{n,k-1}^{(0)}(v,t) \times f_{nr,k} \quad (4)$$

$$z_{n,0}^{(0)}(v,t) = \frac{1}{2}\delta(v) \times z_{n,k-1}^{(0)}(v,t) + \frac{1}{2}\delta(v-v_{f,k}) \times z_{n,k-1}^{(1)}(v,t) \times f_{nf,k} \quad (5)$$

여기서 $z_{k-1}^{(1)}(v,t)$ 와 $z_{k-1}^{(0)}(v,t)$ 는 앞서 식 (1), 식 (2)로부터 주어진다. 또한 PSI-PDF까지 포함된 상태에서 k 가 $-\infty$ 에서의 초기 조건은 다음과 같이 주어진다.

$$z_{n,-\infty}^{(1)}(v,t) = \frac{1}{2}\delta(v-v_{outH}) \times f_{nH}$$

$$z_{n,-\infty}^{(0)}(v,t) = \frac{1}{2}\delta(v-v_{outL}) \times f_{nL}$$

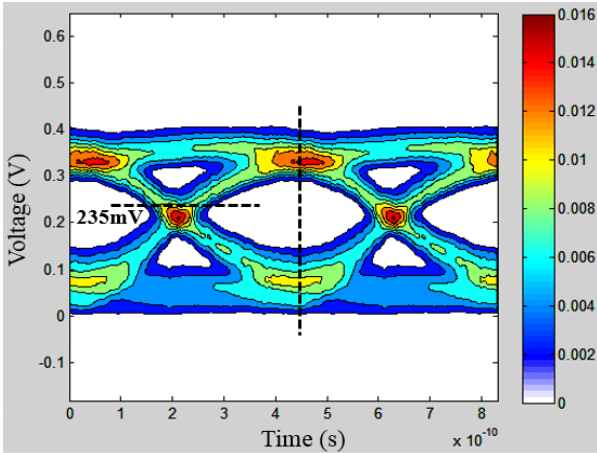
ISI PDF와 PSI-PDF의 영향을 함께 고려하여 수신 전압 PDF를 계산하는 전체 과정을 다시 도시하면 [그림 8] (b)와 같다. 여기서 주의할 점은 최종 출력 $z_{n,0}^{(1)}(v,t)$ 와 $z_{n,0}^{(0)}(v,t)$ 를 계산하기 위해서는 $z_{n,k}^{(1)}(v,t)$, $z_{n,k}^{(0)}(v,t)$, $z_k^{(1)}(v,t)$, $z_k^{(0)}(v,t)$ 를 0보다 작은 k 에 대하여 모두 계산하여야 한다는 것이다.

2.4 Gbps data rate로 앞에서 사용한 특정 채널 조건에서 확률적 ISI PDF와 PSI-PDF를 함께 고려한 출력 신호의 PDF를 계산하여, 앞 절에서 보인 방식대로 계산된 확률적 eye diagram과 측정된 eye diagram을 비교하면 [그림 9]와 같다. [그림 4]의 eye diagram들과 비교하여 보면 eye opening이 driver 단의 전력/접지 노이즈에 의해 상당히 줄어들었음을 알 수 있다. 기존 ISI만을 고려한 확률적 해석 과정은 채널의 ISI만에 의한 채널 불확실성만을 포함하여 실제 채널 분석에 적용할 때 한계가 있었음에 비해, driver단 전력/접지 노이즈의 영향까지 고려한 확률 해석 과정을 이용하게 되면 더욱 실제적인 eye-diagram을 빠르게 얻을 수 있게 된다.

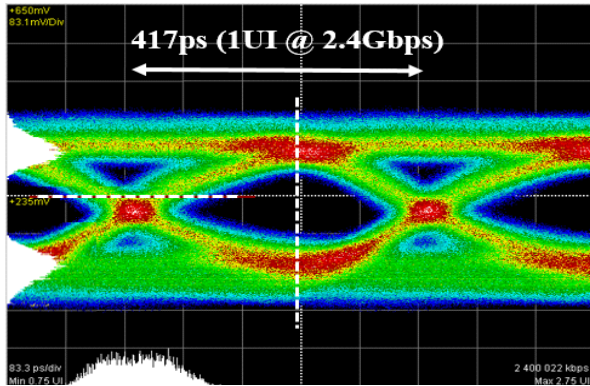
계산된 확률적 eye-diagram으로부터 BER bathtub curve를 각 reference voltage V_{REF} 레벨에 대하여 아래 식과 같이 계산할 수 있다.

$$BER(v_{REF}) = 0.5P(v_{out} < v_{REF} | b_m = 1) + 0.5P(v_{out} > v_{REF} | b_m = 0)$$

여기서 b_m 은 1이나 0의 올바른 data state를 나타낸다. [그림 4]와 [그림 9]에 수직 점선으로 표시된 특정 sampling time에서 계산된 BER bathtub curve를 세 가지 경우(ISI



(a) ISI PDF와 PSI-PDF를 함께 고려하여 계산된 확률적 eye diagram



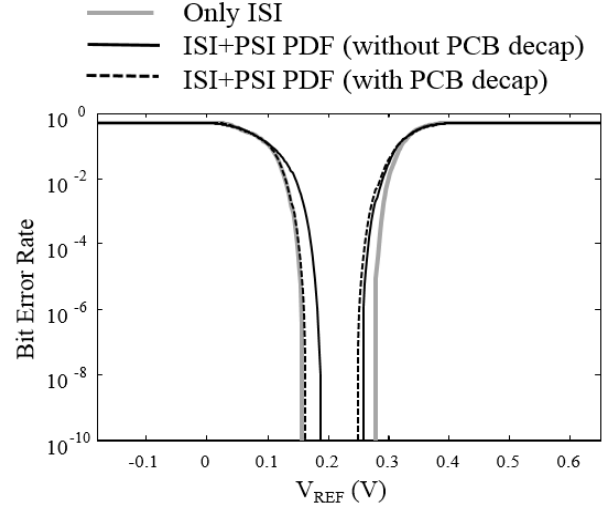
(b) 측정된 eye diagram

[그림 9] 특정채널 2.4 Gbps 속도에서 (a) ISI PDF와 PSI-PDF를 함께 고려하여 계산된 확률적 eye diagram과 (b) 측정된 eye diagram

만 고려, PCB decap 없는 상태에서 ISI와 PSI PDF 모두 고려, PCB decap 있는 상태에서 ISI와 PSI PDF 모두 고려)에 대해서 함께 plot하면 [그림 10]과 같다. 특정 BER 레벨에서 전력/접지 노이즈에 의해 eye opening이 상당히 줄어들음을 알 수 있고, PCB decap이 없을 경우에 줄어드는 폭이 더 큼을 알 수 있다.

V. 맺음말

시스템이 고속 고집적화 되어감에 따라 signal integrity 문



[그림 10] 3가지 경우에 대해 계산된 bathtub 커브. ISI효과만 고려, ISI와 전력전압 노이즈 효과를 동시 고려 (각 PCB de-cap이 있을 경우/ 없을 경우)

제는 점점 더 중요해지고 있으며, BER은 고속 신호 전송 채널의 특성을 나타내는 궁극적 지표로서 정확한 예측이 매우 중요하다. 하지만 회로레벨 SPICE 시뮬레이션으로 모든 data 조합을 고려하여 BER을 얻어내려면 매우 오랜 시간 시뮬레이션을 해야 하며, 확률적으로 ISI PDF를 계산하여 BER을 계산하는 방법이 필요하다. 본고에서는 고속 신호전송 시 Bit Error Rate(BER)의 확률적 예측기술 두 가지에 대하여 소개하였다. ISI PDF 해석을 통한 BER 계산 방법과 이에 추가로 driver 단의 전력/접지 노이즈까지 함께 고려하는 이론적 방법을 소개하였다. 새로운 디자인 specification에 빠르게 효율적으로 대처하고, 우리나라가 세계 제일의 메모리 반도체 생산 수출 국가 위상을 지속적으로 유지하기 위해서는 고속 신호전송 시 발생하는 bit error의 정확한 확률적 예측 및 해석 기술개발이 지속적으로 이루어져야 할 것이다.

참고 문헌

- [1] B. K. Casper, M. Haycock, and R. Mooney, "An accurate and efficient analysis method for multi-Gbps chip-to-chip signaling schemes", *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pp. 54-57, Jun. 2002.

- [2] D. Oh, *High-Speed Signaling : Jitter Modeling, Analysis, and Budgeting*, Chap. 8, Prentice Hall, 2011.
- [3] J. Kim, J. Lee, S. Cho, C. Hwang, C. Yoon, and J. Fan, "Analytical probability density calculation for step pulse response of a single-ended buffer with arbitrary power-supply voltage fluctuations", *IEEE Transactions on Circuits and Systems I*, 61(7), pp. 2022-2033, Jul. 2014.
- [4] E. Park, H. Kim, J. Shim, Y. Kim, Y. Kim, and J. Kim, "Analytical calculation of jitter probability density at multi-stage output buffers due to supply voltage fluctuations", *IEEE Transactions on Electromagnetic Compatibility*, 57(4), pp. 796-806, Aug. 2015.
- [5] J. Kim, J. Lee, E. Park, and Y. Park, "An enhanced statistical analysis method for I/O links considering supply voltage fluctuations and inter-symbol-interference", *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 5(8), pp. 1129-1141, Aug. 2015.

≡ 필자소개 ≡

김진국



2000년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)

2002년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)

2006년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)

2006년 7월~2008년 12월: 삼성전자 DRAM 설계팀 책임연구원

계팀 책임연구원

2009년 1월~2011년 7월: Missouri S&T EMC Lab. 포닥연구원

2011년 8월~2015년 8월: 울산과학기술원 조교수

2015년 9월~현재: 울산과학기술원 부교수

[주 관심분야] High-Speed I/O Design, EMC, ESD, Signal Integrity