

초고속 신호무결성을 위한 수동 이퀄라이저의 설계 및 구현

송 익 환

광운대학교 전자통신공학과

I. 서 론

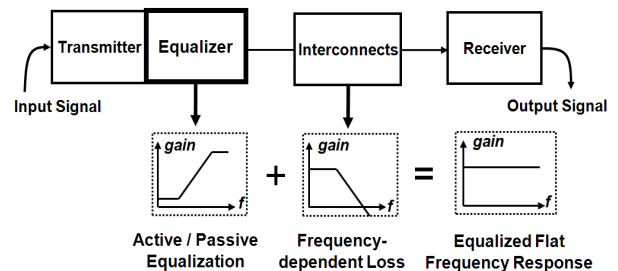
최근 고속신호 전송을 위해 각광을 받고 있는 고속 직렬 인터페이스(High-speed serial interface)는 높은 전자기적, 기구적 신뢰성을 바탕으로 기존의 병렬 인터페이스(Parallel interface)를 빠르게 대체해 왔다<sup>[1]</sup>. 직렬화된 인터페이스 구조를 통해 기존 병렬 구조에서의 데이터 대역폭(Data bandwidth)을 유지하기 위해 디지털 신호의 데이터 레이트(Data rate)는 기하급수적으로 증가해 왔으며, 이 경향성은 최근 전자기기의 고성능 컴퓨팅 및 다기능화(Multi-functionality)에 대한 시장의 요구와 접목하여 가속화되고 있다. 이렇게 고속화된 디지털 신호는 주파수 의존 손실(Frequency-dependent loss)로 인해 크게 손상되어 디지털 심볼 간 간섭(Inter-symbol interference)을 발생시키고, 이는 시간축에서 디지털 신호의 파형을 왜곡시킴으로써 신호무결성(Signal integrity)의 열화와 함께 전체 고속 직렬링크의 비트 에러율(Bit error rate)을 증가시키게 된다<sup>[2]</sup>.

이를 해결하기 위해, 주파수 의존 손실을 보상하여 디지털 신호의 파형을 복원하는 채널 평탄화(Channel equalization) 기술에 대한 연구가 활발히 이루어져 왔으며, 현재 대부분 고속 직렬 인터페이스에 적용되고 있다(그림 1)<sup>[3]</sup>. 다양한 채널 평탄화 기술 중, 능동 이퀄라이저(Active equalizer)는 능동 이득(Active gain)를 가지고 실리콘 칩 내부에 회로로 실장하기 용이하다는 장점을 가지고 있다. 그러나 능동 소자의 특성상 필연적으로 전원을 소모하게 되고, 실리콘 공정에 따라 활용 가능한 대역폭이 제한적이라는 단점이 있다<sup>[4]</sup>. 반면, 수동 소자를 이용한 수동 이퀄라이저(Passive equalizer)는 능동 이득을 갖지 못한다는 단점이 있으나, 전력을 소모하지 않고 상대적으로 광대역 평탄화 성능을 가지는 장점을 바탕으로 저전력 시스템 설계 및 초고속 인터커넥트 성능 최적화에 활용되고 있다<sup>[5]</sup>. 수동 이퀄라이저는 주로 패키지(Package) 및 인쇄회로기판(Printed circuit board)에 단일 수동 소자(Lumped passive component)를 이용하여 구현되며, 반도체 내 실장

되는 능동 이퀄라이저에 비해 설계가 간편하고, 사후 조정(Tuning)이 가능하다는 장점도 가지고 있다. 그러나 데이터 레이트가 지속적으로 증가함에 따라, 기존에 무시할 수 있었던 단일 수동 소자 내에 존재하는 다양한 기생성분(Parasitics)이 고주파 특성을 보이게 되면서 구현 가능한 대역폭의 한계에 이르게 되었다<sup>[6]</sup>.

본 고에서는 이런 문제점을 해결하고, 10 Gbps 이상의 초고속 디지털 신호를 복원할 수 있는 수동 이퀄라이저의 설계 및 구현에 대해 소개하고자 한다. 단일 수동 소자가 가지는 태생적인 기생성분을 최소화하기 위하여 분산 수동 소자(Distributed passive component)로 설계되고, 근단혼선(Nearend crosstalk) 및 반사현상(Reflection)을 이용한 수동 이퀄라이저에 대해 소개한다<sup>[7]</sup>. 더불어 그 이상의 대역폭 구현을 위하여 단일 수동 소자 내의 기생성분을 최소화 하는 것이 아니라, 역으로 고성능의 설계 소자로서 활용하여 구현된 초고속 수동 이퀄라이저에 대해 추가로 소개한다<sup>[8]</sup>. 소개된 수동 이퀄라이저 설계 및 구현기술을 적용하여 각각 12.5 Gbps, 30 Gbps의 데이터 레이트를 가지는 초고속 디지털 신호에 대해 성공적으로 파형을 복원함으로써, 적용 전 대비 크게 개선된 시간 및 전압 마진을 확보함을 실험적으로 검증하였다.

II. 근단혼선 및 반사현상을 이용한 수동 이퀄라이저



[그림 1] 이퀄라이저를 이용한 채널 평탄화 개념도

2-1 근단혼선(Near-end Crosstalk)과 반사현상(Reflection)

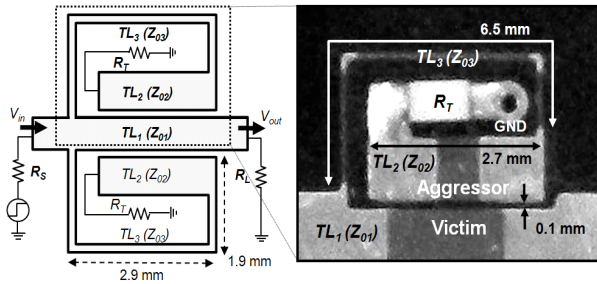
[그림 2]는 제안된 수동 이퀄라이저의 구조도 및 인쇄회로기판 위에 실 제작된 사진을 보여주고 있다. 제작된 수동 이퀄라이저는 위아래 대칭적인 구조를 가지고 있으며, 각 부분은 특성 임피던스  $Z_{01}$ ,  $Z_{02}$ ,  $Z_{03}$ 를 가지는 세 개의 전송선  $TL_1$ ,  $TL_2$ ,  $TL_3$ 로 구성된다.  $TL_2$ 와  $TL_3$ 의 길이를 나타내는  $l_{NEXT}$ 와  $l_{REFL}$ 는 각각 2.7 mm와 6.5 mm로 설계되었다.  $TL_2$  (Aggressor)와  $TL_1$  (Victim)는 0.1 mm 간격으로 매우 근접하게 설계되어 두 전송선 사이에 근단혼선을 일으킨다.  $Z_{01}$ 와  $Z_{02}$ 는 50 Ω으로 설계되었고,  $TL_1$ 의 양단과  $TL_2$ 는 각각  $R_S$ ,  $R_L$ 와  $R_T$ 로 종단 처리되었다. 추가적으로,  $Z_{03}$ 는  $TL_3$  양단에서 의도적인 반사현상을 일으키기 위해 선택적으로 조정되고, 신호의 진행 방향에 따라 3개의 연결점(Junction 1,2,3)이 형성된다. 각 연결점  $i$ 에서 신호는 반사계수  $\Gamma_i$ , 전달계수  $T_i$ 에 따라 일부는 반사되고, 나머지는 진행한다.

$$\Gamma_1 = \frac{Z_{01} \parallel Z_{03} - Z_{01}}{Z_{01} \parallel Z_{03} + Z_{01}} \quad T_1 = \Gamma_1 + 1 \quad (1a)$$

$$\Gamma_2 = \frac{Z_{02} - Z_{03}}{Z_{02} + Z_{03}} \quad T_2 = \Gamma_2 + 1 \quad (1b)$$

$$\Gamma_3 = \frac{Z_{01} \parallel Z_{01} - Z_{03}}{Z_{01} \parallel Z_{01} + Z_{03}} \quad T_3 = \Gamma_3 + 1 \quad (1c)$$

$l_{NEXT}$ 와  $l_{REFL}$ 는 식 (2)에 따라 결정되며,  $v_p$ 는 전송선에서 신호의 전달속도를 나타낸다.  $l_{REFL}$ 는  $\Delta t_{REFL}$ 가 데이터 레이트의 역수인 비트주기(Bit period)인  $t_{bit}$ 와 동일하도록 결정되며,



[그림 2] 근단혼선 및 반사현상을 이용한 수동 이퀄라이저

$l_{NEXT}$ 는 주어진 설계자유도 내에서 최대한 긴 값으로 결정된다.

$$l_{REFL} = v_p \Delta t_{REFL} / 2 = v_p t_{bit} / 2 \quad (2a)$$

$$l_{NEXT} = v_p \Delta t_{NEXT} / 2 \quad (2b)$$

위와 같이 설계된 수동 이퀄라이저는 디지털 신호에 대해 크게 두 가지의 파형 형성과정을 수행하게 된다. 첫 번째는 연결점 2에서 발생하는 프리 앰퍼시스(Pre-emphasis)이다 ([그림 3] (a)). 신호 소스로부터 발생되어  $TL_1$ 으로 입사된 신호  $V_{in}$ 은 연결점 1을 만나면서  $V_{T1}$ 의 값으로  $TL_1$ 과  $TL_3$ 로 전파된다.  $TL_3$ 로 진행하는  $V_{T1}$ 은  $\Delta t_{REFL} / 2$ 의 시간 이후 연결점 2를 만나게 되고, 이를 통과하면서 종단처리저항  $R_T$ 를 만나기까지  $TL_2$ 에 근단혼선을 발생시키게 된다. 이 근단혼선은 결국 주 신호선인  $TL_1$ 에 신호의 비트주기만큼의 프리앰퍼시스 파형을 형성하게 된다. 이 과정은 식 (3)~(5)에 나타나 있으며, 이때 혼선계수  $k_{NEXT}$ 는  $TL_1$ 과  $TL_2$ 의 even 및 odd 모드 임피던스로 표현된다<sup>[9]</sup>.

$$V_{T1} = T_1 V_{in} \quad (3a)$$

$$V_{T2} = T_2 V_{T1} = T_1 T_2 V_{in} \quad (3b)$$

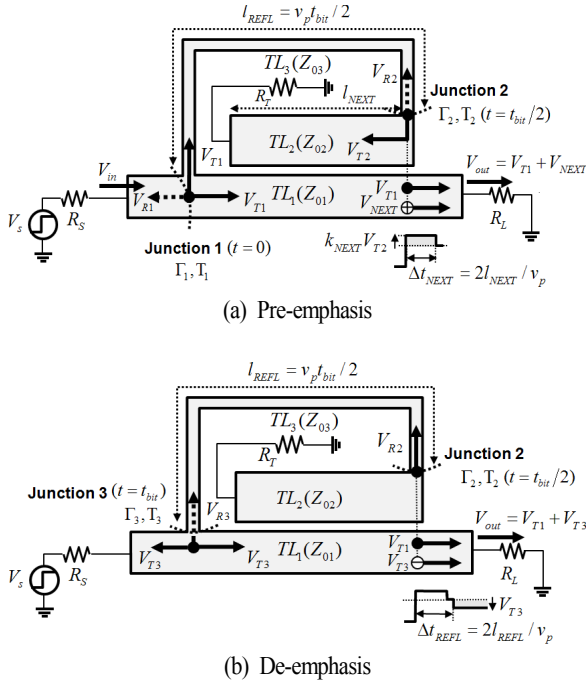
$$V_{NEXT} = k_{NEXT} V_{T2} \quad (3c)$$

$$k_{NEXT} = \left( \frac{Z_{01even}}{Z_{01} + Z_{01even}} - \frac{Z_{01odd}}{Z_{01} + Z_{01odd}} \right) \quad (4)$$

$$V_{out|at t=0} = 0 \quad (5a)$$

$$\begin{aligned} V_{out|at t=t_{bit}/2} &= V_{out|at t=\Delta t_{REFL}/2} = V_{T1} + V_{NEXT} \\ &= V_{T1} + k_{NEXT} V_{T2} \end{aligned} \quad (5b)$$

두 번째 파형 형성과정은 연결점 2에서 발생하는 디 앰퍼시스(De-emphasis)이다([그림 3] (b)). 연결점 2에서 반사된 신호  $V_{R2}$ 는 다시 연결점 3로 회귀하게 된다. 이때 연결점 2에서의 반사계수는 음수이므로, 연결점 3을 지나  $TL_1$ 으로 전파



[그림 3] 제안된 수동 이퀄라이저의 두 가지 파형 형성과정

된 신호는 최종 출력신호  $V_{out}$ 을 감쇄시키게 된다. 이 과정은 식 (6), (7)에 나타나 있으며, 연결점 2와 3사이에서 발생하는 다중반사현상은 전송선의 손실과 각 연결점의 반사계수에 의해 급격히 소모되어 사라지게 된다.

$$V_{R2} = \Gamma_2 V_{T1} = T_1 \Gamma_2 V_{in} \quad (6a)$$

$$V_{T3} = T_3 V_{R2} = T_1 \Gamma_2 T_3 V_{in} \quad (6b)$$

$$V_{out|at t=3t_{bit}/2} = V_{out|at t=3\Delta t_{REFL}/2} = V_{T1} + V_{T3} \quad (7)$$

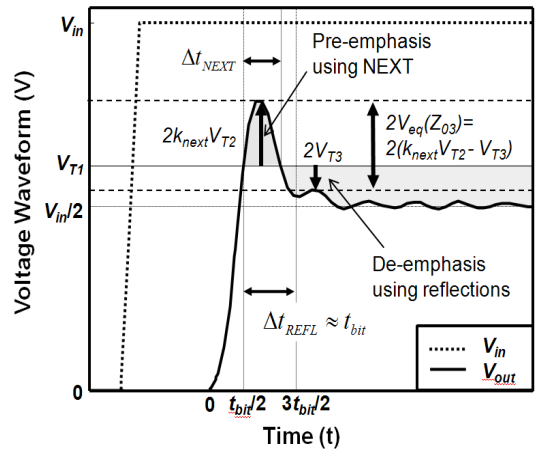
앞서 기술한 대로, 제안된 수동 이퀄라이저의 성능 최적화를 위하여  $Z_{03}$ 의 조정이 필요하며, 이 조정의 목적은 식 (5b)의 프리 앰퍼시스와 식 (7)의 디 앰퍼시스 사이의 차이를 최대화하는 데 있다. 이 차이는 식 (8)에  $V_{eq}$ 로 표현되며, 이는 최종 출력신호의 아이 다이어그램(Eye-diagram)의 전압마진을 결정하게 된다<sup>[10]</sup>.  $Z_{03}$ 는  $dV_{eq}(Z_{03})/dZ_{03}=0$ 의 조건으로 결정되며, 제작된 구조의 혼선계수  $k_{NEXT}=0.13$ 에 대해 108  $\Omega$ 으로 결정되었다.

$$\begin{aligned} V_{eq}(Z_{03}) &= V_{out|at t=t_{bit}/2} - V_{out|at t=3t_{bit}/2} \\ &= V_{NEXT} - V_{T3} \\ &= T_1 V_{in} (T_2 k_{NEXT} - \Gamma_2 T_3) \end{aligned} \quad (8)$$

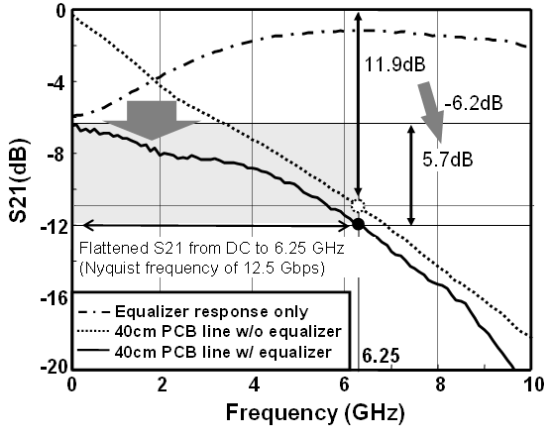
[그림 4]는 제안된 수동 이퀄라이저의 계단 응답(Step response)를 보여주고 있다. [그림 2]에서 확인하였듯이, 실 제작된 수동 이퀄라이저는 주 신호선 위아래 대칭적 구조로 2개가 적용되어 최종적으로  $V_{eq}$ 를 두 배로 증가시키는 효과를 얻었다.

제안된 수동 이퀄라이저의 검증을 위하여, 주파수 도메인과 시간 도메인에서의 측정이 수행되었다. [그림 5]는 인쇄 회로기판 위에 설계된 40 cm 길이의 고속 신호선에 대해 제안된 수동 이퀄라이저 유무에 따른 삽입손실(Insertion loss)를 보여주고 있다. 적용 후, 목표 데이터 레이트인 12.5 Gbps의 나이퀴스트 주파수(Nyquist frequency)인 6.25 GHz에서 삽입손실이 6.2 dB 평탄화됨을 실 측정으로 확인하였다. [그림 6]에서는 시간축에서 제안된 수동 이퀄라이저 유무에 따른 아이 다이어그램을 보여주고 있다. 입력 신호의 크기와 데이터 레이트는 각각 500 mV와 12.5 Gbps이며, 20 GHz의 샘플링 레이트를 가지는 샘플링 오실로스코프로 측정하였다. 제안된 수동 이퀄라이저를 적용하여 전압 및 시간마진을 적용 전 대비 각 60.6 % 및 214.6 %만큼 성공적으로 개선되었음을 확인하였다.

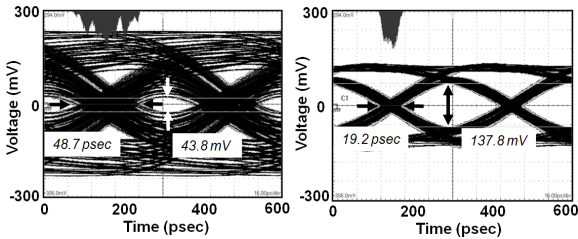
본 장에서 소개한 수동 이퀄라이저는 기본적으로 단일



[그림 4] 제안된 수동 이퀄라이저의 계단응답



[그림 5] 제안된 수동 이퀄라이저 유무에 따른 삽입손실

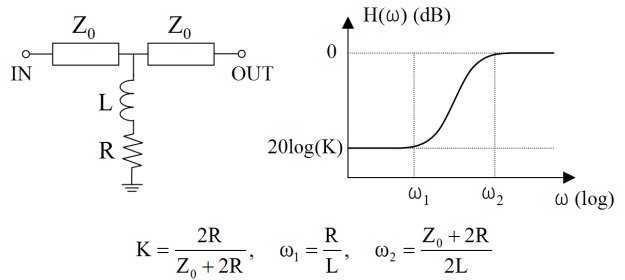


[그림 6] 제안된 수동 이퀄라이저 유무에 따른 아이디어그림

수동소자가 아닌 분산 수동소자를 사용하여 설계되어 기생성분의 영향을 최대한으로 제한하고, 근단혼선과 반사현상의 전자파 현상을 파형 형성과정에 적용함으로써 고속 디지털 신호를 복원하는 과정을 수행하도록 설계되었다.

### Ⅲ. 기생성분을 이용한 수동 이퀄라이저

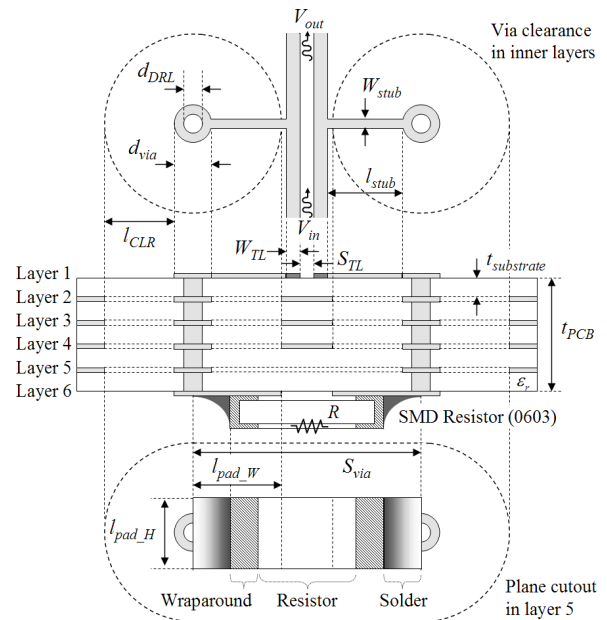
본 장에서는 수동 이퀄라이저의 대역폭을 보다 더 개선하기 위해 인쇄회로기판의 기생성분을 이용한 수동 이퀄라이저에 대해 소개한다. [그림 7]은 인덕터와 저항으로 구성된 간단한 L-R 수동 이퀄라이저의 도면과 주파수 응답을 보여주고 있다. 이 수동 이퀄라이저는 기본적으로 DC 응답이 고정된 하이패스필터(High-pass filter) 형태이며, 고주파에서의 주파수 의존손실을 저주파 대역 대비 상대적으로 보상함으로써 디지털 신호의 파형을 복원한다. 하지만 이를 단일수동소자로 구현할 경우, 각 수동소자 및 실장패턴에 존재하는 기생성분으로 인해 대역폭이 제한된다는 문제가 있다. 이를



[그림 7] 인덕터-저항으로 구성된 L-R 수동 이퀄라이저

개선하기 위하여 제안된 수동 이퀄라이저는 기생성분을 역으로 인덕터, 커패시턴스의 설계소자로 활용함으로써 동작 대역폭을 크게 개선하였다.

[그림 8]은 제안된 수동 이퀄라이저의 위, 옆, 아래 구조를 보여주고 있으며, 각 부분의 설계값은 <표 1>에 정리되었다. 기본적으로 제안된 수동 이퀄라이저는 두 개의 스텝(Stub), 두 개의 비아(Via), 그리고 하나의 표면실장(Surface mount) 저항으로 구성된다. 좌우 대칭형으로 차동 신호선(Differential transmission line) 구조에 적용하도록 설계되었다. 비아의 각 양단은 스텝과 표면실장저항의 한쪽 끝과 연결되며, 스텝은 비아와 차동신호선을 연결하게 되는 구조이다.



[그림 8] 기생성분을 이용한 수동 이퀄라이저

<표 1> 제안된 수동 이퀄라이저의 설계치 (단위: mm)

$W_{TL}$	0.20	$d_{via}$	0.4	$t_{PCB}$	1.072
$S_{TL}$	0.12	$d_{DRL}$	0.2	$S_{via}$	2.600
$W_{stub}$	0.10	$l_{CLR}$	0.8	$l_{pad\_W}$	0.965
$l_{stub}$	0.84	$t_{sub}$	0.2	$l_{pad\_H}$	0.762

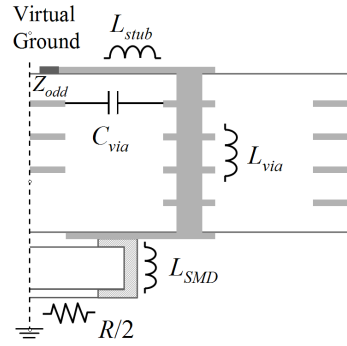
비아의 Clearance  $l_{CLR}$ 과 비아 패드의 지름  $d_{via}$ , 그리고 인쇄회로 기판의 두께  $t_{PCB}$ 는 비아 커패시턴스를 결정한다(식 9)<sup>[11]</sup>. 제안된 구조에서는 비아의 Clearance를 차동신호선의 회귀전류경로(Return current path)를 침범하지 않는 범위 내에서 최대로 크게 설계하였다. 이렇게 최대로 설계된 비아 Clearance는 모든 내층에 적용되어 비아의 커패시턴스를 최소화함과 동시에, 비아를 인덕턴스 소자로 활용할 수 있도록 하였다(식 10)<sup>[12]</sup>. 또한, 비아 Clearance는 스텝의 회귀전류경로를 방해하여 스텝의 인덕턴스  $L_{stub}$ 를 증가시키는 역할을 한다.

$$C_{via} \approx \frac{56.4\epsilon_r d_{via} t_{PCB}}{2l_{CLR}} \text{ [pF]} \quad (9)$$

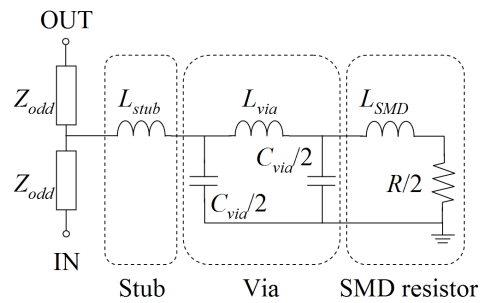
$$L_{via} \approx 203.2t_{PCB} \ln\left(\frac{S_{via}}{d_{DRL}/2}\right) \text{ [nH]} \quad (10)$$

제안된 수동 이퀄라이저의 DC 응답을 구현하기 위해 표면실장 저항이 사용되었다. [그림 8]에서 확인할 수 있듯이, 표면실장 저항은 기본적으로 양단에 소자의 표면실장을 위한 단자(Wraparound)가 존재한다. 이 단자는 GHz 영역의 고주파에서 기생 인덕터인  $L_{SMD}$ 로 동작하며, 표면실장 저항과 직렬로 연결된다. 이 기생 인덕터를 설계소자로 활용할 수 있을만큼 증가시키기 위하여 실장패드 상단의 접지면(Ground plane)을 제거하였다.

[그림 9]는 제안된 수동 이퀄라이저의 구조도 및 회로도를 보여주고 있다. 차동 전송선으로 입력되는 신호가 완벽한 차동 신호라는 가정아래, 제안된 구조는 가상접지(Virtual ground)를 기준으로 대칭을 이루는 하나의 미러구조로 표현된다. 제안된 구조에서는  $L_{stub}$ ,  $L_{via}$ ,  $L_{SMD}$  3종류의 기생 인덕턴스가 존재하며, 표면실장 저항의 반을 지나 가상접지와



(a) 구조도



(b) 회로도

[그림 9] 기생성분으로 설계된 수동 이퀄라이저

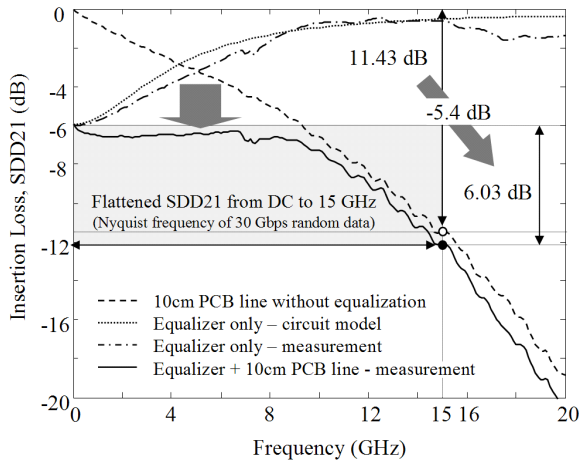
연결된다.  $C_{via}$  및  $L_{via}$ 는 식 (9), (10)으로 계산되었으나, 기생 인덕턴스  $L_{stub}$ ,  $L_{SMD}$ 는 그 구조의 복잡성으로 인하여 3차원 필드해석 시뮬레이션을 통하여 추출하였다. 비아의 회로모델로서 pi 모델이 사용되었으며, 저항은 DC에서 -6 dB의 삽입손실을 가지도록 50 Ω으로 결정되었다. 회로모델의 성분은 <표 2>에 정리하였다.

[그림 10]은 인쇄회로기판 위에 설계된 10 cm 길이의 차동 신호선에 대해 제안된 수동 이퀄라이저 유무에 따른 삽입손실(Insertion loss)를 보여주고 있다. 적용 후, 목표 데이터레이트인 30 Gbps의 나이퀴스트 주파수(Nyquist frequency)인 15 GHz에서 삽입손실이 성공적으로 5.3 dB 평탄화됨을 실 측정으로 확인하였다. 더불어 시간 축에서의 아이디어어 그래프 측정을 수행하였다([그림 11]). 입력신호의 크기와 데이터

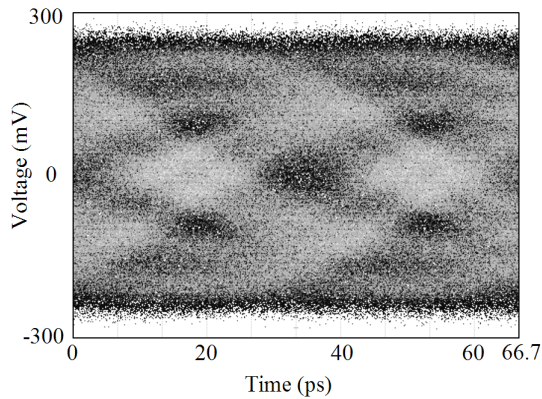
<표 2> 제안된 수동 이퀄라이저의 등가회로 소자값

$L_{stub}$	0.52 nH	$L_{via}$	0.69 nH	$L_{SMD}$	0.28 nH
$R$	51 Ω	$C_{via}$	65 fF		

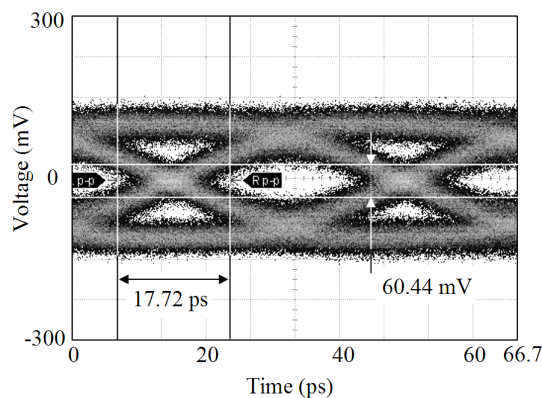




[그림 10] 제안된 수동 이퀄라이저 유무에 따른 삽입손실



(a) 적용 전



(b) 적용 후

[그림 11] 제안된 수동 이퀄라이저 유무에 따른 30 Gbps 디지털 신호의 아이디어그림

레이트는 각각 500 mV와 30 Gbps이며, 이퀄라이저 적용 전 관측되지 않은 전압, 시간 마진을 각 12.1 %, 54.7 % 확보함으로써 30 Gbps에서 동작하는 수동 이퀄라이저를 성공적으로 설계 및 구현하였음을 측정 검증하였다.

#### IV. 결 론

본 고에서는 초고속 디지털 신호의 주파수 의존 손실에 의한 열화를 보상하기 위한 수동 이퀄라이저 설계 및 구현법에 대하여 기술하였다. 기존 단일 수동소자를 이용한 이퀄라이저의 대역폭 한계를 극복하기 위하여 제안된 분산 수동소자 및 전자과현상을 이용한 수동 이퀄라이저와 기생성분을 설계소자로 활용한 수동 이퀄라이저 각각의 설계법을 소개하였으며, 12.5 Gbps와 30 Gbps의 초고속 디지털 신호에 적용하여 실측정 검증하였다. 디지털 신호의 고속화 현상은 기술의 발전과 시장의 요구에 의해 끊임없이 가속화 될 것이며, 그에 따라 본 고에서 소개된 수동 이퀄라이저 기술과 같이 기존 저주파 회로설계법에서 탈피하고, 고주파 현상을 정량화하여 설계요소로 활용하는 연구가 지속적으로 이루어져야 할 것이다.

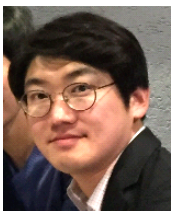
#### 참 고 문 헌

- [1] S. Rylove, S. Reynolds, D. Storaska, B. Floyed, M. Kapur, T. Zwick, S. Gowda, and M. Sorna, "10+Gbps 90-nm CMOS serial link demo in CBGA package", *IEEE Journal of Solid-State Circuits*, 40(9), pp. 1987-1991, Sep. 2005.
- [2] H. H. Chuang, W. D. Guo, Y. H. Lin, H. S. Chen, Y. C. Lu, Y. S. Cheng, M. Z. Hong, C. H. Yu, W. C. Cheng, Y. P. Chou, C. J. Chang, J. Ku, T. L. Wu, and R. B. Wu, "Signal/power integrity modeling of high-speed memory modules using chip-package-board coanalysis", *IEEE Trans. Electromagn. Compt.*, 52(2), pp. 381-391, May 2010.
- [3] J. Liu, X. Lin, "Equalization in high-speed communication systems", *IEEE Circuits Syst. Mag.*, 4(2), pp. 4-17, 2004.
- [4] "Designing a simple, small, wide-band and low-power equalizer for FR4 copper links", Maxim Integrated Products, Inc.,

- Sunnyvale, CA, Tech. Article HFTA-06.0, 20033.
- [5] J. Fan, X. Ye, J. Kim, B. Alchambeault, and A. Orlandi, "Signal integrity design for high-speed digital circuits : Progress and directions", *IEEE Trans. Electromagn. Compat.*, 52(2), pp. 392-400, May 2010.
- [6] R. M. Kurzrok, "A review of key equalizer specifications and what they mean", *High Frequency Electronics Magazine*, 2004.
- [7] E. Song, J. Cho, W. Lee, M. Shin, and J. Kim, "A wide-band passive equalizer design on PCB based on near-end crosstalk and reflections for 12.5 Gbps serial data transmission", *IEEE Microwave and Wireless Components Letters*, 18(12), pp. 794-796, Dec. 2008.
- [8] E. Song, J. Cho, J. Kim, H. Kim, and J. Kim, "A wide-band passive equalizer design using multi-layer PCB parasitics for 30 Gbps serial data transmission", *IEEE Asia-Pacific International Symposium and Exhibition on Electromagnetic Compatibility*, Jeju, Korea, 16-19, May 2011.
- [9] G. Kim, et al., "Modeling of eye-diagram distortion and data dependent jitter in meander delay lines on high-speed printed circuit boards (PCBs) based on a time domain even-mode and odd-mode analysis", *IEEE Trans. Microwave Theory and Techniques*, to be published.
- [10] B. K. Caper, M. Haycock, and R. Mooney, "An accurate and efficient analysis method for multi-Gbps chip-to-chip signaling", *IEEE Symposium on VLSI Circuits*, pp. 54-57, Jun. 2002.
- [11] S. Hall, G. Hall, and J. McCall, *High-speed Digital System Design*, NY, Weinheim: John Wiley & Sons, Inc., pp. 102-104, 2000.
- [12] H. Johnson, M. Graham, *High-Speed Signal Propagation-Advanced Black Magic*, Prentice Hall, pp. 351-354, 2003.

≡ 필자소개 ≡

송 익 환



2004년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)

2006년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)

2010년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)

2011년~2013년: 삼성전자 글로벌기술센터 책임연구원

임연구원

2014년~현재: 광운대학교 전자통신공학과 조교수

[주 관심분야] System-Level EMI/EMC, High-Speed Signal Integrity/Power Integrity, Electromagnetic Measurement Technologies