

# SiC 전력소자 및 공정 최신기술 동향

양창현<메이플세미컨덕터(주) 연구소장> · 강예환<메이플세미컨덕터(주) 과장>

이정훈<메이플세미컨덕터(주) 과장> · 정은식<메이플세미컨덕터(주) CTO>

## 1 서 론

매년 반복되는 전력대란 및 에너지 고갈의 위기에 도래함에 따라 전력 수요에 대한 중요성은 더욱 부각되고 있다. 이에 따라 환경규제 강화, 친환경, 녹색성장 등이 대두되며 친환경 절전형 부품 및 소재 개발에 대한 연구가 많이 요구되는 상황이다. 에너지를 절약하고 제품을 소형화하기 위해 전력공급 및 전력변환 장치가 매우 중요하다. 우수한 전력변환장치를 만들기 위해서는 전력반도체의 성능 및 특성이 큰 역할을 차지한다. 이런 전력반도체는 전자기기에 들어오는 전력을 그 시스템에 맞게 배분, 제어와 변환기능을 가진 반도체로써 단순히 전력을 전달하는 역할에서 에너지 효율 및 시스템 안정성과 신뢰성을 좌우하는 역할로 확장되어 가고 있으며 모바일기기의 증가와 전기자동차의 개발과 더불어 수요가 급증하고 있다.

전력반도체는 일반적으로 전원장치라 하며 대부분이 전력변환을 위한 스위칭 소자로 사용되고 있는데 최근 Si(silicon) 계열의 전력반도체 소자의 특성이 이론적 한계치에 다다르면서, Si의 한계를 뛰어넘는 고전압, 저저항, 고주파 및 고온 같은 극한 상황에서 작동할 수 있는 전력소자에 대한 요구가 커지고, 이에 만족하는 새로운 물질인 SiC(silicon carbide)가 이슈화 되었다. SiC는 Si에 비해 뛰어난 물성적 특성을

갖고 있어 성능 측면에서 뿐만 아니라, 전력변환 장치의 크기를 획기적으로 줄일 수 있다. 특히 소자가 직접적으로 고온 환경에서 동작이 가능하면 신뢰성 있는 정확한 측정 및 제어가 가능할 뿐만 아니라, 시스템 소형 및 경량화 실현, 빠른 응답특성 등 결과적으로 효율향상 등의 여러 장점을 얻을 수 있기 때문에 현재까지 소자의 연구가 활발히 진행되고 있다.

이러한 SiC 전력반도체 소자를 개발하기 위해서는 이론적 설계뿐만 아니라 공정개발 역시 필수적이다. 본고에서는 기본적인 SiC 특성과 시장의 동향 및 핵심 공정기술에 대하여 소개하고자 한다.

## 2. SiC 소자의 일반적인 특징

SiC 원소 재료로 스웨덴의 Berzelius가 최초로 실험하고 있을 당시인 1820년대는 Si도 최초로 합성이 보고되었던 시기였으며, 반도체 소자가 최초로 개발된 당시에도 SiC는 이미 반도체 재료로 인식되고 있었다. SiC는 4족 원소들의 규소(Si)와 탄소(C)가 고온에서 화학 결합한 것으로 두 원소 간에 만들어질 수 있는 유일한 화합물이다. SiC는 높은 절연과괴 전계강도(Si의 약 10배), 3eV의 넓은 밴드갭(Si의 약 3배) 등의 물성치가 우수하다는 본질적인 이유로 전력반도체 소자를 위한 차세대 재료로 잘 알려져 있다.

반도체 공학자들은 SiC 반도체를 실리콘에 대비시켜 화합물반도체로 부르기도 하고, 밴드갭이 넓은 반도체(Wide band gap semiconductor)의 하나로 부르기도 한다. SiC는 100여 종류 이상의 결정형이 있으나 반도체 재료로 사용하는 것은 4H-SiC와 6H-SiC 등이 주로 쓰인다. 그 중에서도 4H-SiC는 6H-SiC에 비하여 전자 이동도와 포화 드리프트 속도가 높아 현재 SiC에 관한 연구는 대부분 4H-SiC 재료를 기반으로 하여 이루어지고 있다.

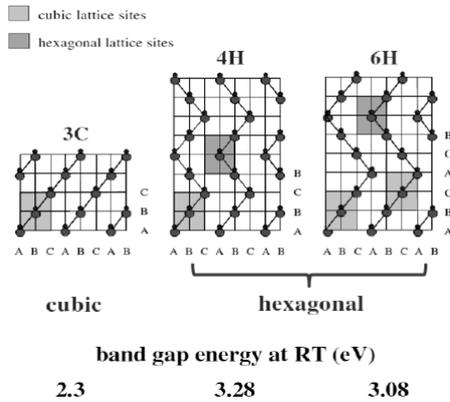


그림 1. SiC 결정구조

일반적으로 Si를 이용한 소자의 제한 동작온도는 200°C 이하로 한정되지만 SiC를 이용하면 600°C의 고온 환경 하에서도 동작 가능한 소자를 실현 할 수 있다. 400°C의 온도에서도 접합누설전류의 값이 작아 무시할 수 있는 수준으로 고온 안정성을 뒷받침하고 있다. 넓은 밴드갭을 갖는 재료로써 GaN도 많은 연구가 되고 있으나 GaN에 비해 4H-SiC의 경우 열전도도가 5배 높으며 homogeneous Epi layer를 얻을 수 있고 자연 산화막을 비교적 쉽게 형성할 수 있는 장점을 갖고 있다. 이 중 자연 산화막을 형성할 수 있다는 점은 SiC의 큰 장점 중의 하나로서 밴드갭이 넓은 반도체 중에서 유일하다.

4H-SiC는 높은 전자 이동성과 넓은 밴드갭 특징으로 파워소자 장치 제조에 선호된다. 그러나 기판공

정 기술의 어려움으로 인해 2001년이 되어서야 SiC Schottky Diode를 처음으로 상용화 시킬 수 있었다. 초기에 상용화가 되었던 SiC 다이오드는 2 inch wafer 상에서만 구현이 가능하였으며, 현재는 4 inch 직경의 wafer로 양산을 진행하고 있다. 이러한 기술의 진보로 초기에는 특별한 응용분야에서만 사용이 가능하였던 고가의 SiC 다이오드 제품은 향후 보편적인 상용화의 움직임이 지속적으로 진행될 것으로 예상된다. 이와 더불어 과전류정격 한계 개선, 과도상태 열 특성한계 개선 등의 개발성과에 따른 SiC 소자의 상용화는 응용의 범용성을 확대시킬 것으로 예상된다.

표 1. 각종 전력반도체의 물성 특성

	Si	GaAs	4H-SiC	GaN
밴드 갭(금지대 폭) eV	1.1	1.4	3.3	3.4
비유전율 : $\epsilon$	11.8	12.8	10.0	9.5
절연파괴전계: $E_c$ (MV/cm)	0.3	0.4	3.0	3.3
포화전자속도: $V_{sat}$ (107cm/s)	1.0	2.0	2.0	2.5
전자이동도: $\mu_e$ (cm <sup>2</sup> /Vs)	1500	8500	1000	1200
전공이동도: $\mu_h$ (cm <sup>2</sup> /Vs)	600	400	115	~10
열전도율: $\lambda$ (W/cmK)	1.5	0.5	4.9	2.1
Baliga성능지수: $\mu_e E_c^3$ (vs S)	1	15	565	957

### 3. 연구 동향

지난 30여 년간 SiC는 기계-구조용 소재로의 응용뿐 아니라, 전력반도체의 응용을 위해 선진국을 중심으로 많은 연구가 이루어져 왔다. 국내에서는 주로 학계와 국가연구소를 중심으로 연구가 꾸준히 진행되어 왔으며, 미래시장에서 경쟁력을 갖기 위해 확보해야 하는 핵심 소재로 SiC가 중요한 이슈로 떠오르고 있다. SiC는 에너지 절약이 요구되는 다양한 전자제품용 전력소자 및 고주파 소자를 위한

기관으로 사용이 확대될 것으로 기대되며 SiC 적용에 따른 소자의 고품질화 및 고효율화에 기여할 수 있다.

초기의 연구분야는 쇼트키 다이오드(Schottky Diode) 소자가 대부분이었으며, 1950년대 이후에야 실질적인 SiC 박막성장 기술이 발전되었고, 최근에는 고전압 MOSFET의 연구에 따른 SiC 물질의 특성을 극복하고자 새로운 구조의 연구도 진행되고 있다.

### 3.1 SiC Schottky Diode

일반적인 Si의 쇼트키 다이오드는 단일 극성 다이오드로서 쇼트키 장벽높이에 의존하는 낮은 온-전압과 빠른 스위칭 속도를 가지지만, 열전자 방출에 의한 높은 누설전류를 야기시키기 때문에 고온에서의 동작에 많은 제한을 받게 된다. 그러나 SiC 쇼트키 다이오드의 경우 물질의 특성상 소수캐리어가 Si에 비해 현저히 작아 쇼트키 다이오드 구현에 매우 적합하다. 따라서 그림 2와 같이 SiC 쇼트키 다이오드는 단점인 누설전류를 극복하면서 스위칭 손실을 절감할 수 있으며, 접합부의 전위차를 증가시켜 더 높고 일정한 절연파괴 전계 강도를 가지는 장점을 가지고 있다.

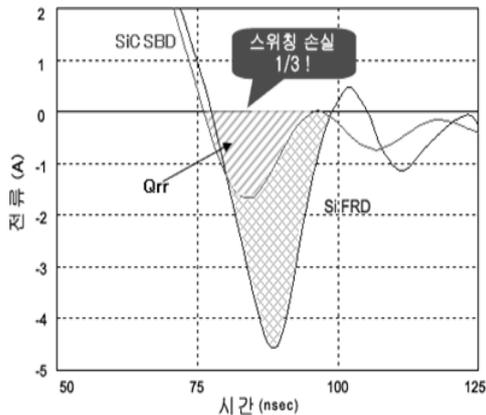


그림 2. SiC SBD vs. Si-FRD 턴-오프 특성 곡선

### 3.2 MOSFET

현재까지 Power MOSFET의 연구는 꾸준히 진행되어 왔기 때문에 SiC 파워 반도체 소자의 구조 및 개발공정의 문제를 극복할 경우, 기존 Si 기반의 파워소자 대비 높은 전계 특성과 밴드갭으로 인하여 고전압 대전류 조건을 만족하고, 향상된 항복 전압과 우수한 주파수 특성 및 온도특성 그리고 극히 낮은 온-저항 특성을 장점으로 가지고 있는 차세대 고효율 전력에너지 반도체를 구현할 수 있을 것이다. 그림 3은 SiC 전력반도체의 우수성을 나타내고 있다.

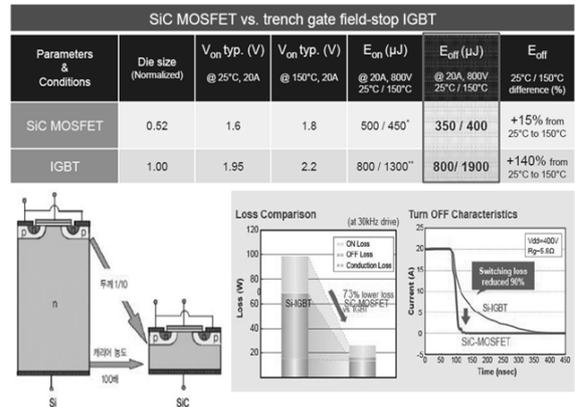


그림 3. Trench IGBT와 SiC MOSFET의 벤치마크를 통한 우수성

### 3.3 SiC Accumulation FET

최근 고전력 응용분야 적용을 위한 새로운 SiC Accumulation FET 구조가 보고되고 있다. 그림 4는 일반적인 Accumulation FET 구조이다. 기본 구조와 차별화된 점은 채널 영역이 Accumulation 되어있어 동작 시 더 높은 유동성을 가지므로 더 낮은 온-저항을 가지며, 높은 에너지 밴드갭으로 이슈가 되었던 동작 시 높은 게이트전압도 구조적 특성을 통해 상대적으로 낮은 게이트전압으로 동작이 가능하도록 설계하였다.

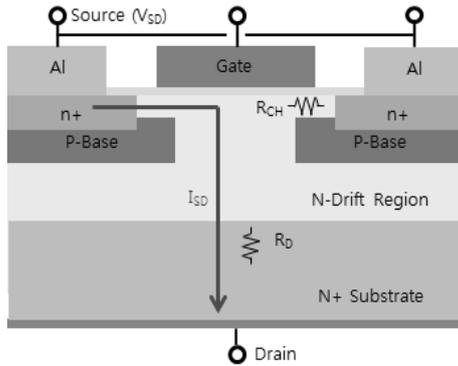


그림 4. 일반적인 SiC Accumulation FET 구조

### 3.4 국내·외 기술 동향 및 수준

SiC 기반 반도체소자 분야에서 전기연구원을 중심으로 쇼트키 다이오드와 MOSFET, 서울대를 중심으로 SiC MOSFET 등의 소자에 대한 개발 실적이 있지만, 국내 SiC 소자기술은 현재까지 다이오드 위주의 소자가 주력으로 개발되었으며, MOSFET, IGBT와 같은 3단자 스위칭 소자 개발 및 제작은 매우 미흡한 상황이다. 현재 페어차일드코리아와 KEC 등의 전력반도체 전문기업에서 쇼트키 다이오드를 전략품목으로 선정하여 실리콘 위주의 제품군을 다변화하고자 내부적으로 개발을 진행하고 있으며, 주요 자동차 업체를 포함한 여타 기업들에서도 SiC 쇼트키 다이오드에 이어 FET 소자에 대한 관심도가 증가하고 있는 실정이다.

2000년 초반에는 국내에서 SiC 소자 제조공정을 진행할 수 없는 상황이었으나, 현재 3개의 기업을 포함하여 최소한 5개 이상의 기관에서 SiC 반도체소자 공정을 수행할 기반시설을 보유하고 있으나, 일본 및 미국 등의 기술선진국에 비해 인력 및 설비 등이 부족한 실정이고, 관심도는 넓게 확대되고 있는 상황이다.

또한, 중소기업은 메이플세미컨덕터(주)가 국내 유일의 SiC 소자 제조공정 및 시설을 보유하고 있으며, 2010년부터 국내기관인 전기연구원, 고려대학교 및 광운대학교와 공동연구를 진행하여 2013년 SiC

MOSFET을 시작으로 2015년 Diode 소자개발을 완료하였다(그림 5). 현재 1200V급 MOSFET, 600급, 1700V급 SBD 전력소자를 개발 완료하여 초도양산을 준비하고 있다.

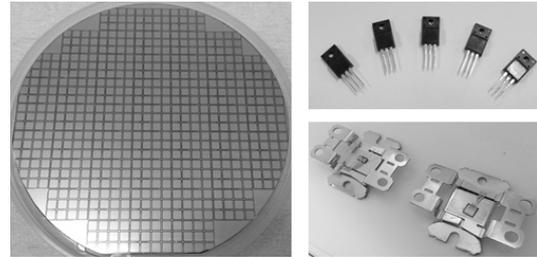


그림 5. 국내 최초 SiC 전력 소자 제작

하지만 국외의 경우 1980년대 중반 탄화규소 전력 반도체 연구가 시작된 이후, 소재 및 소자 분야에서 괄목할 만한 진전이 이루어지고 있다. 초기 많은 결함이 있던 소구경 SiC 웨이퍼가 2004년 이후 defect-free 상태에 도달했으며, 2007년 3인치, 2010년 4인치에 이어 향후 6인치까지 생산될 것으로 전망된다.

소자 분야에서는 2000년대 초반 1200V급 SiC 쇼트키 다이오드가 인피니온 및 Cree사에서 출시되었고, 2008년 Semisouth사의 SiC JFET, 2011년 Cree사의 SiC MOSFET 등이 상업적으로 출시되었다. 2010년 8월에 일본 미쯔비시 전기에서 SiC 쇼트키 다이오드를 인버터에 장착한 에어컨을 최초로 생산하였으며, 기존 제품에 비해 6% 가량 효율이 향상되었다고 보고하였다. 또한 2020년까지 전 세계 에어컨 및 냉장고의 약 80%가 SiC 전력반도체를 사용하는 인버터시스템으로 바뀔 것으로 전망되며 탄화규소 전력반도체의 상용화와 맞물려 각국 기업들의 전략적 제휴 및 인수·합병이 활발히 이루어지고 있는 추세이다. 일본 Rohm사는 독일 SiCrystal사를 인수하여 웨이퍼 자급라인을 구축하였고, 2010년 9월 Power Integration사는 SemiSouth사의 탄화규소

전력반도체사업에 투자하였다. 미국 Fairchild사는 스웨덴 TranSiC사를 인수하였고, 미국 Cree사와 일본제철의 global SiC materials license 협약을 수립하였다. 한편 각국에서도 SiC 연구개발은 다음과 같이 이루어지고 있다.

프랑스의 경우 2007년부터 2011년까지 250억원 규모의 예산으로 SiC 및 질화물 전력소자 개발 및 기관 대구경화 프로젝트를 추진 중이며, 독일은 2010년부터 2013년까지 70억원 규모의 예산으로 Wide Band-Gap 소자(SiC, GaN)에 기반을 둔 에너지효율 향상 연구에 착수하였다. 일본의 경우 1세대(2005~2010년, 예산 110억원) 1kV급 소자 및 관련기술 개발에 이어 2세대(2010~2015년, 예산 220억원) 6인치 웨이퍼 및 2kV이상 SiC 소자를 개발 중이다. 그림 6은 선진사의 SiC 제품 및 기술동향을 나타내고 있다.

업체명	제품 사양	Wafer	비고
Cree	600V, 650V, 1200V, 1700V/10~50A	4", 6"	양산중
Infineon Technologies	600V, 650V, 1200V/2~40A	4"	양산중
STMicroelectronics	600V, 650V/4~12A, 1200V	4"	양산중
Fairchild	1200V/6, 15, 20, 50A	4"	양산중
GenSiC	1200V/1~20A	4"	양산중
三菱電機	600V, 1200V, 1700V, 3300V	4"	영역전 등 자사제품에 적용
Rohm	650V/6~40A, 1200V/5~40A	4", 6"	양산중, 1700V Sample 출원 중
富士電機	600V, 1200V, 1700V	4", 6"	자사 FA용 인버터에 탑재
도시바	650V/6~24A, 1700V	4"	'13.4 양산 개시, 전철용은 1700V
히타치 파워디바이스	3300V	4"	전철용 인버터 평가중
산켄전기	600V/10A	4"	양산중, 1200V 개발중
르네사스	600V/20A	4"	양산중
메이플세미컨덕터	600V, 1200V, 1700V	4"	양산 준비 중

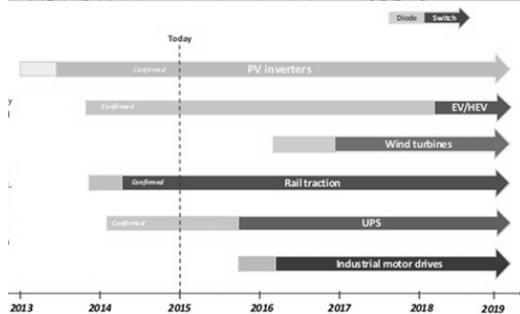


그림 6. 선진사 및 자사의 SiC SBD/MOSFET 제품 및 기술 동향

#### 4. 핵심 공정 기술

Si 공정 기술의 개발과 더불어 반도체 산업도 발전

을 거듭하였다. 하지만 Si는 이미 물리적 특성의 한계를 드러내고 있으며, 이를 대체할 반도체 재료로 SiC가 대표적인 물질로 각광 받고 있다. Si 대비 넓은 에너지 밴드갭, 높은 절연과피전압, 열전도도 등 전기적 및 열적 특성이 우수함에도 불구하고, 공정 기술의 어려움으로 인해 상용화의 문제점으로 남아 있었다. 본고에서는 메이플세미컨덕터(주)에서 개발한 SiC 소자제작을 위한 핵심단위 공정 기술을 소개하고자 한다.

#### 4.1 Hard Mask Process

SiC 소자는 고온의 이온주입온도(~650℃)와 높은 에너지(~360keV)를 사용하기 때문에 기존 Si base에서의 PR(Photo Resist) mask로는 사용이 불가하며, 불필요한 영역의 이온주입방지를 위해 Ti/Au, Ni/Mo, poly-si 등의 Hard mask를 사용한다. 그 중에서도 적은 공정비용으로 정확한 이온주입영역의 형성을 위해 비금속막인 SiO<sub>2</sub>를 이용한 최적화된 이온주입 mask 공정을 개발하였다. 그림 7은 메이플세미컨덕터(주)에서 2 $\mu$ m SiO<sub>2</sub> mask를 사용하여 Al 이온 주입 후 SIMS 분석한 결과이며, SiO<sub>2</sub>의 두께는 2 $\mu$ m 이상이 되어야 이온주입 mask 역할을 할 수 있을 것으로 판단된다.

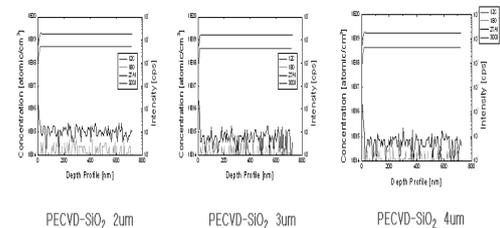


그림 7. SiO<sub>2</sub> Mask로 이온주입 후 SIMS 분석 결과

또한, 산화막 Capacitance 형성 후 누설 전류 측정 결과 pin hole이 존재하지 않는 고품질의 산화막으로 확인되었다(그림 8). 개발한 Hard mask 공정

## 특집 : 전력반도체의 기술현황 및 전망

으로 원하는 영역에 이온주입을 하고, 불필요한 영역은 mask 하기 위해 Hard mask Etch 공정이 필요하다. Hard mask Etch 공정 개발은 PECVD장비를 사용하였다.

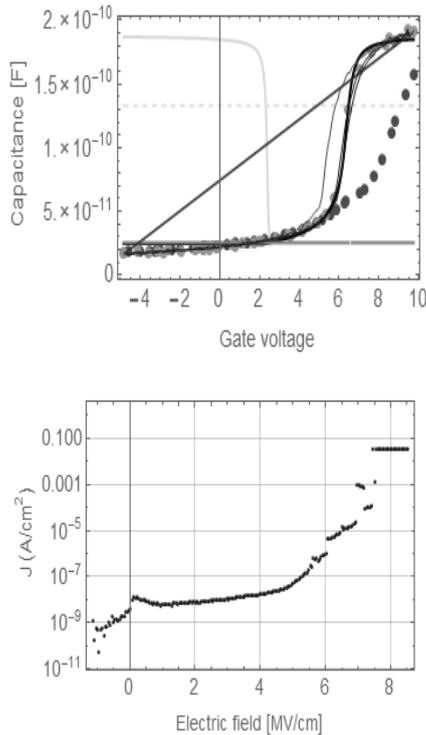


그림 8. SiO<sub>2</sub> 막질에 Quality 평가 결과

반도체 Etching 공정은 Wafer 위에 형성된 패턴에 따라 하부 막을 제거하여 미세 패턴을 형성하는 공정으로 반도체 공정에서 중요한 공정 중 하나이다. SiC 소자 개발을 위해서 Dry Etch 방식을 적용하였다. Dry Etcher는 plasma의 생성 방식에 따라 Capacitive Field Type, Inductive Field Type  $\mu$ -wave type으로 분류되며 그 중에서 Capacitive Field Type인 CCP 장비를 사용하였다. CCP 방식은 Wafer는 Ground를 유지하고 상부 전극에 RF가 인가되는 방식이다. 이 방식은 Wafer에 인가되는 Self-bias는 매우 미약하기 때문에 Plasma 내에 생

성된 이온을 Wafer로 끌어들일 수 없다. 식각 과정은 대체로 Plasma 내의 Radical에 의한 Chemical Etch가 된다. 그림 9는 메이플세미컨덕터(주)에서 CCP 장비를 사용하여 SiO<sub>2</sub> mask를 Etch한 profile이다. SiC:SiO<sub>2</sub> Etch Selectivity 1:10으로 Etch stop layer 없이 Etch stop 가능하며, 수직에 가까운 profile을 확보하였다. 또한 PR 탄화현상 개선을 위한 최적 공정 조건을 확보하여 Dry Etch 공정을 개선하였다.

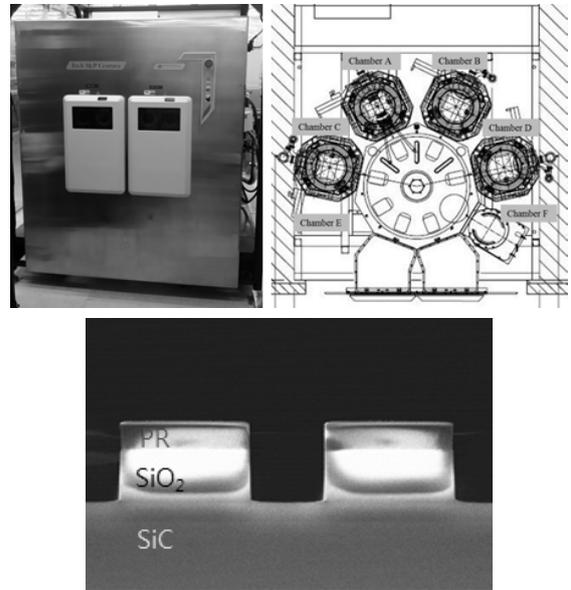


그림 9. CCP 장비와 Hard Mask Etch Profile

## 4.2 Implant

SiC는 실리콘에 비해 매우 큰 대역간극을 가진 물질(2.86 ~ 3.0eV)로써 열적 전도도, 전자의 포화 표류속도 및 항복전압이 높고, 유전율이 작기 때문에 최근 고전력, 고주파용 소자를 제작하는데 적합한 물질로 각광받고 있다. 또한, 대역간극이 크기 때문에 고온에서 진성 캐리어 농도가 낮아, 고온의 환경에서 동작하는 소자를 만드는데도 적합한 물질로 알려져 있다. SiC 소자 제작 시 공정 이슈 사항 중 하나인 이

온주입은 SiC의 확산계수가 낮아서 확산에 의한 불순물 도핑이 어렵다는 것이다. 따라서 SiC 소자 제작 시 대부분의 경우 이온주입법으로 불순물 도핑을 하고 있다.

이온주입은 불순물을 이온상태로 만든 다음 전기장을 이용해 가속시켜서 물질에 직접 주입하는 방법이다. 불순물의 양과 주입 깊이를 조절할 수 있는 제어성이 뛰어나서 얇은 지역이나 특정 부분만을 도핑하고자 할 때 주로 쓰이며 상온에서도 불순물 주입을 할 수 있다.

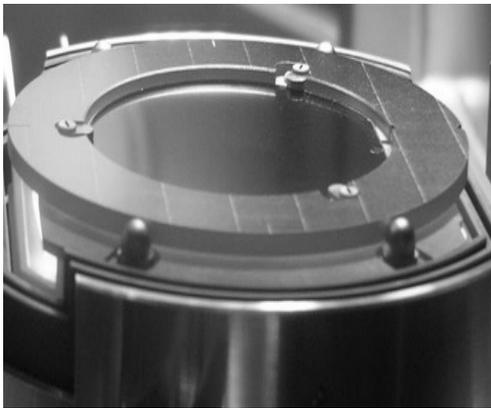


그림 10. Hot platen

이온주입 후에는 반드시 열처리 과정을 거쳐야만 주입된 불순물이 제 역할을 할 수 있는데 이 때 표면 손상이나 역 확산(out-diffusion)과 같은 문제가 발생할 수 있다. 이온주입법은 뛰어난 선택적 도핑성 때문에 p-n 다이오드 뿐 아니라, MOSFET과 같은 여러 소자 제작을 하는데 사용되고 있으므로 SiC 소자 제작과 상용화에 있어서 매우 중요한 기술이라 할 수 있다. SiC는 상온에서 이온주입을 하면 기판이 비정질화 되어 고온에서 열처리 후에도 단결정으로 회복되지 못한다. 따라서 이온 주입 시 완전히 비정질화되지 않도록 고온에서 이온주입을 해야 한다. 그림 10은 전기연구원의 고온 이온주입을 위한 6inch Hot platen이며 platen body는 500℃ 이상 가능

하다.

이온주입장치는 이온 소스에서 발생한 이온을 가속하여 주입함으로써 반도체에서 원하는 깊이와 농도분포의 불순물 영역을 만드는 장치로 반도체 제작공정에서 핵심적인 장치이다.

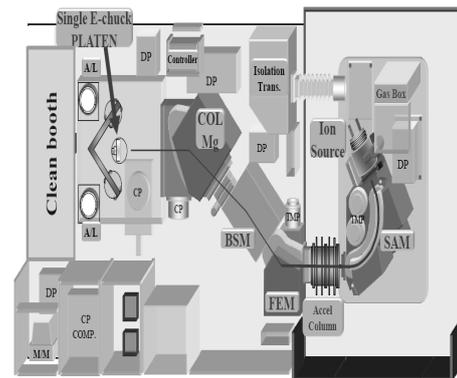


그림 11. 한국 전기연구원에서 보유한 고온/고에너지 이온주입 장비와 Layout

국내에서는 SiC 이온주입이 불가능하여 해외 주요 이온주입 업체에 의뢰를 하였지만, 현재 전기연구원 에서 SiC 이온주입을 위한 설비를 도입하여 set-up을 완료한 상태이다. 그림 11은 전기연구원에 도입된 이온주입장비이다. 3인치부터 6인치까지의 호환성, 고에너지와 고온의 이온주입이 가능하고 Tilt 0~60°까지 가능한 사양으로 다양한 SiC 소자 연구개발에 박차를 가할 수 있을 것으로 예상된다. 표 2에 이온주입장비의 사양을 보여주고 있다.

표 2. High Temp. & High Ion Implanter 사양

Specifications	
Wide energy range	10 ~ 320keV @ single charge Max. 960keV @ triple charge
High beam current	P+ 1mA @ 220 keV Al++ 500 eμA @ 640 keV
High temperature platen	≥ 500°C
Wafer size	3inch ~ 6inch
Tilt angle	0 ~ 60°
Twist setting angle	41.5 ~ 140.5° 219 ~ 318.5°
Energy contamination	free
Parallel beam : Angle error	< ±0.5°
Ion species	Al+, B+, N+, P+, Si+, C+, Ar+

### 4.3 Gate Oxidation

SiC는 ZnSe이나 GaN과 같은 금지대역 폭이 큰 반도체와는 달리 실리콘 원자를 포함하고 있어 습식 산화와 건식산화 공정을 통해 양질의 산화막을 성장시킬 수 있는 장점을 가지고 있다. 일반적으로 산화막을 성장할 수 있는 온도 영역은 1000°C~1200°C이다. SiC는 고온에서 산화가 되며 결정면에 따라 산화되는 속도가 다르다고 알려져 있다. 기본적으로 SiC에서 성장된 산화막은 Si에서 성장된 산화막에 비해 Si-face에서 약 1/10 정도, C-face에서는 약 1/2 정도로 낮은 성장률을 가지고 있어 field 산화막과 같이 두꺼운 산화막을 기르는 경우에는 문제가 발생할 수 있으나, 얇은 두께의 산화막으로 사용할 시 문제가 없는 것으로 알려져 있다. 하지만 원하는 소자의 동작을 위해서는 게이트 산화막이 높은 전계를 가져야하고, 산화막과 SiC 계면에 존재하는 mobile ionic charge, oxide trapped charge, interface trapped charge, Fixed oxide charge 등을 높은 열처리로 최소화 할 수 있다.

양질의 게이트 산화막 data를 얻기 위해 전처리 과정으로 RCA Cleaning을 사용하였다. 이유는 유기물 오염과 금속 및 자연 산화막을 제거하기 위함이다. 산화공정은 건식산화 공정을 선택하였고 온도는 1150°C에서 진행하였다. 그림 12는 SiC MOSFET

제작 후 SEM 단면 사진으로 게이트 산화막 두께가 약 600Å으로 양질의 산화막이 성장되었음을 알 수 있었다.

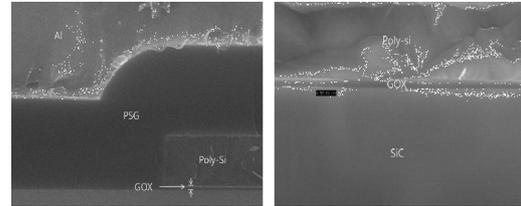


그림 12. SiC Gate oxidation 결과

### 4.4 Ohmic contact

밴드갭이 Si에 비해 상대적으로 큰 SiC의 경우 높은 에너지 장벽으로 인하여 낮은 contact 저항의 구현은 SiC 소자공정에 있어서 중요한 이슈 사항으로 알려져 있다. 따라서 낮은 contact 저항을 갖는 Ohmic contact을 통해 소자의 광학적, 전기적 특성을 향상시켜야 하며 이에 따른 단위공정 연구가 이루어져야 한다. 그림 13은 열처리 및 금속 증착에 따른 contact 저항을 그래프로 나타내었다. TEST 목적은 N-type, P-type 각각의 SiC Wafer Ohmic contact 저항의 개선이며 조건은 Ni와 Ti/Ni를 사용해 금속 증착하여 열처리 950°C, 1000°C 온도 및 시간 60sec, 90sec, 120sec에 따라 진행하여 Split 조건에 따른 Contact 저항을 측정하였다.

TEST 결과 N-type SiC Wafer에서 Ni contact은 최저 2E-6Ω/cm<sup>2</sup>의 결과를 확보하였으며, Ti/Ni contact을 사용하면 최적 공정조건에서 5E-6Ω/cm<sup>2</sup>의 결과를 확보하였다. P-type SiC Wafer에서는 Ni contact의 경우 1E-2~1E-1 Ωcm<sup>2</sup>의 높은 저항 값 및 넓은 산포도를 보였고, Ti/Ni contact의 최적 공정조건에서 3E-3Ωcm<sup>2</sup> 이하의 낮은 저항 값을 나타내며 산포도 또한 개선된 효과가 나타났다. Ti/Ni contact이 Ni contact에 비해 특성이 개선되었으며, 그에 따른 원인은 연구를 통해 규명해나가야 할 부분

이다. 현재도 신뢰성 있는 Ohmic contact을 위해 단위공정을 통한 연구는 진행되고 있다.

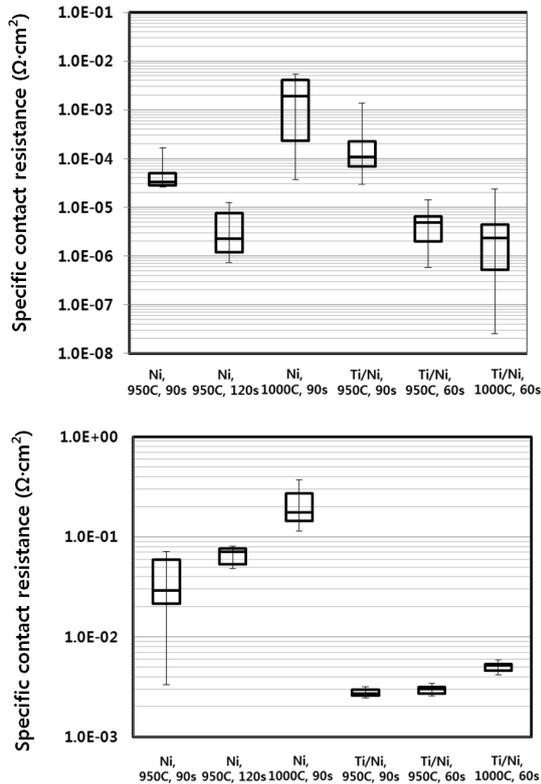


그림 13. Ni 및 Ti/Ni 금속의 ohmic 특성 결과

## 5. 기술 해결 방안

앞서 언급한 바와 같이, SiC 전력반도체의 저손실화를 위한 개발은 앞으로도 가속될 것이라 생각된다. 이와 함께, 앞으로 저 전압대 전류화가 더욱 진행되면 MOSFET 특성 개선을 통해 향후 전원예의 다양한 요구를 실현할 수 있을 것이다. 이를 위해서는 여러 가지 풀어야 할 과제들이 존재한다. 더 향상된 특성을 위해서는 질 좋은 원자재와 가격의 안정성이 필요하다. 소재의 안정성 외에도 공정기술의 발전도 필요하다. 고온 고전압용 SiC 연구에 있어서 가장 큰 문제

점은 벌크이동도에 비하여 극히 낮은 채널 이동도이다. 이로 인한 채널 내부의 전하량 감소가 저항을 크게 하는 원인이 되고 결국 SiC 소자의 특성을 저하시키는 원인이 된다. 이를 해결하기 위하여 계면의 결합 준위를 줄이는 기술과 높은 품질의 게이트산화막 성장기술, 고온이온주입 기술 등이 해결되어야 될 과제이다(그림 14). 이 뿐만 아니라, 전기자동차 송·배전 시스템을 위해서는 고전압 대전류의 전력반도체 개발이 병행되어야 한다.

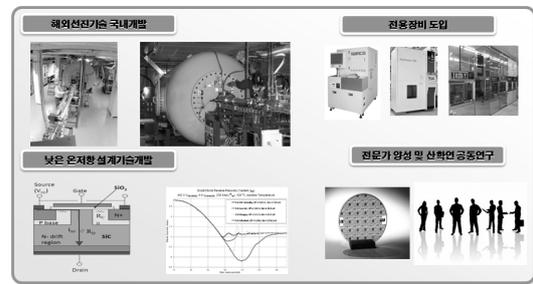


그림 14. SiC 기술개발을 위한 해결방안

## 6. 결론

현재 친환경 전기 자동차나 가전, 산업기기 등 어느 분야에 있어서나 인버터 및 컨버터의 손실을 줄이는 일은 필수 생존 과제가 되고 있다. 에너지 이용 효율의 향상은 지구환경 문제와도 관련되는 것으로 전세계의 정부와 산업계에 큰 관심사가 되고 있다. 하지만 탄화규소 전력반도체가 아무리 성능이 뛰어나더라도 현 시점에서는 가격적인 측면에서 아직 실리콘 소자에 비해 경쟁력을 갖추지는 못하였다. 그러나 탄화규소 단결정 웨이퍼의 대구경화와 재료의 가격이 지속적으로 하락하고 있고, 소재의 결합 역시 획기적으로 줄어들고 있어 앞으로 실리콘 전력반도체 소자보다 가격 대비 우수한 성능을 보일 것으로 기대된다. 또한 공정기술 부분에서도 Si기반의 공정능력과 노하우를 기반으로 SiC 공정기술 능력도 향상되고 있는

상황이다.

그러나 SiC 기술개발의 많은 노력에도 불구하고 외국 선진사 대비 장비 및 기술이 부족한 현실이다. 이를 해결하기 위해서는 선진사의 기술을 국내 기술로 변화시키는 노력은 물론이거니와 산학연 컨소시엄을 통하여 연구결과를 공유하여 발빠르게 대처하는 기술 능력이 절실히 요구된다. 앞서 말한 다양한 요구들이 충족될 시 SiC 전력반도체는 전자기기의 에너지 이용 효율을 크게 개선시킬 수 있기 때문에 그린 전력 IT 기술의 핵심소자로서 주목을 받을 것으로 기대된다.

### 참 고 문 헌

- [1] B. J. Baliga, J. Applied Physics, 53(1982) p.1759.
- [2] M. Ruff, H. Mittlehner, and R. Helbig, IEEE Transactions on Electron Devices, 41(1994) p. 1040.
- [3] S. T. Sheppard, M. R. Melloch and J.A. Cooper, IEEE Trans Electron Devices, 41(1994) p. 1257.
- [4] Praveen M. Shenoy and B. J. Baliga, Solid-State Electronics, 43(1999) p. 213.
- [5] H. Vang et al, Superlattices and Microstructures, 40(2006) p. 626.
- [6] M. Rambach, et al, Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, 237(2005) p. 68.
- [7] J. Pernot et al, Materials Science and Engineering: B, 80(2001) p. 362.
- [8] J. Gimbert et al, Materials Science and Engineering: B, 61(1999) p. 368.
- [9] Z. Ouennoughi et al, Microelectronics Reliability, 53(2013) p. 1841.
- [10] J. Wu et al, Solid-State Electronics, 52(2008) p. 909.
- [11] S. Dimitrijevic, P. Jamet, Microelectronics Reliability, 43(2003) p. 225.
- [12] Tedi Kurniawan et al, Materials Science in Semiconductor Processing 14(2011) p.13.
- [13] Y. Gao et al, Solid-State Electronics, 44(2000) p. 1875.
- [14] M. R. Jennings et al, Solid-State Electronics, 51(2007) p. 797.
- [15] H. Vang et al, Superlattices and Microstructures, 40(2006) p. 626.
- [16] M. Siad et al, Applied Surface Science, 257(2011) p. 10737.
- [17] A. Mihaila et al, Solid-State Electronics, 47(2003) p. 607.
- [18] P. Bhatnagar et al, Solid-State Electronics, 49(2005) p. 453.

### ◇ 저 자 소 개 ◇



**양창헌(楊昌憲)**

2012년 동아대 나노공학과 졸업(박사).  
2009년~현재 메이플세미컨덕터(주)  
연구소장.

Tel : 054-284-0656

Fax : 054-278-0656

E-mail : chyang@maplesemi.com



**강예환(姜禮煥)**

2013년 극동대 에너지반도체 졸업  
(석사). 2013년~현재 메이플세미컨덕  
터(주) 과장.

Tel : 054-284-0656

Fax : 054-278-0656

E-mail : yhkang@maplesemi.com



**이정훈(李廷勳)**

2013년 극동대 에너지반도체 졸업  
(석사). 2012년~현재 메이플세미컨덕  
터(주) 과장.

Tel : 054-284-0656

Fax : 054-278-0656

E-mail : jhlee@maplesemi.com



**정은식(鄭垠植)**

2012년 고려대학교 전기공학과 졸업  
(박사). 2010년~현재 메이플세미컨덕  
터(주) CTO.

Tel : 032-624-1574

Fax : 032-624-1568

E-mail : esjung@maplesemi.com