

SiC 에피 박막 성장기술

서한석<포항산업과학연구원 책임연구원> · 방 옥<한국전기연구원 책임연구원>

1 서 론

지금까지 알려진 Si 기반반도체 산업은 인류사 회 전반에 큰 파급효과를 가지고 왔으며, 앞으로 도 지속적인 발전을 해 나갈 것으로 예상된다. 그 러나 세계적인 에너지 자원 고갈문제와 연계된 에 너지, 산업전자, 정보통신 분야에서의 주요한 요 구 사항 중의 하나가 반도체 동작 시 전력 손실을 최소화하는 것이다. 기존 Si 반도체에서 완전히 새로운 구동기구의 소자가 개발되지 않는 한, Si 반도체의 낮은 열전도율이나 낮은 절연파괴 전계 와 같은 물리적, 전기적 특성한계 때문에 이러한 요구를 만족시키는 것이 불가능한 실정이다. 이에 기존 Si 반도체를 대체할 새로운 반도체 소재가 필요하며, 이에 적합한 재료로 SiC(탄화규소)가 각광받고 있다.

SiC 반도체는 실리콘(Si) 원자와 탄소(C) 원자 간의 공유결합을 기본으로 한 결정이며, 각각의 원자 는 사면체 구조 내에서 4개의 다른 원소와 결합을 하 고 있다. 가장 많이 나타나는 상은 3C, 4H, 6H, 그 리고 15R 등이며, 특히, 4H가 산업 관점에서 전력 소자용으로 가장 널리 연구되고 있다. 표 1은 주요 전력반도체 재료들의 기본 특성을 비교한 것이다.

4H-SiC는 높은 절연 파괴전압, 높은 열전도도, 높은 전자 포화속도를 가지고 있어 전력 소자로의 응

용 면에서 가장 적합하며, 높은 절연 파괴전압은 1kV 이상의 매우 높은 전압 영역에서 단극 소자의 구현을 가능하게 한다. 이는 Si에 비해 10배 이상의 절연 파괴전압을 가지기 때문에 1/10배의 SiC 단결 정 박막 두께와 10배의 도핑 농도로 동일한 소자를 제작할 수 있으며, 전력회로에 SiC 단극 소자를 적 용할 경우 빠른 스위칭 속도를 얻을 수 있다. 또한 전 력 소자에서 발생한 열은 이동도를 감소시켜 손실을 증가시키는 데, 높은 열전도도는 On 상태의 저항 및 스위칭 손실로부터 기인되는 열을 보다 쉽게 확산시 켜 소자의 성능을 높일 수 있으며, 소자의 크기를 크 게 줄일 수 있다. 또한 시스템 냉각기 부피 감소로 인 버터, 컨버터와 같은 전력 변환 장치의 부피 또한 크 게 줄일 수 있다. 이와 같이 높은 열전도도와 열적 안 전성을 갖는 SiC 전력 소자는 높은 열적 환경에서 동 작이 가능하고 제반 냉각시스템을 줄일 수 있어, 향 후 xEV 등 미래형 자동차에 활용성이 크게 부각될 것으로 기대된다.

표 1. 주요 전력반도체 재료들의 기본 특성비교

	Band Gap (eV)	Breakdown Field (V/cm)	Thermal Conductivity at 300K (W/cm deg)	Electron Mobility (cm ² /V·sec)
Si	1.12	3 × 10 ⁶	1.5	1360
GaN	3.42	30 × 10 ⁶	1.3	440
6H-SiC	3.03	32 × 10 ⁶	4.9	370 (↑ C) 75 (↓ C)
4H-SiC	3.26	30 × 10 ⁶	4.9	780 (↑ C) 950 (↓ C)

현재 전 세계적으로 SiC 반도체 기술은 150mm 단결정 제조기술이 확립되어 가는 중이며 전 세계 메이저 업체 중 미국의 Cree사가 유일하게 150mm bare 기판을 판매 중에 있다. 또한 2015 ICSCRM 학회에서 Cree와 II-VI사가 200mm SiC 기판 샘플을 선보인 바 있다. 이와 더불어 후속 공정인 SiC 단결정 박막 성장 및 전력소자, 패키징 기술 등의 개발이 활발히 진행되고 있다. 그러나, Si에 비해 아직까지 낮은 단결정 및 박막 품질 문제, 연관 인프라 공정, 그리고 높은 웨이퍼 가격 때문에 새로운 반도체 핵심산업으로의 발전은 다소 시간이 필요할 것으로 보인다.

본 기술소개에서는 SiC Epitaxy의 성장 기술, 주요 공정변수 및 결합 등을 소개하고자 한다.

2. SiC 에피 박막 성장

일반적으로 반도체소자 제조공정에서는 기본적인 소자 구성요소인 p-n 접합을 형성하기 위해 다양한 불순물 주입용 확산공정이 필요하다. SiC 웨이퍼의 경우, 전력소자용 활성층을 형성하기 위해 고온 이온 주입 및 확산공정이 필요하지만, 현실적으로 이를 안정하게 공정을 수행할 장비를 확보하기가 어렵고, 또한 결정 및 표면 결함발생의 문제점도 가지고 있다. 그러므로 전력소자 적용을 위해서는 SiC 웨이퍼 표면에 한층 혹은 다층구조의 에피 박막을 위한 Epitaxy 공정이 필요한 것이다. 특정 전력소자로 이용하기 위해서 일정한 두께와 정확한 도핑 농도 조절이 가능하고, 또한 SiC 기판에서 야기된 결함들을 에피 박막 성장시 감소시키거나 타 무전위 결합으로 전환하여 제어할 수 있어야 한다.

Epitaxy의 어원은 그리스어로 기판과 같은 구조를 가지면서 성장한다는 의미이다. 기판과 물리적, 화학적으로 구조가 완전히 일치하는 경우는 동종박막 성장 (homoepitaxial growth)이라 하고, 다른 경

우는 이종박막 성장(heteroepitaxial growth)이라 부른다.

에피 박막 성장기술은 일반적으로 CVD (Chemical Vapor Deposition) 방법을 이용한다. 반도체 공정에서 폭넓게 쓰이는 공정으로 넓은 면적에서 Epi 박막의 두께 및 도핑 농도 균일성 확보 및 이의 조절이 용이하다. 이외에도 Molecular Beam Epitaxy (MBE)[1], Sublimation Epitaxy[2], Liquid Phase Epitaxy(LPE)[3] 등의 방법이 연구 중에 있지만, 낮은 성장 속도, 높은 background 도핑 농도, 표면 형상 저하 문제 등의 이유로 산업상 이용성이 떨어지는 단점이 있다.

SiC CVD는 일반적으로 1600 °C의 고온에서 SiH₄와 C₃H₈을 Si와 C의 반응 가스로 진행한다. 희석 가스로 사용하는 수소는 가열된 기판 위에서 경계 확산층(boundary Layer)을 형성하게 되고 반응기 내부에서 반응 가스는 분해되어 이 층을 통해 확산하여 기판에 붙게 된다. 수소의 높은 열전도율은 기판과 반응로 내부의 온도 차이에 의한 표면 반응 가스의 역 확산을 방지하고 가스의 분해에 중요한 역할을 한다. 기판 표면에 붙은 가스는 재배열되어 Epi 단결정 박막으로 성장하게 된다. 주요 반응 메커니즘은 1) 반응로 내에 반응 가스의 mass transport, 2) 반응가스의 반응, 3) 결정표면으로 반응물의 확산, 4) 기판 표면에 몇몇 가스종의 흡착, 5) 기판 표면 위로 흡착된 원자들의 확산, 6) 기판 표면에서 원자가 결합하거나 원자의 탈착, 7) 탈착된 가스종이나 반응에 참가하지 못한 부산물의 배기 순으로 이루어지며, 그림 1에 도식화하였다.

현재 SiC Epitaxy 성장을 위해 가장 많이 이용되는 CVD 방식은 Linkoping 대학의 Kordina 교수가 개발한 것을 시초로 한 Horizontal hot-wall 반응로이다. 그림 2와 같은 반응로는 퀴츠 튜브, Graphite felt, TaC 코팅된 고순도 Graphite

Susceptor, RF coil로 이루어져 있다. 최근 상용화된 장비의 경우, Susceptor 위의 기판을 가스로 회전시키는 방식으로 박막의 두께 및 도핑 농도의 균일성을 향상시키는 기술이 도입되고 있다. 양산을 위한 planetary 반응로는 현재 10장의 4인치 기판 혹은 6장의 6인치 기판에의 박막성장이 동시에 가능한 설비로서 SiC 소재 및 소자의 상용화에 큰 걸림돌이 되어 왔던 높은 생산 단가를 줄일 수 있도록 하고 있다.

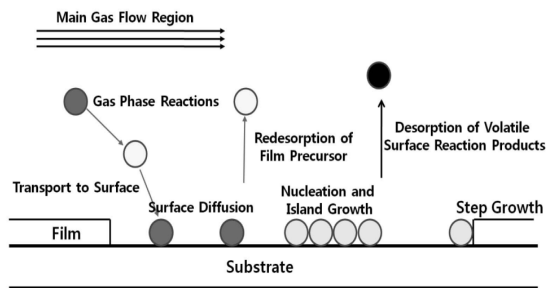


그림 1. Epi 박막 형성을 위한 기체 및 고체상의 반응 공정 메커니즘(4)

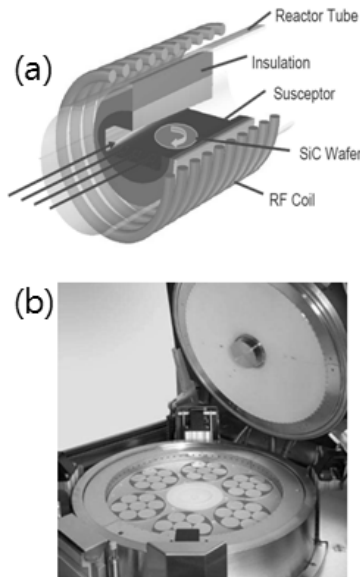


그림 2. SiC 단결정 박막 성장용 반응로
(a) Horizontal hot-wall 반응로,
(b) Planetary 반응로 (AIXTRON)

한편 SiC Epitaxy 공정은 그림 3과 같이 크게 In-situ etching과 Epi 박막 성장으로 이루어져 있다. 먼저 기판 표면의 전처리 과정을 통해서 웨이퍼 제작공정 후, 기판에 남아있는 스크래치, 가공으로 인해 발생한 damage layer와 표면 이물질 등을 제거하여 고품질의 박막을 성장할 수 있다. In-situ etching은 일반적으로 수소가스를 사용하지만 etching 동안 기판의 Si와 C가 서로 다른 비율로 탈착하고 기판의 오프 각도와 면에 의해 etching 후 다른 양상을 보이기 때문에 C- 또는 Si-rich 분위기에서 진행하기도 한다. Si-rich 분위기에서는 Si droplet이 기판 위에 흡착되는 것을 방지하기 위해 Cl 소스를 추가하기도 한다. 안정화 단계를 지나 실제 SiC Epitaxy 성장에서는 SiH4과 C3H8을 반응가스로 사용한다. 필요시, HCl을 추가하여 Si droplet 형성을 방지하고 에피 박막 내에 3C의 형성을 억제하기도 한다.

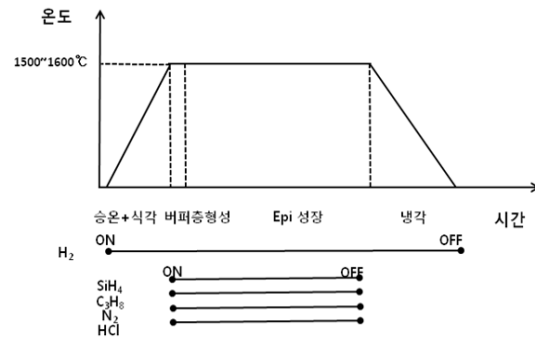


그림 3. 에피 공정 다이어그램

일반적으로 SiC 박막 성장은 SiH4, C3H8를 사용하지만 최근 chlorine을 추가로 더해주는 공정이 많이 연구되고 있다. chlorine은 HCl을 기체로 주입하거나 SiCl4(Tetrachlorosilane, TET), SiH2Cl2(Dichlorosilane, DCS), SiHCl3(Trichlorosilane, TCS), CHCl3, CH3SiCl3(Methyltrichlorosilane, MTS)와 같이 chlorine

을 함유한 전구체를 사용하여 주입하기도 한다. chlorine 은 Si droplet 형성을 방지하고 단결정 박막 내에 3C의 형성을 억제하는데 효과적인 것으로 알려져 있다[5,6]. 이러한 새로운 원료물질의 적용으로 고속(100um/hr)의 단결정 박막 성장에 성공했으며(그림 4), 이것 이외에도 기판의 고속 회전을 통한 성장속도 향상[7] 등 고속성장 연구가 진행되고 있다. 이는 SiC 소재가 전력용 반도체, 그 중에서도 초고압의 소자로의 응용이 기대되기 때문에 100~200um의 고품질 단결정 박막을 단기에 성장시키는 것이 가격 경쟁력에서 중요하기 때문이다.

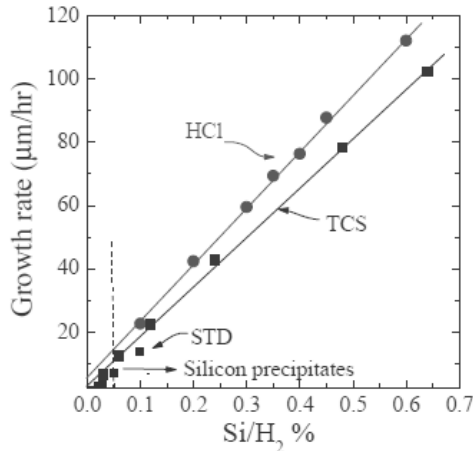


그림 4. TCS와 HCl을 이용한 고속 박막 성장[8]

Epi 박막 성장 시 C/Si 비는 가장 중요한 성장 공정인자 중의 하나이다. C, Si 중 어느 한쪽이 풍부한 조건에 의해 결정다형의 형성이 다르게 나타난다. Si-rich는 Epi 박막에 Si droplet을, C-rich는 3C-SiC를 포함, 박막 내에 존재하는 결함(carrot, triangular defect)으로 확장될 수 있으며, 높은 C-rich 상태는 심지어 다결정이나 비정질 층까지 만든다. 현재 상업적으로 가장 많이 사용되는 4° Off-axis 웨이퍼에 다양한 C/Si 비율을 갖은 성장 조건으로 공정이 이루어 질 경우, 그림 5와 같은 기판

의 step 방향인 [11-20]에 수직한 방향으로 Step bunching이 발생할 수 있다. Step bunching은 박막 성장 또는 in-situ etching 조건에 따라 수~수백 nm의 단차를 가진다. 완벽한 화학적 구조적 SiC를 위해서는 C/Si 비율이 1이 되어야 하지만, 실제 공정에서는 Si, C의 확산, 표면 반응을, 그리고 반응생성물 등에 의하여 공정변수의 변화가 있어야 한다.

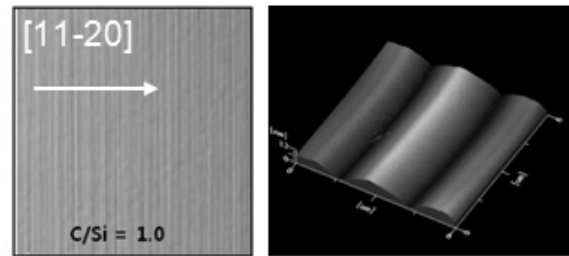


그림 5. 에피 성장 후 표면에 발생한 step bunching

SiC는 다양한 형태의 적층 순서가 가능하여 다양한 결정다형이 존재한다. 따라서 동일성장 조건에서 하나의 결정다형으로 제어하는 것이 큰 문제점으로 인식되어 왔다. 초기에는 사파이어 등의 기판을 이용하거나 동일 기판을 이용하더라도 on-axis기판을 이용하였으며, 이 경우 성장된 박막이 다양한 결정다형을 갖는 경우가 많았다. 이에 1994년 일본의 Matsunami 그룹에서 <11-20>방향으로 의도적인 off-angle을 가진 기판을 이용함으로써 보다 저온에서 결정다형이 제어된 박막의 성장에 성공하였다[9]. 이후 SiC 단결정 박막 성장의 경우 상기 off-axis 박막성장이 표준화된 공정으로 자리 잡고 있다.

SiC 단결정 박막에는 결정다형 외에도 micropipe, TSD, TED, BPD, stacking faults, carrot, triangular defect(그림 6)등 다양한 형태의 결함들이 존재한다. 이들 중 micropipe와 BPD는 전력반도체 소자의 특성과 신뢰성에 심각한 문제를 야기하는 killer defect로 알려져 있다. 최근에는 기존의 결함 외에도 TED II로 분류되는 결함이 보고되

기도 했다[10,11]. 이에 대해서는 보다 세밀한 분석이 필요해 보이지만 기존의 TED 보다는 더 작은 etch pit 크기를 갖고 c축 방향으로 진행되는 특징으로 미루어 기존 TED와는 달리 기저면이 아닌 방향으로의 burgers vector를 가진 mixed type의 전위로 고려되고 있다[12].

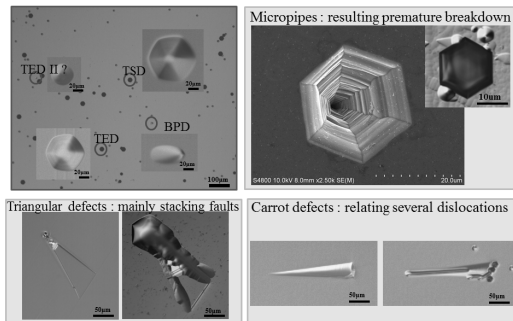


그림 6. SiC 결정 내에 존재하는 다양한 형태의 결함들[13]

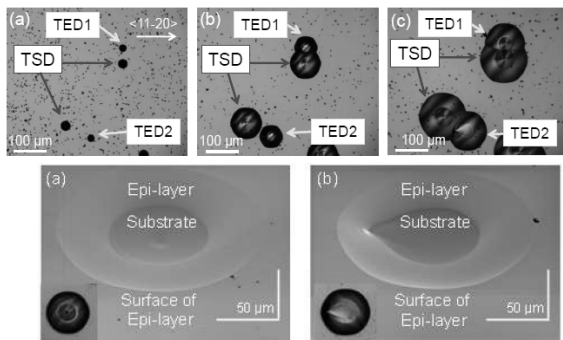


그림 7. TED2의 KOH etching 분석[15]

SiC 에피에 존재하는 BPD가 소자 동작 시 stacking fault를 발생시키고, 이들이 전자들의 trap으로 작용하여 소자의 신뢰성이 나빠지는 것으로 알려져 있다. BPD의 경우 결함 에너지 차이로 인해 낮은 오프 기판에서 TED로의 변환이 용이한 것으로 알려져 있다.[14] 그림 7은 BPD가 TED로 변환된 것을 KOH etching을 통해 확인한 그림이다. TED 2라고 표시된 etch pit은 KOH etching을 계속

진행할 경우 센터에서 BPD의 etch pit 모습인 shell 모양이 관찰된다. 이는 BPD가 에피 성장 중 TED로 변환된 것으로 일반적인 TED와는 에칭 이후 다른 모습을 한 것이다. BPD의 TED로의 변환은 에피 두께 1.5 μm 이내에서 관찰된 것으로 보고하고 있다.

5. 결 론

전력반도체 소재로 전 세계적으로 개발과 상업화가 활발히 진행되고 있는 SiC는 에너지 절약산업 및 기술의 한 부분인 전력기기에서 그 중요성이 크게 부각되고 있다. SiC 소재는 고온에서의 안정적인 동작과 시스템의 부피 감소, 높은 전력 변환 효율로 인해 전 기자동차 등 향후에는 많은 수요가 예측되고 있다. 하지만 아직 단결정 성장, 가공, 단결정 박막 성장, 전력소자 공정에 이르기까지 각 단계에서 해결해야 할 과제가 많이 남아있다. 기판의 크기가 커짐에 따라 대 면적 기판에서의 에피 두께 및 도핑의 균일도 제어의 중요성이 커지고 있고, 소자의 성능과 신뢰성에 영향을 미치는 결함에 대한 연구와 이의 제어 또한 해결해야 하는 문제로 남아있다. SiC소재의 상용화를 위해서는 소재의 특성을 구현할 수 있는 소재 개발 뿐만 아니라 생산성과 양산성 향상을 통한 경쟁력을 또한 갖춰야 할 것이다.

참 고 문 헌

- [1] E. Saito, A. Konno, T. Ito, K. Yasui, H. Nakazawa, T. Endoh, Y. Narita, M. Suemitsu, Appl. Surf. Science 254, p. 6235-6237 (2008).
- [2] M. Syvajarvi, R. Yakimova, M. Tuominen, A. Kakanova-Georgieva, M. F. MacMillan, A. Henry, Q. Wahab, E. Janzen, J. of Cryst. Growth 197, p. 155-162 (1999).
- [3] R. Yakimova, M. Tuominen, A. S. Bakin, J. O. Fomell, A. Vehanen, E. Janzen, Inst. Phys. Conf. Ser. 142, p 101-104 (1996).
- [4] M. L Hitchiman, K. F. Jensen, Chem. Vap. Dep. Principles and Applications, Academic press: London, P. 32 (1993).
- [5] A. A. Burk Jr., L.B. Rowland, J. Cryst. Growth 167, 586 (1996).

- [6] Z.Y. Xie, J.H. Edgar, B.K. Burkland, J.T. George, J. Chaudhuri, J. Cryst. Growth 224, 235 (2001).
- [7] H. Fujibayashi, M. Ito, H. Ito, I. Kamata, M. Naito, K. Hara, S. Yamauchi, K. Suzuki, M. Yajima, S. Mitani, K. Suzuki, H. Aoki, K. Nishikawa, T. Kozawa, H. Tsuchida, Mat. Sci. Forum, 778-780 (2014) 117-120.
- [8] F. La Via, G. Izzo, M. Mauceri, G. Pistone, G. Condorelli, L. Perdicaro, G. Abbondanza, F. Portuese, G. Galvagno, S. Di Franco, L. Calcagno, G. Foti, G. L. Valette, and D. Crippa, Mat. Sci. Forum, 600-603 (2009) 123.
- [9] H. Matsunami, T. Kimoto: Materials Science and Engineering R20, 125 (1997).
- [10] B. Kallinger, S. Polster, P. Berwian, J. Friedrich, G. Muller, A. N. Danilewsky, A. Wehrhahn, and A. D. Weber, J. Cryst. Growth 312, 21 (2011).
- [11] B. Chen, J. Chen, T. Sekiguchi, A. Kinoshita, H. Matuhata, H. Yamaguchi, I. Nagai, and H. Okumura, J. Mater. Sci.: Mater. Electron 19, 219 (2008).
- [12] Y. J. Shin, W. J. Kim, J. H. Moon, and W. Bahng, KIEEME 24, 779 (2011).
- [13] 방욱, 재료마당 25권 2호.
- [14] Z. Ahang and T. S. Sudarshan, Applied Physics Letters 87, 161917 (2005).
- [15] Keiko Masumoto, Sachiko Ito, Hideto Goto, Hirotaka Yamaguchi, Kentaro Tamura, Chiaki Kudou, Johji Nishio, Kazutoshi Kojima, Toshiyuki Ohno and Hajime Okumura, Mat. Sci. Forum, 778-780 (2014) 99-102.

◇ 저자 소개 ◇



서한석(徐漢錫)

2012년 서울대 재료공학부 졸업(박사).

2012년~현재 포항산업과학연구원.

Tel : 054-279-6963

E-mail : hsseo7@rist.re.kr



방욱(房煜)

1997년 서울대학교 무기재료공학과 졸업

(박사). 1997년 AIST(일) 특별연구원.

2000년~현재 한국전기연구원 전력

반도체연구센터 책임연구원.

Tel : 055-280-2098

E-mail : bahng@keri.re.kr