

낮은 잡음 특성을 가지기 위해 이중 루프의 구조를 가지는 위상고정루프 구현

최영식^{1*} · 안성진²

Design of Dual loop PLL with low noise characteristic

Young-Shig Choi^{1*} · Sung-Jin Ahn²

^{1*}Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

²Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

요 약

본 논문에서는 기존의 위상 고정 루프를 병렬 형태로 이중 루프를 구성하였다. 두 개의 루프를 통해서 전달 특성에 따라 원하는 크기의 대역폭을 만든다. 대역 폭의 형태는 동작하는 주파수 대역에서 잡음을 최소화 할 수 있는 위상 고정 루프를 설계하였다. 제안한 위상고정루프는 두 가지 필터를 제어하기 위하여 두 개의 기울기 값을 가지는 전압 제어 발진기를 사용하였다. 또한 정확한 위상 고정을 위하여 위상 고정 상태 표시기를 사용하였다. 전체적인 위상 고정 루프가 안정적인 동작하기 위하여 각각의 루프가 각각 58.2°, 49.4°의 위상 여유를 가지고 있으며 두 개의 루프를 합쳤을 때에도 45°이상의 안정적인 위상 여유를 가지는 것을 확인 할 수 있다. 제안된 위상 고정 루프는 1.8V 0.18um CMOS 공정을 이용하여 설계 되었다. 시뮬레이션 결과는 이중 루프를 가지고 위상고정루프의 구조가 원하는 출력 주파수를 생성하며 안정적으로 동작하는 것을 보여 주었다.

ABSTRACT

In this paper, a phase locked loop structure with parallel dual loop which have a different bandwidth has been proposed. The bandwidths depending on transfer functions are obtained through dual loops. Two different bandwidths of each loop are used to suppress noise on the operating frequency range. The proposed phase locked loop has two different voltage controlled oscillator gains to control two different wide and narrow loop filters. Furthermore, it has the locking status indicator to achieve an accurate locking condition. The phase margin of 58.2° for wide loop and 49.4° for narrow loop is designed for stable operation and the phase margin of 45° is maintained during both loops work together. It has been designed with a 1.8V 0.18um complementary metal oxide semiconductor (CMOS) process. The simulation results show that the proposed phase locked loop works stably and generates a target frequency.

키워드 : 위상고정루프, 지속적인 밴드 선택, 두 가지 부귀환 루프, 위상 잡음

Key word : PLL, Continuous Band-selection, Two Negative Feedback Loops, Phase Noise

Received 14 January 2016, Revised 04 February 2016, Accepted 25 February 2016

* Corresponding Author Young-Shig Choi(E-mail:choiys@pknu.ac.kr, Tel: +82-51-629-6222)

Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2016.20.4.819>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

높은 수준의 변조 시스템, 위성 통신 그리고 클록 발생기와 같은 현대의 복잡한 무선 통신 시스템에서 낮은 위상 잡음을 갖는 위상 고정 루프는 대부분의 무선 송수신기에 필수적인 부분이 되었다[1-3]. 시스템은 더욱 더 고속화되고 저 전력화 되면서 잡음의 영향이 점점 커지고 있다. 통신에 응용되는 위상고정루프의 경우, 잡음 특성이 회로의 성능에 직접적인 영향을 미쳐 좋은 잡음 특성을 가지는 회로를 설계하는 것이 매우 중요하다[4]. 위상고정루프의 출력 위상 잡음은 보통 전압제어 발진기(VCO), 위상주파수검출기(PFD), 전하펌프(CP), 분주기(Divider) 그리고 입력 기준 신호의 잡음에서 발생한다. 저 주파수 영역에서는 전하펌프, 위상주파수검출기, 그리고 기준신호의 위상잡음이 지배적인 반면, 높은 주파수 영역에서는 전압제어 발진기의 잡음이 지배적이다. 이러한 주파수 영역별 잡음을 낮추기 위해서는 적절한 대역폭을 설계하여야 한다[5].

최근 위상 잡음과 기준 주파수 의사 잡음을 줄이기 위한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안되었다. 일반적으로 위상고정루프는 낮은 위상 잡음 특성과 낮은 기준 주파수 의사 잡음을 위해 좁은 루프 대역폭을 가지는 적응성 구조를 사용하고 있다 [6,7]. 낮은 이득을 가지는 전압제어 발진기도 위상 잡음 향상을 위해 널리 사용되고 있는 방법이다[8]. 이 방법은 낮은 이득을 가지는 전압제어발진기로 넓은 주파수 영역에서 동작하기 위해 두 개의 루프와 스위치-커패시터 회로를 사용하였으나 회로가 복잡하고 위상 고정속도가 늦어지는 문제점을 가지고 있다. [9]는 위상 주파수 검출기나 전하펌프에서 발생하는 데드존 문제나 전류 부정합과 같은 비선형성에 의해 발생하는 위상 잡음을 줄일 수 있는 선형화 기법이다. 하지만 전하펌프의 비선형성 개선에 따른 트랜지스터의 늘어난 동작 시간에 의해 잡음이 증가하는 문제점이 있다. [10]은 스위치 가변 커패시터와 스위치 커패시터를 함께 채택하여 상이한 대역 영역에서의 전압제어 발진기의 기율기 변화를 보상하여 일정하게 만들었고, 전압제어 발진기에서 tail-feedback 방법을 통해서 위상 잡음을 개선시키는 방법을 제안하였다. 하지만 최종 위상고정루프의 잡음 전달함수를 보면 높은 주파수 영역에서의 잡음 개선 효과는 돋보이나, 전체 잡음의 크기를 효율적으로

줄이지는 못한다.

본 논문에서는 위상 고정 상태 표시기를 사용하고, 넓은 루프와 좁은 루프를 가지는 두 개의 위상고정루프 루프를 병렬로 연결하여 위상 잡음 특성을 개선 할 수 있는 새로운 구조의 위상고정루프를 제시 하였다. II와 III장에서는 회로의 특징과 위상 잡음 특성 분석에 대하여 설명한다. IV장에서는 시뮬레이션 결과를 보여주고, 마지막으로 V장에서 결론을 작성하였다.

II. 제안한 위상고정루프 구조

2.1. 이중 루프를 가진 위상고정루프의 구조

제안된 이중 루프를 가진 위상고정루프는 그림 1과 같이 각각 2개의 위상주파수검출기, 전하펌프와 2차 루프 필터, 그리고 위상 고정 상태 표시기(Locking status indicator; LSI), 두 개의 기율기 값을 가지는 전압제어 발진기, 그리고 분주기로 구성된다. 기본 위상고정루프에서는 안정한 동작을 위해서는 대역폭이 최소 기준 신호 주파수보다 1/10이 되어야 하고 충분한 위상 여유를 가져야 한다. 그러기 위해서 각 루프의 C_{zw} , C_{zn} 의 크기가 C_{pw} , C_{pn} 의 크기보다 10배 이상이 되도록 하는 일반적인 설계 방법을 따라 설계 하였다.

제안한 위상고정루프는 두 가지 필터를 제어하기 위하여 두 개의 기율기 값을 가지는 전압제어 발진기를 사용하였다. 또한 정확한 위상 고정을 위하여 위상 고정 상태 표시기를 사용하였다. 본 논문에서 위상고정루프는 좁은 대역폭을 가지는 루프와 넓은 대역폭을 가지는 루프, 즉 2개의 루프를 가지고 동작하게 된다.

두 개 루프의 전달 함수를 합치게 되면 다음과 같다.

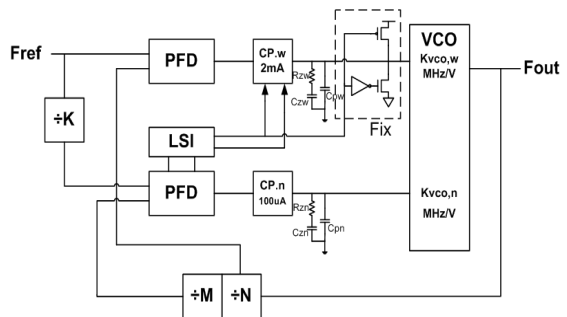


Fig. 1 Proposed Phase Locked Loop architecture

낮은 잡음 특성을 가지기 위해 이중 루프의 구조를 가지는 위상고정루프 구현

$$\phi_0 = \frac{\frac{I_{cw}}{2\pi} \frac{1}{C_{pw}} \frac{1}{s(s+p_w)} \frac{s+z_w}{s} K_{vco,w}}{1 + \frac{1}{N} \frac{I_{cw}}{2\pi} \frac{1}{C_{pw}} \frac{1}{s(s+p_w)} \frac{s+z_w}{s} K_{vco,w}} \quad (1)$$

$$+ \frac{\frac{I_{cn}}{2\pi} \frac{1}{C_{pw}} \frac{1}{s(s+p_n)} \frac{s+z_n}{s} K_{vco,n}}{1 + \frac{1}{N \times M} \frac{I_{cn}}{2\pi} \frac{1}{C_{pn}} \frac{1}{s(s+p_n)} \frac{s+z_n}{s} K_{vco,n}}$$

여기서,

- I_{cw} : 넓은 대역폭 루프의 전하펌프의 전류
- $K_{vco,w}$: 넓은 대역폭 루프 전압제어발진기의 기율기
- I_{cn} : 좁은 대역폭 루프의 전하펌프의 전류
- $K_{vco,n}$: 좁은 대역폭 루프 전압제어발진기의 기율기
- N, M, K : 8 분주기

$$Z_n = \frac{1}{R_{zn} C_{zn}}, \quad P_n = \frac{1}{R_{zn} C_{pn}}$$

$$Z_w = \frac{1}{R_{zw} C_{zw}}, \quad P_w = \frac{1}{R_{zw} C_{pw}}$$

를 뜻한다. 여기서 Z_n, Z_w 는 영점의 위치를 P_n, P_w 는 극점의 위치를 나타낸다. 충분한 위상 여유를 가지도록 각 루프에서 C_z, C_p 의 크기를 설계한다.

식(1)의 전달함수의 폐회로는 그림 2 (a)와 같이 넓은 루프의 전달함수와 좁은 루프의 전달함수의 합으로 나타낼 수 있다. 두 루프를 병렬로 연결한 회로의 이점은 좁은 루프와 넓은 루프의 대역폭을 조절하여 잡음 특성을 개선할 수 있는 형태의 대역폭을 가지도록 할 수 있다는 것이다. 두 루프를 합치기 위해서는 먼저 각 루프는 안정성을 가지고 동작하여야 한다.

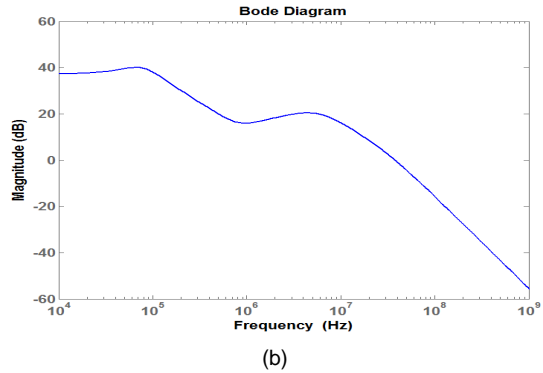
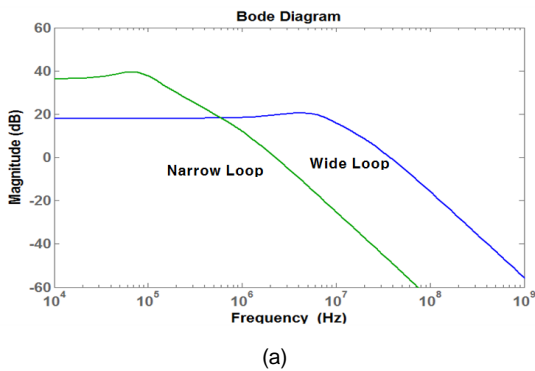


Fig. 2 Transfer function (a) wide band loop and narrow band loop (b) when two loops are combined

그림 3 (a)는 넓은 루프가 58.2°, 좁은 루프는 49.4도 각 루프가 충분한 위상 여유를 가지고 있으며 그림 3 (b)를 통해 두 루프가 합쳐졌을 때에도 위상 여유가 45 이상으로 안정적으로 동작함을 알 수 있다.

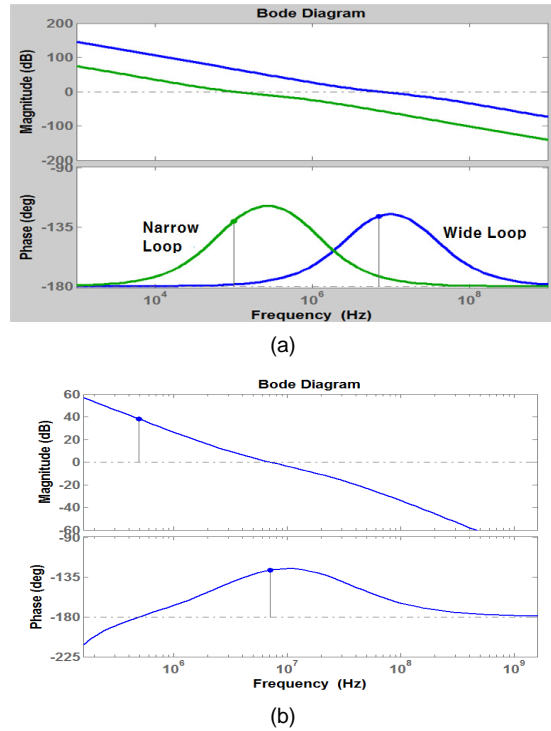


Fig. 3 (a) Phase margin of each wide and narrow loop (b) Phase margin combined two loop

2.2. 잡음 특성 해석

그림 4의 각 루프의 고유 잡음 전달 함수를 나타내면 다음과 같다.

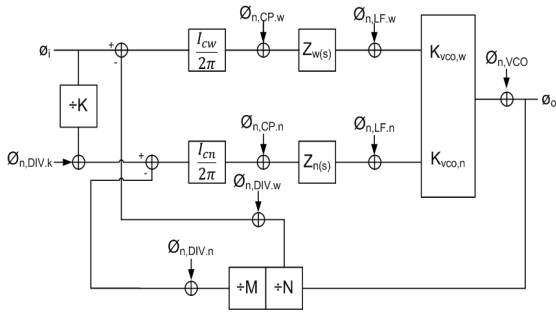


Fig. 4 Linear model of PLL with all the intrinsic noise sources

$$\frac{\phi_o}{\phi_{n,VCO}} = \frac{1}{1 + \frac{1}{N}Z_w(s)\frac{K_{vco,w}I_{cw}}{s} \frac{I_{cn}}{2\pi}} + \frac{1}{1 + \frac{1}{N \times M}Z_n(s)\frac{K_{vco,n}I_{cn}}{s} \frac{I_{cn}}{2\pi}} \quad (2)$$

$$\frac{\phi_o}{\phi_{n,LF}} = \frac{\phi_{on}}{\phi_{n,LF,w}} + \frac{\phi_{on}}{\phi_{n,LF,n}} \quad (3)$$

$$= \frac{\frac{K_{vco,w}}{s}}{1 + \frac{1}{N}Z_w(s)\frac{K_{vco,w}I_{cw}}{s} \frac{I_{cn}}{2\pi}} + \frac{\frac{K_{vco,n}}{s}}{1 + \frac{1}{N \times M}Z_n(s)\frac{K_{vco,n}I_{cn}}{s} \frac{I_{cn}}{2\pi}}$$

$$\frac{\phi_o}{\phi_{n,DIV}} = \frac{\phi_{on}}{\phi_{n,DIV,w}} + \frac{\phi_{on}}{\phi_{n,DIV,n}} \quad (4)$$

$$= \frac{\frac{I_{cw}}{2\pi}Z_w(s)\frac{K_{vco,w}}{s}}{1 + \frac{1}{N}Z_w(s)\frac{K_{vco,w}I_{cw}}{s} \frac{I_{cn}}{2\pi}} + \frac{\frac{I_{cn}}{2\pi}Z_n(s)\frac{K_{vco,n}}{s}}{1 + \frac{1}{N \times M}Z_n(s)\frac{K_{vco,n}I_{cn}}{s} \frac{I_{cn}}{2\pi}}$$

$$\frac{\phi_o}{\phi_{n,CP}} = \frac{\phi_{on}}{\phi_{n,CP,w}} + \frac{\phi_{on}}{\phi_{n,CP,n}} \quad (5)$$

$$= \frac{\frac{K_{vco,w}}{s}}{1 + \frac{1}{N}Z_w(s)\frac{K_{vco,w}I_{cw}}{s} \frac{I_{cn}}{2\pi}} + \frac{Z_n(s)\frac{K_{vco,n}}{s}}{1 + \frac{1}{N \times M}Z_n(s)\frac{K_{vco,n}I_{cn}}{s} \frac{I_{cn}}{2\pi}}$$

$$\frac{\phi_o}{\phi_{n,DIVk}} = \frac{\frac{I_{cn}}{2\pi}Z_n(s)\frac{K_{vco,n}}{s}}{1 + \frac{1}{N \times M}Z_n(s)\frac{K_{vco,n}I_{cn}}{s} \frac{I_{cn}}{2\pi}} \quad (6)$$

여기서, $\phi_{n,VCO}$ = 전압제어 발진기 잡음, $\phi_{n,LF}$ = 루프 필터 잡음, $\phi_{n,DIV} = N+M$ 분주기 잡음, $\phi_{n,DIVk}$ = 기준 신호 분주기, $\phi_{n,CP}$ = 전하펌프 잡음이다. 잡음의 전달함수 특성 또한 넓은 루프와 좁은 루프의 병렬 합으로 나타낼 수 있으며, 그림 5를 통해 주파수 대역에 따른 잡음의 크기를 볼 수 있다.

위와 같은 식 (2)-(6)의 전달 함수식을 그림 5와 같이 나타낼 수 있다. 그림 5를 보면 대략 낮은 주파수에서는 전하 펌프의 잡음이 지배적이고 주파수가 증가함에 따라 전압제어 발진기의 잡음이 지배적임을 알 수 있다. 이러한 결과를 바탕으로 원하는 대역폭에서의 잡음의 크기를 조절할 수 있다. 넓은 대역폭은 고정 시키고 좁은 대역폭을 더 좁게 만들게 되면 저 주파수 대역에서 지배적인 전하 펌프의 잡음의 대역이 앞으로 당겨짐으로써 중간 주파수 대역에서의 잡음 크기를 줄일 수 있게 된다. 반대로 좁은 대역폭을 고정 시키고 넓은 대역폭을 더 넓게 만들게 되면 회로는 낮은 잡음을 가지고 더 넓은 대역폭을 가지게 되는 장점을 가지고 있다.

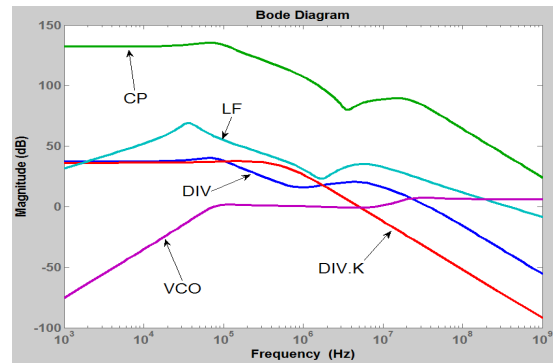


Fig. 5 Noise transfer function at frequency domain

III. 제안된 위상고정루프

[11]에서 사용된 위상 고정 상태 표시기는 좁은 위상 고정루프의 동작 상태에 따라 넓은 루프의 전하펌프 CP_w와 전압제어발진기의 입력 전압을 1.2V로 만들어 주는 Fix 회로를 제어하기 위한 신호, sch1과 schb를 생성한다. 본 논문에서 위상 고정 상태 표시기의 주된 역할은 다음과 같다. 두 개의 루프가 동작하면 상대적으로 높은 주파수를 가지고 비교를 하는 넓은 위상고정루프의 동작이, 낮은 주파수를 가지고 비교하는 좁은 위상고정루프의 동작보다 전체 동작에서 미치는 영향이 지배적이게 된다. 위상 고정 상태 표시기를 사용하지 않은 경우는 그림 6 (a)과 같이 좁은 루프의 두 입력은 오차가 나고 있음에도 불구하고, 지배적인 영향을 미치는 넓은 루프 위상주파수검출기의 두 입력 위상이 일치

하여 전체적인 위상고정루프가 마치 고정된 정상 동작을 하는 것처럼 나타나게 되는 오류를 가지게 된다. LSI는 이러한 오류가 일어나지 않도록 제어하게 되는데, 그 원리는 다음과 같다. 큰 루프와 작은 루프의 기준 신호는 각각 125MHz와 이 주파수를 8분주한 신호 62.5MHz로 비교하게 된다.

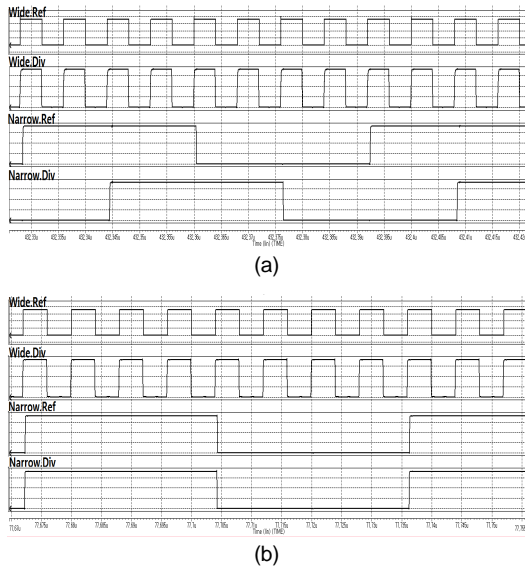


Fig. 6 Two input signal without LSI (b) Two input signal with LSI

이 때, 125MHz의 시작 신호와 8분주된 15.625MHz의 시작 신호의 타이밍이 분주기를 통과 하면서 어긋난다. 이 때문에 그림 6 (a)와 같은 오류가 발생하게 된다. 따라서 LSI를 통하여 작은 루프의 up/dn 신호를 받아 작은 루프가 고정되지 않았을 때는 LSI의 출력신호 sch1에 “low” 신호가 입력되어 그림 1의 CP_w의 동작을 멈추고 일정한 전압을 생성하는 Fix 회로를 동작시키게 된다. 일정한 전압을 생성하는 Fix 회로를 사용하는 이유는 위상 고정 과정에서 넓은 대역 루프의 전하 펌프가 “off” 되기 때문에 넓은 대역 루프의 루프 필터 출력 전압을 일정하게 유지하기 위함이다. 작은 대역 루프의 전하펌프는 위상 고정 상태에 관계없이 항상 동작하고 작은 대역 루프의 루프 필터 출력 전압을 변화시켜 작은 루프의 두 신호가 위상고정이 되도록 한다. 결과적으로 작은 루프의 신호가 먼저 고정되게 되고 고정된 후에는 LSI의 출력 신호 sch1에는 “high”의 신호가

들어가게 된다. 그 후 Fix 회로는 “off” 되고 CP_w가 정상 동작을 함으로써 그림 6 (b)와 같이 위상주파수검출기 두 개의 입력 신호가 같은 위상을 가진다. LSI와 Fix 회로는 제안된 위상고정루프가 정상적인 동작을 하도록 한다. 그림 7은 LSI의 회로도 및 그 동작 원리를 설명하였다. 전체적인 동작원리는 위상이 고정되지 않았을 때 폭이 넓은 up/dn 신호가 입력으로 들어올 때, LSI는 V_a의 전압이 증가하고, 최종적으로는 sch1은 ‘low’ 값을 가지는 신호를 출력한다. 반대로 위상이 고정되어 폭이 좁은 up/dn 두 개의 ‘low’ 신호가 입력으로 들어올 때, LSI는 반대로 ‘high’ 값을 가지는 sch1 신호를 출력하게 된다.

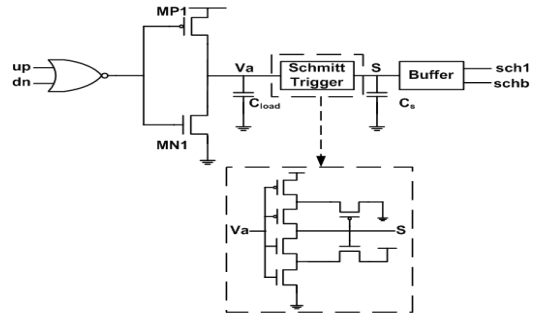


Fig. 7 Circuit of LSI

그림 8은 두 개의 전압 제어 저항(Voltage Controlled Resistor)과 3단의 지연 셀로 구성된 링 구조로 이루어져 있다. 전압 제어 저항은 넓은 대역폭 루프의 루프 필터 출력 전압, V_{LF,W}와 좁은 대역폭 루프의 루프 필터 출력 전압, V_{LF,N}의 입력을 통하여 전압제어발진기의 출력 주파수와 위상을 제어하는 전류의 흐름으로 변환시켜 준다.

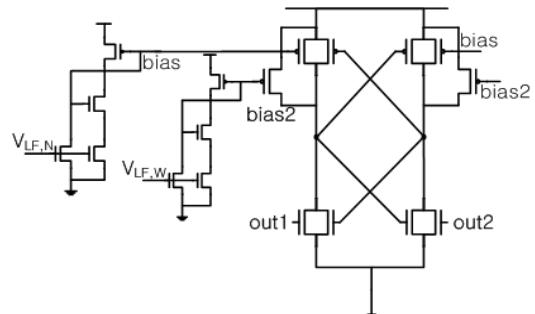


Fig. 8 Circuit of VCO

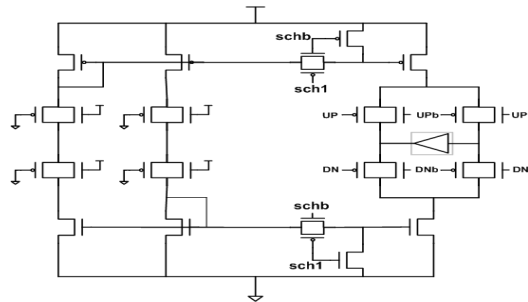


Fig. 9 Charge Pump circuit of wide loop

그림 9는 LSI를 통해서 제어되는 CP_w의 회로이다. 전하펌프는 위상주파수 검출기에서 출력된 up, dn 신호에 따라 루프필터에 전류를 흘려준다. 여기서 sch1과 schb에 의해 제어되는 스위치의 동작 원리는 다음과 같다. 좁은 루프회로의 위상이 고정되지 않았을 때는 sch1에 “high” 값이 schb에는 “low” 값이 들어감으로써 전하펌프의 동작을 멈추게 하고, 반대로 좁은 루프회로의 위상이 고정되었을 때는 sch1에 “low”값이 들어감으로써 CP_w가 정상 동작을 하게 된다. 좁은 루프의 전하펌프 CP_n는 그림 9의 CP_w에서 sch1, schb 제어 스위치가 제거된 형태의 전하 펌프로 구성되었다.

IV. 시뮬레이션 결과

제안한 구조의 위상고정루프는 0.18um CMOS공정을 사용하여 시뮬레이션 하였다. 125MHz의 입력 주파수와 64분주를 가지며, 출력 주파수는 1GHz이다. 그림 10(a)의 시뮬레이션 결과는 전체 회로가 50us에 위상이 고정된다는 것을 보여주고 있다. 위상의 고정 여부는 LSI의 동작을 통해서도 알 수 있는데 그림 10(b)를 통해서 약 46us에서 위상이 고정되는 것을 조금 더 정확하게 알 수 있다. 위상이 고정되는 순간 LSI에서는 ‘high’ 값의 신호가 나오게 되며 이 신호는 Fix회로의 동작을 멈추고 넓은 루프의 전하 펌프가 정상적인 동작을 하게 한다. 그림 10(c)는 LSI에서 ‘high’값이 나오는 46us에서 넓은 루프회로의 V_{LF,W}가 전하 펌프에 의해서 정상적으로 동작하는 것을 알 수 있다. 결과적으로 넓은 루프의 루프 필터 전압이 Fix회로에 의해 먼저 일정하게 되고 좁은 루프의 루프 필터 전압이 일정해지므로 전체 위상고정루프의 위상 고정시간은 좁은 루프의 대역폭

에 의해 결정된다.

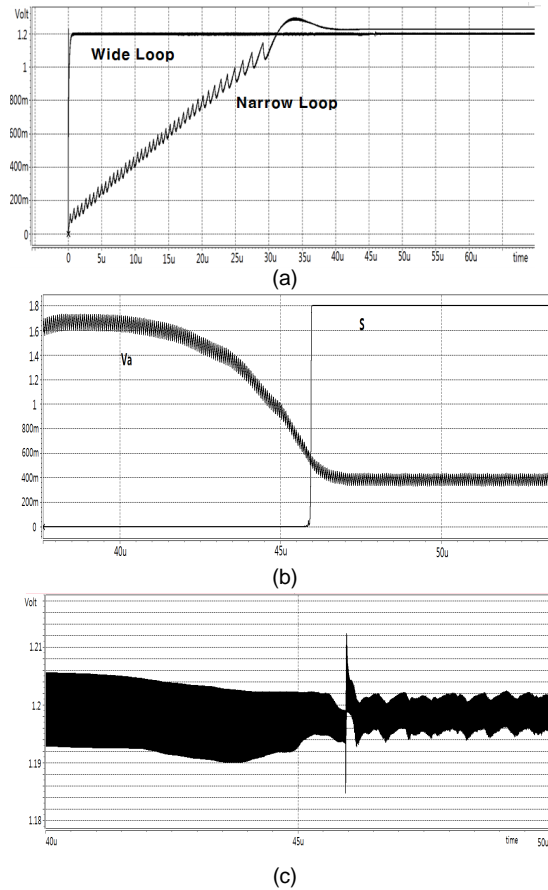


Fig. 10 (a) Loop filter voltage of narrow and wide loop. (b) Simulation result of LSI (c) When narrow loop is locked, the voltage of wide loop

V. 결론

본 논문에서는 각 루프의 대역폭과 크기를 조절하여 잡음 특성을 개선 할 수 있는 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 각각 충분한 위상 여유를 가진 넓은 루프와 좁은 루프를 병렬로 연결하였고, 안정된 동작을 위하여 위상상태 표시기를 도입하였다. 각 루프의 대역폭을 조절하여 원하는 주파수 범위에서 잡음 수준을 조절 할 수 있고, 위상상태 표시기를 도입하여 위상고정 시간도 기존 구조와 같은 크기로 구

현 할 수 있다. 주요 회로와 입력신호의 잡음의 크기에 따라 대역폭을 조절하여 원하는 잡음 특성을 구현 할 수 있도록 한다.

REFERENCES

- [1] D. Murphy, Q. J. Gu, Y.-C. Wu, H.-Y. Jian, Z. Xu, A. Tang, F. Wang, and M.-C. F. Chang, "A low phase noise, wideband and compact CMOS PLL for use in a heterodyne 802.15.3c transceiver," *IEEE J. Solid-State Circuits*, vol. 46, no. 7, pp. 1606 - 1617, Jul. 2011.
- [2] Z. Xu, Q. J. Gu, Y.-C. Wu, H.-Y. Jian, and M.-C. F. Chang, "A 70-78-GHz integrated CMOS frequency synthesizer for-band satellite communications," *IEEE Trans. Microw. Theory Tech*, vol.59, no. 12, pp. 3206 - 3218, Dec. 2011.
- [3] R. C. H. v. d. Beek, C. S. Vaucher, D. M. W. Leenaerts, E. A. M. Klumperink, and B. Nauta, "A 2.5 - 10-GHz clock multiplier unit with 0.22-ps RMS jitter in standard 0.18-mm CMOS," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1862 - 1872, Nov. 2004.
- [4] Marianne M. Kamal, Emad W. El-Shewekh, and Muhammad H. EL-SABA, "Design and implementation of a low-phase-noise integrated CMOS Frequency Synthesizer for high - sensitivity narrow-band FM transceivers," *Microelectronics*, pp.167-175, Cairo, Egypt. Dec. 2003.
- [5] H.Y Chang, Y.L Yeh, Y.C Liu, M.H Li, K. Chen, "A low-jitter low-phase-noise 10-GHz sub-harmonically injection-locked PLL with self-aligned DLL in 65-nm CMOS technology," *IEEE Trans. Microw. Theory Techn.*, vol. 62, No. 3, pp 543-555, March 2014.
- [6] Youn-Gui Song, Young-Shig Choi and Ji-Goo Ryu, "A phase locked loop with resistance and capacitance scaling scheme," *IEEK SD*, vol. 46, no. 4, pp. 37-44, Apr. 2009.
- [7] Kyoohyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 807-815, June 2000.
- [8] Tsung-Hsien Lin and William J. Kaiser, "A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 424-431, March 2001.
- [9] Shen Ye, Lars Jansson and Ian Galton, "A Multiple-Crystal Interface PLL With VCO Realignment to Reduce Phase Noise," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1795-1803, December 2002.
- [10] J.Luo, Lei Zhang, Li Zhang, Y. Wang, Z. Yu, "A 24GHz low power and low phase noise PLL frequency synthesizer with constant Kvco for 60GHz wireless applications," *Circuits and Systems IEEE*, pp. 2940-2543, October 2015.
- [11] Youn-Gui Song, Young-Shig Choi and Ji-Goo Ryu, "A fast locking Phase Locked Loop with multiple charge pumps", *IEEK SD*, vol 46, Feb. 2009.



최영식(Young-Shig Choi)

1982년 경북대학교 전자공학과 학사 졸업.
 1986년 Texas A&M University 전자공학과 석사 졸업.
 1993년 Arizona State University 박사 졸업.
 1987년 ~ 1999년 현대전자 책임연구원
 1999년 ~ 2003년 동의대학교 전자공학과 교수
 2003년 ~ 현재 부경대학교 전자정보통신공학부교수
 ※관심분야 : PLL, DLL 설계



안성진(Sung-Jin Ahn)

2015년 부경대학교 전자공학과 학사 졸업.
 2015년 부경대학교 전자공학과 석사 입학.
 ※관심분야 : PLL, DLL 설계