

## 비대칭 이중게이트 MOSFET에 대한 DIBL의 채널도핑농도 의존성

정학기\*

### Dependence of Channel Doping Concentration on Drain Induced Barrier Lowering for Asymmetric Double Gate MOSFET

Hakkee Jung\*

Department of Electronic Eng., 558 Daehangno, Kunsan National University, Gunsan, Chonbuk 54150, Korea

#### 요 약

본 논문에서는 비대칭 이중게이트 MOSFET의 채널 내 도핑농도에 대한 드레인 유도 장벽 감소 현상에 대하여 분석하고자 한다. 드레인 유도 장벽 감소 현상은 드레인 전압에 의하여 소스 측 전위장벽이 낮아지는 효과로서 중요한 단채널 효과이다. 이를 분석하기 위하여 포아송방정식을 이용하여 해석학적 전위분포를 구하였으며 전위분포에 영향을 미치는 채널도핑 농도뿐만 아니라 상하단 산화막 두께, 하단 게이트 전압 등에 대하여 드레인 유도 장벽 감소 현상을 관찰하였다. 결과적으로 드레인 유도 장벽 감소 현상은 채널도핑 농도에 따라 큰 변화를 나타냈다. 채널길이가 25 nm 이하로 감소하면 드레인 유도 장벽 감소 현상은 급격히 상승하며 채널도핑 농도에도 영향을 받는 것으로 나타났다. 산화막 두께가 증가할수록 도핑농도에 따른 드레인 유도 장벽 감소 현상의 변화가 증가하는 것을 알 수 있었다. 채널도핑 농도에 관계없이 일정한 DIBL을 유지하기 위하여 상단과 하단의 게이트 산화막 두께가 반비례하는 것을 알 수 있었다. 또한 하단게이트 전압은 그 크기에 따라 도핑농도의 영향이 변화하고 있다는 것을 알 수 있었다.

#### ABSTRACT

The dependence of drain induced barrier lowering(DIBL) is analyzed for doping concentration in channel of asymmetric double gate(DG) MOSFET. The DIBL, the important short channel effect, is described as lowering of source barrier height by drain voltage. The analytical potential distribution is derived from Poisson's equation to analyze the DIBL, and the DIBL is observed according to top/bottom gate oxide thickness and bottom gate voltage as well as channel doping concentration. As a results, the DIBL is significantly influenced by channel doping concentration. DIBL is significantly increased by doping concentration if channel length becomes under 25 nm. The deviation of DIBL is increasing with increase of oxide thickness. Top and bottom gate oxide thicknesses have relation of an inverse proportion to sustain constant DIBL regardless channel doping concentration. We also know the deviation of DIBL for doping concentration is changed according to bottom gate voltage.

**키워드** : 비대칭 이중게이트, 드레인 유도 장벽 감소, 포아송방정식, 채널도핑농도

**Key word** : Asymmetric Double Gate, Drain Induced Barrier Lowering, Poisson Equation, Channel Doping Concentration

Received 29 December 2015, Revised 22 January 2016, Accepted 12 February 2016

\* Corresponding Author Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Eng., 558 Daehangno, Kunsan National University, Gunsan, Chonbuk 54150, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.4.805>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

최근 모바일기기의 급속한 확산에 부응하기 위하여 메이저급 반도체회사에서는 집적회로의 크기를 축소시키면서 성능을 향상시키려는 노력이 진행 중이다. 이 노력의 일환으로 삼성전자는 2015년까지 D램의 절반 가량을 20 나노미터 급 공정을 이용하여 양산하기로 결정하였다. 대부분의 메이저급 반도체 회사는 20-30 나노미터 급 공정을 이용하고 있어 그 격차는 더욱 벌어질 예정이다. 이와 같이 트랜지스터의 크기가 감소하면 집적회로의 소비전력은 감소하고 이에 따라 발열이 줄고 동작속도도 빨라진다는 장점이 있다. 트랜지스터의 크기 감소는 단순히 저 전력소비 및 고속 동작의 장점뿐만 아니라 소비자의 욕구를 충족시켜 기업체의 마진향상에 직접적인 영향을 미치게 된다. 그러나 기존의 CMOSFET를 이용한 20 나노미터 이하 급 트랜지스터에서는 2차효과라고 불리우는 단채널 효과가 급격히 증가하여 트랜지스터 성능저하의 원인이 되고 있다. 그러므로 트랜지스터의 구조를 변경하여 이러한 단채널 효과를 감소시키려고 노력하고 있다.

이러한 목표에 가장 근접한 소자가 이중게이트(Double Gate; DG) MOSFET이다[1,2]. 이중게이트 MOSFET는 상하에 게이트를 제작하여 채널 내 전류흐름을 제어하는 소자로서 대칭형과 비대칭형으로 구분된다. 대칭형 구조는 상단과 하단의 게이트 산화막 뿐만 아니라 게이트전압도 동일하게 인가하는 반면 비대칭형 DG MOSFET는 상하단 산화막 구조 뿐만 아니라 게이트 전압도 달리 인가할 수 있다[3]. 단채널 효과 중 가장 중요한 요소는 문턱전압의 이동에 의한 드레인 유도 장벽 감소 현상(Drain Induced Barrier Lowering; DIBL)이다. DIBL은 단채널이기 때문에 드레인 전압이 소스 측 에너지장벽에 영향을 미치는 현상으로써 문턱전압 이동의 척도가 되고 있다. 본 논문에서는 비대칭 DG MOSFET의 DIBL현상이 채널 내 도핑농도에 따라 어떻게 변화하는지를 고찰하고자 한다. 이를 위하여 Ding 등의 포아송방정식 해법을 이용할 것이다[4]. 그러나 Ding 등의 해석과 달리 포아송방정식을 풀 때 도핑분포함수는 실험값에 가장 유사한 가우시안 분포함수를 이용할 것이다. 비록 채널부피가 감소하여 실제 불순물의 수가 매우 적을 지라도 가우시안 전하분포를 이용하여 포아송방정식을 풀고 전위분포를

구할 것이다. 그러나 트랜지스터의 크기가 더욱 감소하여 실제 도핑에 의한 불순물의 수에 의미가 없다면 새로운 해석방법을 찾아야 할 것이다. 도핑농도의 변화뿐만 아니라 상하단 게이트 전압 및 산화막 두께들 달리 제작할 수 있다는 비대칭 DG MOSFET의 장점을 함께 고찰하기 위하여 산화막 두께 변화 및 하단 게이트 전압의 변화에 대하여 채널도핑농도를 파라미터로 하여 DIBL의 변화를 고찰하였다.

## II. 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 모델

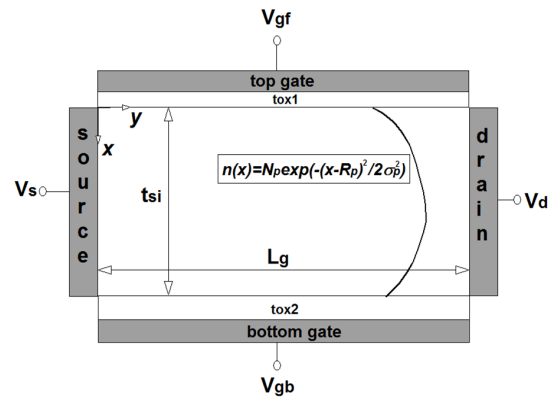


Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압  $V_{gf}$ 와 하단의 게이트 전압  $V_{gb}$ 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 이러한 비대칭 이중게이트 MOSFET의 경우 채널 내 도핑농도에 대한 드레인 유도 장벽 감소의 변화를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 이때 전하분포함수로는 가장 실험값에 근사한 가우스함수를 이용하였다. 먼저 식 (1)의 포아송방정식과 식 (2)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서  $\epsilon_{si}$ 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\begin{aligned} \phi(x, y=0) &= V_s, \quad \phi(x, y=L_g) = V_s + V_d \\ \phi(x=0, y) &= V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0} \\ \phi(x=t_{si}, y) &= V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}} \end{aligned}$$

여기서  $V_s$ 는 소스 전압,  $V_d$ 는 드레인 전압,  $V_{gf}$ 는 평탄전압을 고려한 상단 게이트 전압,  $V_{gb}$ 는 평탄전압을 고려한 하단게이트 전압, 그리고  $C_{ox1}$ 과  $C_{ox2}$ 는 각각 상단과 하단 게이트 산화막에 대한 커패시턴스 값이다. 식 (2)에서 알 수 있듯이 포아송 방정식을 이용하여 전위를 구할 때 채널 내 도핑농도는 전위분포 결정에 큰 변수가 된다. 또한 경계 조건에서 알 수 있듯이 산화막 커패시턴스는 산화막 두께에 따라 변화하므로 산화막 두께는 전위분포에 영향을 미칠 것이며 하단 게이트 전압도 전위 분포에 영향을 미칠 것이다. 이와 같이 채널 내 도핑농도 및 산화막 두께 그리고 하단 게이트 전압 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[4].

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이며 여기서  $n$ 은 정수,  $k_n = n\pi/L_g$ 이며  $A_n(x)$ 에 나타나는 상수는 참고문헌[5]에 표기하였다.

본 논문에서는 차단전류가 채널폭 당  $0.1\mu A$ 일 때 상단 게이트 전압으로 문턱전압을 정의하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당  $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하면

$$I_d = \frac{q(n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} v_{th} t_{si} W}{6} \quad (5)$$

이다. 식 (5)에 다음과 같은 전도중심  $x_{eff}$  값을 대입하여 차단 전류값을 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{q\phi(x, y_{\min})/kT} dx / \int_0^{t_{si}} e^{q\phi(x, y_{\min})/kT} dx \quad (6)$$

여기서  $k$ 는 볼츠만 상수이며  $T$ 는 절대온도이다. 식 (6)에서 상단게이트의 표면전위 중 최소값을 갖는  $y_{\min}$  값을 구하여 대입한다[5].

드레인 유도 장벽 감소 현상은 채널길이가 감소하면서 드레인 전압이 소스 측에 영향을 미쳐 소스 측 전위 장벽이 감소하면서 결국 문턱전압의 감소를 나타내는 현상이므로 식 (7)로 표현할 수 있다.

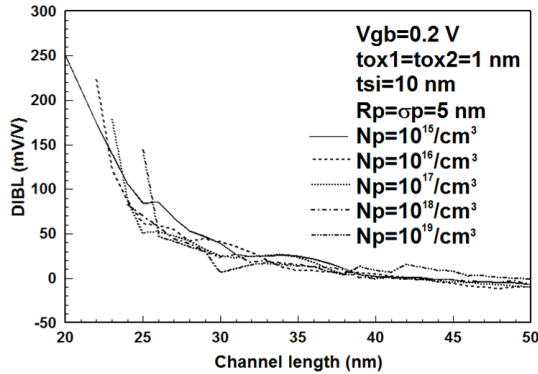
$$DIBL = V_{th}(V_{ds} = 0 V) - V_{th}(V_{ds} = 1 V) \quad (7)$$

이러한 현상은 드레인 전압이 증가하면 문턱전압이 감소할 수 있다는 단채널 효과로서 식 (2) 및 경계조건 등에서 알 수 있듯이 전위분포에 영향을 미치는 채널 내 도핑농도, 산화막 두께 그리고 하단게이트 전압 등이 영향을 미칠 수 있다[6].

그러나 비대칭 이중게이트 MOSFET에서는 아직 이에 대한 수식적 모델을 구하기 위한 기초 연구가 미흡한 상태이므로 본 논문에서는 채널 도핑 농도, 산화막 두께 그리고 하단게이트 전압 등에 따른 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 현상을 고찰할 것이다. 즉, 본 논문에서는 상기 서술한 바와 같이 식 (7)을 이용하여 채널도핑 농도를 파라미터로 채널길이, 상하단 산화막 두께 및 하단게이트 전압 등에 대한 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 현상에 대하여 고찰 할 것이다.

### III. 비대칭 이중게이트 MOSFET의 DIBL에 대한 고찰

본 논문에서 제시한 문턱전압모델에 대한 타당성은 이미 발표된 논문[7]에서 입증되었으므로 본 논문에서는 2장에서 제시한 드레인 유도 장벽 감소 모델을 이용하여 비대칭 이중게이트 MOSFET의 채널도핑농도를 파라미터로 하여 채널길이, 산화막 두께 변화 및 하단

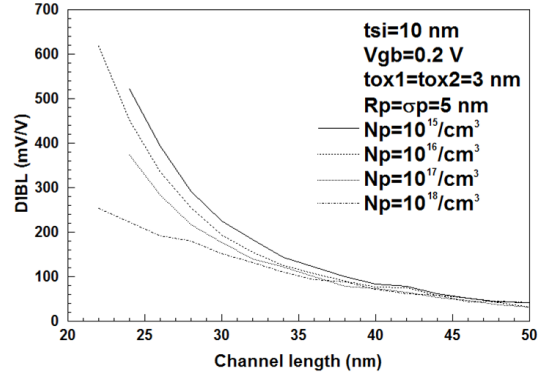


**Fig. 2** The change of DIBL for channel length with a parameter of channel doping concentration at top/bottom gate oxide thickness of 1 nm

게이트 전압에 대한 드레인 유도 장벽 감소의 변화를 고찰할 것이다.

먼저 상하단 게이트 산화막 두께가 1 nm일 때, 최대 채널도핑농도를  $10^{15}/cm^3$ 에서  $10^{19}/cm^3$ 까지 변화 시키면서 채널길이에 대한 DIBL의 변화를 그림 2에 도시하였다. 그림 2에서 알 수 있듯이 채널길이가 감소할수록 단채널효과에 의하여 DIBL은 크게 증가하는 것을 알 수 있다. 또한 채널길이가 30 nm보다 클 경우 DIBL은 50 mV/dec 이하로 거의 무시할 수 있을 정도로 감소하며 최대 채널도핑농도에도 거의 영향을 받지 않고 있었다. 그러나 채널길이가 25 nm 이하로 감소하면 DIBL은 급격히 상승하며 채널도핑농도에도 영향을 받는 것으로 나타났다. 즉, 채널도핑농도가 증가할수록 채널길이가 더 긴 영역에서 DIBL의 급격한 상승이 나타나고 있었다. 그러므로 채널길이가 감소할수록 최대 채널도핑농도의 선택은 신중하여야 할 것이다.

상하단 산화막 두께의 변화가 채널도핑농도를 파라미터로 구한 채널길이에 대한 DIBL의 변화에 미치는 영향을 분석하기 위하여 그림 3에 모든 조건은 동일하게 유지하면서 단지 상단과 하단의 산화막 두께를 3 nm로 증가시킨 경우, DIBL의 변화를 도시하였다. 그림 2와 비교해 볼 때 최대 채널도핑농도에 따라 DIBL의 채널길이에 대한 변화가 채널길이에 관계없이 뚜렷이 구분되고 있다는 것을 알 수 있다. 특히 DIBL의 절대값이 크게 증가하고 있었다. 또한 채널도핑농도에 대한 DIBL의 변화 경향도 상이하다는 것을 관찰할 수 있다.



**Fig. 3** The change of DIBL for channel length with a parameter of channel doping concentration at top/bottom gate oxide thickness of 3 nm

즉, 계산한 채널길이 영역에서 DIBL은 50 mV/dec 이상의 값을 보였으며 25 nm 이하에선 채널도핑농도와 관계없이 200 mV/dec 이상의 DIBL값을 보이고 있었다. 그림 2와 달리 채널도핑농도가 증가하면 DIBL값이 상대적으로 감소하는 경향을 보이고 있었으며 채널길이 감소에 대한 DIBL의 증가율도 감소하고 있다는 것을 관찰할 수 있다. 이와 같이 상단과 하단의 산화막 두께가 증가하면 DIBL은 크게 증가하며 채널도핑농도가 DIBL의 채널길이에 대한 변화에 더욱 중요한 영향을 미치는 것을 알 수 있었다.

구체적으로 상단과 하단의 산화막 두께에 대한 DIBL의 변화를 채널도핑농도를 파라미터로 관찰하기 위하여 그림 4에 최대 채널도핑농도가  $10^{15}/cm^3$ ,  $10^{16}/cm^3$ ,  $10^{17}/cm^3$  그리고  $10^{18}/cm^3$ 일 경우, 상단과 하단 게이트 산화막 두께를 1 nm에서 5 nm로 변화시켰을 때 채널길이 30 nm에서 DIBL의 크기 변화를 등고선 그래프로 도시하였다. 그림 2와 그림 3의 비교에서 전술한 바와 같이 상단과 하단의 게이트 산화막 두께가 동시에 증가하면 DIBL은 크게 증가하는 것을 알 수 있다. 또한 최대 채널도핑농도가 증가하면 DIBL은 감소하고 있었다. 특히 최대 채널도핑농도에 관계없이 일정한 DIBL을 유지하기 위하여 상단과 하단의 게이트 산화막 두께가 반비례하는 것을 알 수 있었다. 그러나 최대 채널도핑농도가 증가하면 하단게이트 산화막 두께 보단 상단 게이트 산화막 두께에 더욱 영향을 받고 있다는 것을 그림 4(d)에서 관찰할 수 있다. 이와 같이 채널도핑농도와 상하단 산화막 두께는 DIBL에 대하여

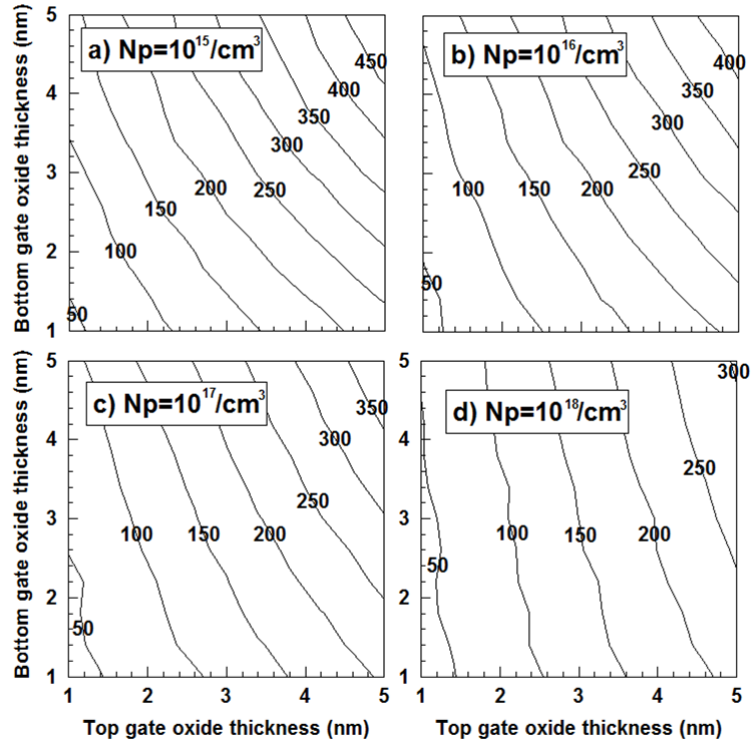


Fig. 4 Contours of DIBL for top/bottom gate oxide thickness derived from a parameter of channel doping concentration when top/bottom gate oxide thickness is changed from 1 nm to 5 nm at channel length of 30 nm

상호 유기적인 영향을 미치고 있었다.

상단과 하단 게이트 전압을 달리 인가할 수 있다는 비대칭 DG MOSFET의 특징에 따라, 채널길이 30 nm이고 상단과 하단의 게이트 산화막 두께를 3 nm로 동일하게 유지하였을 경우, 하단 게이트 전압의 변화가 DIBL에 미치는 영향을 채널도핑농도를 파라미터로 하여 구한 결과를 그림 5에 도시하였다. 그림 5에서 알 수 있듯이 계산한 하단 게이트 전압의 범위에서 채널도핑농도에 따라 DIBL의 변화는 일정하게 나타나고 있지 않았다. 즉, 하단 게이트 전압이 낮을 경우, 최대 채널도핑농도가 작을 때 DIBL은 증가하나 하단 게이트 전압이 증가하면 최대 채널도핑농도가 증가할수록 DIBL도 증가하는 경향을 보이고 있다. 또한 하단 게이트 전압이 증가할 때, DIBL의 변화 경향이 갑자기 바뀌는 변곡점이 존재하며 그 점은 최대 채널도핑농도가 증가할수록 하단 게이트 전압이 큰 점에서 발생하고 있다는 것을 관찰할 수 있다.

이와 같이 DIBL은 채널도핑농도, 상하단 산화막 두께 그리고 하단 게이트 전압 등에 따라 크게 변화하고 있다는 것을 관찰할 수 있다.

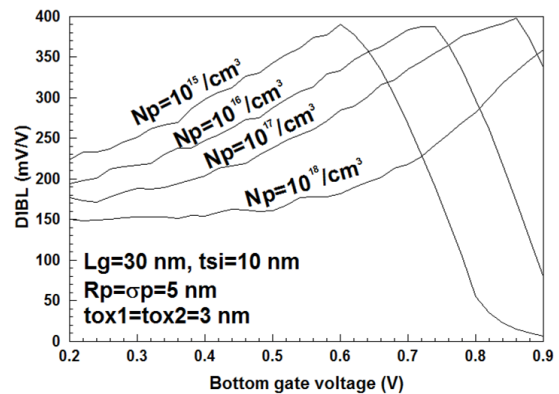


Fig. 5 The change of DIBL for bottom gate voltage with a parameter of channel doping concentration

#### IV. 결 론

본 논문에서는 비대칭 이중게이트 MOSFET의 채널도핑농도, 상하단 게이트 산화막 두께 및 하단 게이트 전압의 변화에 대한 DIBL 현상에 대하여 분석하였다. 특히 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 구조를 다르게 제작할 수 있으므로 상단과 하단 게이트 산화막 두께 변화 및 하단 게이트 전압에 대한 DIBL의 변화를 관찰하였다. 결과적으로 상단과 하단의 산화막 두께가 증가하면 DIBL은 크게 증가하며 채널도핑농도가 DIBL의 채널길이에 대한 변화에 더욱 중요한 영향을 미치는 것을 알 수 있었다.

최대 채널도핑농도에 관계없이 일정한 DIBL을 유지하기 위하여 상단과 하단의 게이트 산화막 두께가 반비례하는 것을 알 수 있었으나 최대 채널도핑농도가 증가하면 하단게이트 산화막 두께보단 상단 게이트 산화막 두께에 더욱 영향을 받고 있다는 것을 관찰할 수 있었다. 하단 게이트 전압이 변화할 때 DIBL의 변화 경향이 갑자기 바뀌는 변곡점이 존재하며 그 때 하단 게이트 전압은 최대 채널도핑농도가 증가할수록 더욱 큰 점에서 발생하고 있다는 것을 관찰할 수 있다. 이러한 결과는 향후 비대칭 이중게이트 MOSFET 설계시 DIBL에 대한 기초 자료로 이용할 수 있을 것으로 사료된다.

#### REFERENCE

- [1] Z.Zhu, D.Yan, G.Xu and X.Gu, "Drain current model of double-gate MOSFETs considering both electrons and holes," *IEEJ Trans. on Electrical and Electronic Engineering*, vol.9, no.3, pp.262-266, May 2014.
- [2] V.Kumari, M.Saxena, R.S.Gupta and M.Gupta, "Analytical Modeling of Dielectric Pocket Double-Gate MOSFET Incorporating Hot-Carrier-Induced Interface Charges," *IEEE Trans. on Device and Materials Reliability*, vol.14, no.1, pp.390-399, March 2014.
- [3] S.Mohammadi, A.Afzali-Kusha and S.Mohammadi, "Compact modeling of short-channel effects in symmetric and asymmetric 3-T/4-T double gate MOSFETs," *Microelectronics Reliability*, vol.51, pp.543-549, March 2011.
- [4] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, March 2011.
- [5] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626. Nov. 2013.
- [6] G.Massobrio and P.Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd, McGraw-Hill, New York, pp.205-206, 1993.
- [7] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DGMOSFET," *2014 International Conference on Future Information & Communication Engineering*, vol.6, no.1, pp.299-302, 2014.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.  
 1985.3 연세대학교 전자공학과 M.S.  
 1990.8 연세대학교 전자공학과 Ph.D  
 1995.8 일본 오사카대학 교환교수  
 2005.8 호주 그리피스대학 교환교수  
 1990.3 - 현재 군산대학교 전자공학과 교수  
 2014.1 - 2015.12 한국정보통신학회 회장  
 2016.1 - 현재 호주 그리피스대학 QMF 연구교수  
 ※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등