

비대칭 이중게이트 MOSFET에서 산화막 두께와 DIBL의 관계

정חק기*

Relation of Oxide Thickness and DIBL for Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Eng., 558 Daehangno, Kunsan National University, Gunsan, Chonbuk 54150, Korea

요 약

본 논문에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소 현상을 분석하기 위하여 전위장벽에 영향을 미치는 드레인전압에 따른 문턱전압의 변화를 관찰할 것이다. 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막 두께를 다르게 제작할 수 있는 특징이 있다. 상단과 하단의 게이트 산화막 두께 변화에 따른 드레인 유도 장벽 감소 현상에 대하여 포아송방정식을 이용하여 분석하였다. 결과적으로 드레인 유도 장벽 감소 현상은 상하단 게이트 산화막 두께에 따라 큰 변화를 나타냈다. 상단과 하단 게이트 산화막 두께가 작을수록 드레인 유도 장벽은 선형적으로 감소하였다. 채널길이에 대한 드레인 유도 장벽 감소 값은 비선형적인 관계가 있었다. 고농도 채널도핑의 경우 상단 산화막 두께가 하단 산화막 두께보다 드레인 유도 장벽 감소에 더 큰 영향을 미치고 있었다.

ABSTRACT

To analyze the phenomenon of drain induced barrier lowering(DIBL) for top and bottom gate oxide thickness of asymmetric double gate MOSFET, the deviation of threshold voltage is investigated for drain voltage to have an effect on barrier height. The asymmetric double gate MOSFET has the characteristic to be able to fabricate differently top and bottom gate oxide thickness. DIBL is, therefore, analyzed for the change of top and bottom gate oxide thickness in this study, using the analytical potential distribution derived from Poisson equation. As a results, DIBL is greatly influenced by top and bottom gate oxide thickness. DIBL is linearly decreased in case top and bottom gate oxide thickness become smaller. The relation of channel length and DIBL is nonlinear. Top gate oxide thickness more influenced on DIBL than bottom gate oxide thickness in the case of high doping concentration in channel.

키워드 : 비대칭 이중게이트, 드레인 유도 장벽 감소, 포아송방정식, 상하단 산화막 두께

Key word : Asymmetric Double Gate, DIBL, Poisson Equation, Top and Bottom Gate Oxide Thickness

Received 16 December 2015, Revised 22 December 2015, Accepted 12 January 2016

* Corresponding Author Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Eng., 558 Daehangno, Kunsan National University, Gunsan, Chonbuk 54150, Korea

Open Access <http://dx.doi.org/10.6109/jkice.2016.20.4.799>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

메이저급 반도체회사에서는 트랜지스터의 크기를 감소시키기 위하여 많은 노력을 기울이고 있다. 트랜지스터의 크기 감소는 단순히 크기를 줄여 전체적인 집적회로의 면적을 감소시킨다는 의미보다 이로 인하여 생산성의 극대화 및 타 업체와의 가격 경쟁력 증대 등 소수 업체만 생존할 수 있는 반도체 산업의 특성상 가장 중요한 요소라도 사료된다. 그러나 기존의 CMOSFET의 경우 20 nm 이하의 채널길이를 갖는 트랜지스터에서 발생하는 단채널 효과 때문에 집적회로 발전에 큰 걸림돌이 되고 있다. 이를 해결하기 위하여 단채널 효과를 감소시킬 수 있는 트랜지스터의 개발이 진행 중이며 가장 큰 성과를 보이고 있는 소자가 다중 게이트 MOSFET[1,2]이다. 다중 게이트 MOSFET는 게이트를 채널주변에 2개 이상 배치하여 게이트에 의한 채널 내 캐리어의 흐름에 대한 제어를 용이하게 하므로 기존의 CMOSFET보다 작게 제작할 수 있다는 장점이 있다. 게이트를 채널 주변에 배치하는 방법에 따라 이중게이트 MOSFET, FinFET, 원통형 FET 등으로 구분되며 FinFET를 이용한 집적회로의 시제품이 개발되고 있는 실정이다. 그러나 상기 구조는 모두 단채널 효과를 감소시키기 위한 구조로써 그 원리는 동일하기 때문에 해석하기 가장 간단한 이중게이트 MOSFET에 대한 연구가 활발히 진행 중에 있다[3,4]. 이중게이트 MOSFET는 대칭형과 비대칭형으로 구별되며 초기에는 해석하기 쉬운 대칭형에 대한 연구가 활발히 진행되었으나 최근 대칭형에 비하여 캐리어의 흐름을 제어할 수 있는 요소가 증가하여 효율적으로 단채널 효과를 감소시킬 수 있는 비대칭형 이중게이트 MOSFET에 대한 관심이 집중되고 있다. 이에 본 연구에서는 비대칭 이중게이트 MOSFET에 대한 드레인 유도 장벽 감소 현상(Drain Induced Barrier Lowering; DIBL)에 대하여 관찰하고자 한다. 드레인 유도 장벽 감소 현상은 단채널에서 발생하는 드레인 전압에 의한 소스 측 전위장벽의 감소에 의하여 문턱전압이 변화하는 현상으로써 단채널 트랜지스터에서 소자 특성에 심각한 영향을 미치고 있다. 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막 두께를 다르게 제작할 수 있으므로 상단과 하단의 게이트 산화막 두께 변화에 대하여 드레인 유도 장벽 감소 현상의 변화를 관찰하고자 한다.

Ding 등[5]은 일정한 전하분포를 이용하여 비대칭 이중게이트 MOSFET를 해석하였으나 본 연구에서는 가우스분포함수를 이용하여 포아송방정식을 풀어 전위 분포를 구하고 이를 이용하여 드레인 유도 장벽 감소 현상을 분석할 것이다. 가우스분포함수를 갖는 도핑분포의 최대값에 따른 드레인 유도 장벽 감소 현상을 동시에 관찰함으로써 도핑농도에 대한 영향도 고찰할 것이다.

II. 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 모델

드레인 유도 장벽 감소 현상은 채널길이가 감소하면서 드레인 전압이 소스 측에 영향을 미쳐 소스 측 전위장벽이 감소하면서 결국 문턱전압의 감소를 나타내는 현상이다. 이러한 현상은 드레인 전압이 증가하면 문턱전압이 감소할 수 있다는 단채널 효과로서 기존 CMOSFET의 SPICE모델에서는 산화막 커패시턴스와 채널길이 등으로 표현되는 파라미터로 문턱전압의 변화를 나타내고 있다[6]. 그러나 비대칭 이중게이트 MOSFET에서는 아직 이에 대한 수식적 모델을 구하기 위한 기초 연구가 미흡한 상태이므로 본 연구에서는 산화막 커패시턴스를 결정하는 산화막 두께변화에 따른 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 현상을 고찰할 것이다. 결국 드레인 유도 장벽 감소는

$$DIBL = V_{th}(V_{ds} = 0 V) - V_{th}(V_{ds} = 1 V) \quad (1)$$

로 주어지므로 드레인 전압이 1 V일 때와 0 V일 때 문턱전압을 구하여 그 차를 구할 것이다.

이를 위하여 비대칭 이중게이트 MOSFET의 채널 내 전위분포를 구할 것이다. 비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압 V_{gt} 와 하단의 게이트 전압 V_{gb} 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널 효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 이러한 비대칭 이중게이트 MOSFET의 경우 상단과 하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소의 변화

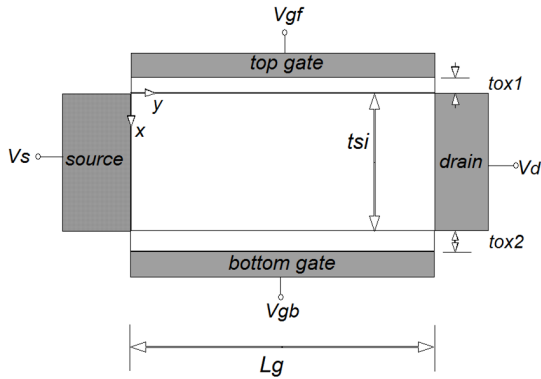


Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 이때 전하분포함수로는 가장 실험값에 근사한 가우스함수를 이용하였다. 먼저 식 (2)의 포아송방정식과 식 (3)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{Si}} \quad (2)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (3)$$

여기서 ϵ_{Si} 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\begin{aligned} \phi(x, y=0) &= V_s, \quad \phi(x, y=L_g) = V_s + V_d \\ \phi(x=0, y) &= V_{gf} + \frac{\epsilon_{Si}}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0} \\ \phi(x=t_{si}, y) &= V_{gb} - \frac{\epsilon_{Si}}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}} \end{aligned}$$

여기서 V_s 는 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 상단과 하단의 커패시턴스 값이 경계조건에 사용되며 이는 결국 전위분포에 영향을 미치는 요소로 작용한다는 것을 알 수 있다.

또한 산화막 커패시턴스는 산화막 두께에 따라 변화하므로 산화막 두께는 전위분포에 영향을 미칠 것이다. 경계조건을 이용하여 식 (2)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[5].

$$\phi(x, y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (4)$$

$$\begin{aligned} A_n(x) &= C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) \\ &\quad + B_2 \operatorname{erf}(\tau + b_2/2) + A \end{aligned} \quad (5)$$

이때 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 $A_n(x)$ 에 나타나는 상수는 참고문헌[7]에 표기하였다.

본 연구에서는 차단전류가 채널폭 당 $0.1\mu A$ 일 때 상단 게이트 전압으로 문턱전압을 정의하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하면

$$I_d = \frac{qn_m(x_{eff})v_{th}t_{si}W}{6} \quad (6)$$

이다. 이때 볼츠만통계를 이용한 채널 내 전자분포는

$$n_m(x_{eff}) \approx (n_i^2/N_p) e^{q\phi_{min}(x_{eff})/kT} \quad (7)$$

이며 다음과 같은 전도중심 x_{eff} 값을 대입하여 차단 전류값을 구한다.

$$x_{eff} = \frac{\int_0^{t_{si}} x e^{q\phi(x, y_{min})/kT} dx}{\int_0^{t_{si}} e^{q\phi(x, y_{min})/kT} dx} \quad (8)$$

여기서 k 는 볼츠만상수이며 T 는 절대온도이다. 식 (8)에서 상단게이트의 표면전위 중 최소값을 갖는 y_{min} 값을 구하여 대입한다.

본 연구에서는 상기 서술한 바와 같이 식 (1)을 이용하여 비대칭 이중게이트 MOSFET의 상단과 하단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소 현상에 대하여 고찰 할 것이다.

III. 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소에 대한 고찰

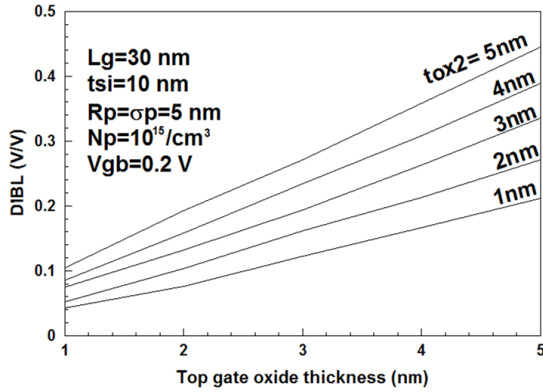


Fig. 2 The change of drain induced barrier lowering(DIBL) for top and bottom gate oxide thickness

본 연구에서 제시한 문턱전압모델에 대한 타당성은 이미 발표된 논문[8]에서 입증되었으므로 본 연구에서는 2장에서 제시한 드레인 유도 장벽 감소 모델을 이용하여 비대칭 이중게이트 MOSFET의 상·하단 게이트 산화막 두께에 대한 변화를 고찰할 것이다.

상단과 하단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소의 변화를 그림 2에 도시하였다. 일반적으로 드레인 전압이 증가하면 문턱전압이 감소하며 이의 정도를 나타내는 SPICE 파라미터는 산화막 두께에 비례하여 증가하게 된다[6]. 그림 2에서 알 수 있듯이 상단과 하단 게이트 산화막 두께가 증가할수록 드레인 유도 장벽 감소는 증가하는 것을 알 수 있다. 또한 증가 경향은 상단과 하단 게이트 산화막 두께에 대하여 거의 선형적인 분포를 보인다는 것을 알 수 있다. 그러므로 비대칭 이중게이트 MOSFET의 경우도 일반적인 CMOSFET와 마찬가지로 드레인 유도 장벽 감소는 산화막 두께에 선형적인 비례관계를 보이고 있다는 것을 알 수 있다. 그러나 상단과 하단 게이트 산화막 두께에 대한 증가율은 변화하고 있었다. 즉, 상단 게이트 산화막 두께가 작을 경우, 하단게이트 산화막 두께에 따른 드레인 유도 장벽 감소의 변화는 매우 작았으나 상단 게이트 산화막 두께가 증가할수록 하단 게이트 산화막 두께에 따른 드레인 유도 장벽 감소의 변화는 증가하는 것을 관찰할 수 있다.

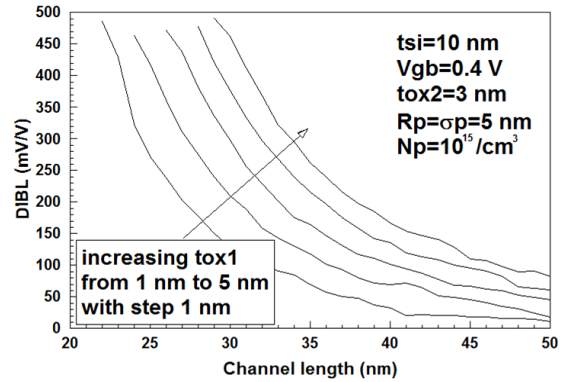


Fig. 3 The change of drain induced barrier lowering(DIBL) for channel length with a parameter of top gate oxide thickness

또한 그림 2에서 상단과 하단 게이트 산화막 두께가 작을수록 드레인 유도 장벽 감소현상은 감소한다는 것을 관찰할 수 있으므로 드레인 유도 장벽 감소현상을 제거하기 위해선 상단과 하단 게이트 산화막 두께를 가능하면 작게 제작하여야한다.

게이트 산화막 두께에 대한 고찰을 상세히 하기 위하여 상단 게이트 산화막 두께를 파라미터로 하여 채널길이에 대한 드레인 유도 장벽 감소의 변화를 그림 3에 도시하였다. 채널길이가 감소할수록 드레인 유도 장벽 감소는 매우 증가하는 것을 알 수 있으며 선형적인 관계가 아님을 관찰할 수 있다. 또한 채널길이가 증가하면 상단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소의 변화가 매우 작으나 채널길이가 증가할수록 상단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소의 변화는 매우 커진다는 것을 관찰할 수 있다. 그러나 드레인 유도 장벽 감소의 변화 경향은 상단 게이트 산화막 두께에 따라 거의 일정하였다.

하단 게이트 산화막 두께를 파라미터로 하여 채널길이에 대한 드레인 유도 장벽 감소의 변화를 그림 4에 도시하였다. 그림 3과 그림 4를 비교해 보면 드레인 유도 장벽 감소의 변화 경향은 거의 동일하다는 것을 알 수 있다. 즉, 하단 게이트 산화막 두께가 증가할수록 드레인 유도 장벽 감소는 증가하며 드레인 유도 장벽 감소의 변화는 채널길이가 감소할수록 매우 크게 나타나고 있었다. 그러므로 상단과 하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소의 변화 경향은 거의 동일하였다.

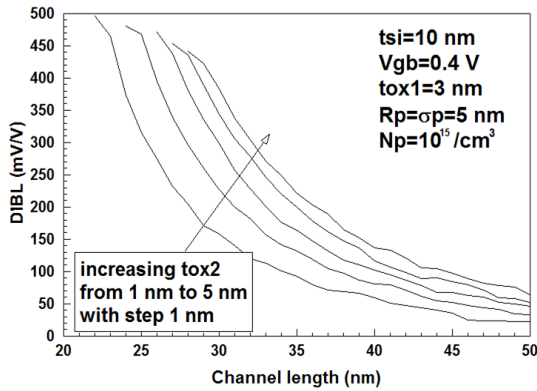


Fig. 4 The change of drain induced barrier lowering(DIBL) for channel length with a parameter of bottom gate oxide thickness

특히 채널길이가 작을 경우, 드레인 유도 장벽감소의 변화는 산화막 두께에 대하여 매우 크게 변화하므로 낮은 드레인 유도 장벽 감소 값을 원할 경우, 상단과 하단 게이트 산화막 두께를 얇게 제작하여야 할 것이다.

상단과 하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소의 등고선 그래프를 그림 5에 도시하였다. 그림 2, 그림 3 그리고 그림 4에서 고찰한 바와 같이 상단과 하단 게이트 산화막 두께가 증가할수록 드레인 유도장벽 감소는 증가하였다. 동일한 드레인 유도 장벽 감소 값을 유지하기 위해서 상단과 하단 게이트 산화막 두께는 상호 반비례 관계에 있다는 것을 관찰할 수 있다.

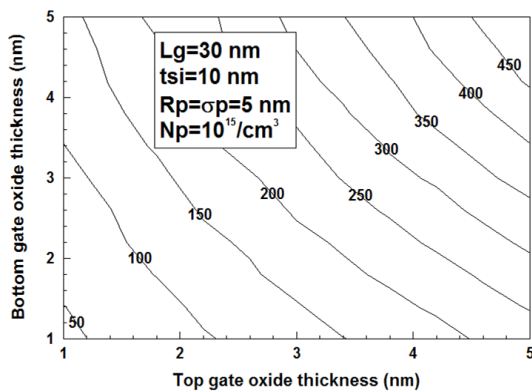


Fig. 5 Contours of drain induced barrier lowering(DIBL; mV/V) for top and bottom gate oxide thickness in the case of doping concentration of $10^{15}/cm^3$

그림 5를 관찰해보면 상단과 하단 게이트 산화막 두께가 증가할수록 드레인 유도 장벽 감소의 변화율은 더욱 증가하는 것을 알 수 있다. 그러므로 전술한 바와 같이 비대칭 이중게이트 MOSFET 제작 시 상단과 하단의 게이트 산화막 두께를 작게 유지함으로써 드레인 유도 장벽 감소의 변화율을 작게 유지하여야만 할 것이다.

채널도핑농도의 변화가 상단과 하단 게이트 산화막 두께에 따른 드레인 유도 장벽 감소에 미치는 영향을 관찰하기 위하여 그림 6에 채널도핑농도를 $10^{18}/cm^3$ 으로 증가시킨 후, 그림 5와 동일한 조건에서 드레인 유도 장벽 감소의 등고선 그래프를 도시하였다. 계산한 상단과 하단 게이트 산화막 두께 영역에서 드레인 유도 장벽 감소는 도핑농도 증가에 따라 감소하는 것을 알 수 있다. 그림 5와 비교해 보면 일정한 드레인 유도 장벽 감소를 유지하기 위하여 상단과 하단 게이트 산화막 두께가 상호 반비례 관계임은 동일하지만 변화 경향은 매우 다르게 나타나고 있었다.

즉, 상단 게이트 산화막 두께 증가에 따라 드레인 유도 장벽 감소 값은 거의 일정하게 증가하는 반면, 하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소 값은 거의 일정하게 유지되고 있다는 것을 관찰할 수 있다. 그러므로 채널도핑농도가 증가하면 드레인 유도 장벽 감소는 하단 게이트 산화막 두께 변화보다 상단 게이트 산화막 두께에 대하여 더욱 민감하게 변화한다는 것을 알 수 있었다.

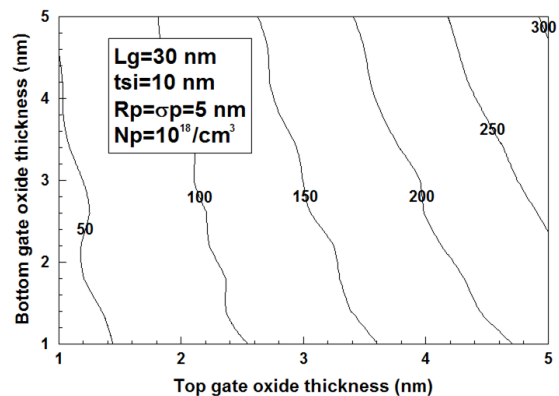


Fig. 6 Contours of drain induced barrier lowering(DIBL; mV/V) for top and bottom gate oxide thickness in the case of doping concentration of $10^{18}/cm^3$

IV. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소 현상에 대하여 분석하였다. 단채널 트랜지스터에서 드레인 전압에 의하여 전위장벽이 낮아지면 문턱전압의 변화에 영향을 미칠 것이다. 비대칭 이중게이트 MOSFET의 상단과 하단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소의 변화를 관찰하였다. 상단과 하단 게이트 산화막 두께가 작을수록 드레인 유도 장벽은 선형적으로 감소하였다. 채널길이에 대한 드레인 유도 장벽 감소 값은 비선형적인 관계가 있다는 것을 알 수 있었다. 채널도핑농도가 증가하였을 경우, 드레인 유도 장벽 감소의 변화 경향이 크게 변화하였다. 고 농도 도핑채널을 갖는 비대칭 이중게이트 MOSFET의 경우 상단 게이트 산화막 두께가 하단 게이트 산화막 두께보다 드레인 유도 장벽 감소에 큰 영향을 미치고 있다는 것을 관찰할 수 있었다. 이러한 결과는 향후 비대칭 이중게이트 MOSFET 설계의 기초 자료로 이용할 수 있을 것으로 사료된다.

REFERENCE

[1] S.M.Lee, J.Y.Kim, C.G.Yu and J.T.Park, "A Comparative study on hot carrier effects in inversion-mode and junctionless MugFETs," *Solid-State Electronics*, vol.79, pp.253-257, Jan. 2013.

[2] D.Juan Pablo, S.J.Kim, D.I.Moon, J.H.Ahn, J.Y.Kim, S.Kim and Y.K.Choi, "A Universal Core Model for Multiple-Gate Field Effect Transistors, Part II: Drain Current Model," *IEEE Trans. on Electron Devices*, vol.60, no.2, pp.848-855, Feb. 2013.

[3] V.Anne, S.Bart, L.Daniele, V.William and G.Guido, "Modeling the Single-Gate, Double-Gate, and Gate-all-Around Tunnel Field Effect Transistor," *J. Applied Physics*, vol.107, no.2, pp.24518-24526, Jan. 2010.

[4] E.N.Cho, Y.H.Shin and I.Yun, "Channel Doping-Dependent Analytical Model for Symmetric Double Gate Metal-Oxide-Semiconductor Field-Effect-Transistor. I. Extraction of Subthreshold Characteristics", *J. Applied Physics*, vol.113, no.21, pp.214506-1-7, June 2013.

[5] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, March 2011.

[6] G.Massobrio and P.Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd, McGraw-Hill, New York, pp.205-206, 1993.

[7] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626. Nov. 2013.

[8] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DGMOSFET," *2014 International Conference on Future Information & Communication Engineering*, vol.6, no.1, pp.299-302, 2014.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3 - 현재 군산대학교 전자공학과 교수
 2014.1 - 2015.12 한국정보통신학회 회장
 2016.1 - 현재 호주 그리피스대학 QMF 연구교수
 ※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등