

## 비대칭 소스/드레인 수직형 나노와이어 MOSFET의 1T-DRAM 응용을 위한 메모리 윈도우 특성

이재훈 · 박종태\*

### Memory window characteristics of vertical nanowire MOSFET with asymmetric source/drain for 1T-DRAM application

Jae Hoon Lee · Jong Tae Park\*

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

#### 요 약

본 연구에서는 1T-DRAM 응용을 위해 Bipolar Junction Transistor 모드 (BJT mode)에서 비대칭 소스/드레인 수직형 나노와이어 소자의 순방향 및 역방향 메모리 윈도우 특성을 분석하였다. 사용된 소자는 드레인 농도가 소스 농도보다 높으며 소스 면적이 드레인 면적보다 큰 사다리꼴의 수직형 gate-all-around (GAA) MOSFET 이다. BJT모드의 순방향 및 역방향 이력곡선 특성으로부터 순방향의 메모리 윈도우는 1.08V이고 역방향의 메모리 윈도우는 0.16V 이었다. 또 래치-업 포인트는 순방향이 역방향보다 0.34V 큰 것을 알 수 있었다. 측정 결과를 검증하기 위해 소자 시뮬레이션을 수행하였으며 시뮬레이션 결과는 측정 결과와 일치하는 것을 알 수 있었다. 1T-DRAM에서 BJT 모드를 이용하여 쓰기 동작을 할 때는 드레인 농도가 높은 것이 바람직함을 알 수 있었다.

#### ABSTRACT

In this work, the memory window characteristics of vertical nanowire device with asymmetric source and drain was analyzed using bipolar junction transistor mode for 1T-DRAM application. A gate-all-around (GAA) MOSFET with higher doping concentration in the drain region than in the source region was used. The shape of GAA MOSFET was a tapered vertical structure that the source area is larger than the drain area. From hysteresis curves using bipolar junction mode, the memory windows were 1.08V in the forward mode and 0.16V in the reverse mode, respectively. We observed that the latch-up point was larger in the forward mode than in the reverse mode by 0.34V. To confirm the measurement results, the device simulation has been performed and the simulation results were consistent in the measurement ones. We knew that the device structure with higher doping concentration in the drain region was desirable for the 1T-DRAM using bipolar junction mode.

**키워드** : 나노와이어 MOSFET, 수직형 MOSFET, 비대칭 소스/드레인 MOSFET, 1T-DRAM

**Key word** : nanowire MOSFET, vertical MOSFET, Asymmetry source/drain MOSFET, 1T-DRAM

Received 25 January 2016, Revised 16 February 2016, Accepted 08 March 2016

\* Corresponding Author Jong Tae Park(E-mail:jtpark@inu.ac.kr, Tel:+82-32-835-8445)

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2016.20.4.793>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

일반적으로 DRAM은 1개의 트랜지스터와 1개의 커패시터 (1T/1C)로 이루어져 있으므로 집적도를 높이기 위해서는 트랜지스터의 크기뿐만 아니라 커패시터의 크기를 줄여야 한다. 트랜지스터의 크기가 10nm 이하로 축소되면 채널길이 감소로 인해 누설전류 및 단채널 현상, 데이터-라인의 간섭 노이즈가 발생한다[1]. 특히 채널길이 5nm 보다 작아지면 전자의 입자성과 파동성을 모두 고려한 양자화현상으로 해석해야 하며 이로 인해 채널길이 작아져도 문턱전압이 증가하게 된다. 집적도를 향상시키기 위한 방법으로 커패시터의 면적을 줄이는 경우는 메모리 동작을 수행하기 위해서는 각 셀 당 전하축적 용량이 적어도 30fF/cell 은 되어야 하므로[2] 다양한 DRAM 구조가 사용되고 있다. 트랜지스터 크기가 축소되므로 DRAM의 속도, 보유시간 (retention time) 및 소비전력과 같은 특성을 저하시킨다 [3]. 또한 커패시터 집적화는 스택(stack) 및 deep-trench 등 복잡한 공정도 요구되는데 공정단가가 올라가고 공정이 복잡해져서 양산하는데 어려움이 따른다[4].

이런 1T/1C-DRAM의 한계를 극복하기 위해 커패시터 대신에 SOI 구조의 고유한 성질인 플로팅 바디 효과 (floating body effect)를 이용한 1T-DRAM이 제안 되었다[5]. 1T-DRAM은 하나의 트랜지스터로 동작하기 때문에 작은 크기의 커패시터를 만들기 위한 어려운 공정을 피할 수 있고 커패시터가 차지하는 면적을 없앨 수 있으므로 집적도를 높일 수 있다는 장점이 있다. 처음 1세대 1T-DRAM은 드레인 근처에서의 충격이온화로 생성된 홀이 부유기판에 축적되는 쓰기 상태(1상태)가 이 되며 그렇지 않을 때는 지우기 상태(0상태)가 된다[5]. 또는 GIDL (Gate-Induced Drain Leakage) 전류로 부유 상태의 기판에 홀을 축적시킬 수 있다[6,7]. 2세대는 속도와 소자 크기 축소를 통한 1T-DRAM의 성능을 개선한 것으로 BJT 모드에서 프로그램이 되도록 하는 것이다. N-채널 MOSFET에서 소스와 드레인은 각각 에미터와 콜렉터가 되고 채널은 베이스가 된다. 게이트와 드레인 전압에 의해 BJT가 ON이 되는 래치 현상을 이용하여 1T-DRAM의 프로그램 동작이 된다[8-10].

최근에 집적도를 증가시키기 위해 기존의 수평형 트랜지스터 대신 수직형 트랜지스터로 대체하려는 연구가 진행되고 있다[11]. 일반적으로 수직형 소자는 실리

콘 벌크를 식각공정으로 기둥 (pillar) 모양으로 만들고 아래 부분을 소스로, 윗부분을 드레인으로 하게 된다. 수직형 소자의 pillar는 소스 쪽은 면적이 넓고 드레인 쪽은 좁은 일종의 사다리꼴 형태가 된다. 그리고 소스와 드레인의 불순물 농도도 다르게 된다. 그 결과로 순방향 및 역방향 모드에서 전류-전압 특성과 소자의 신뢰도 또한 다르게 된다.

본 연구에서는 1T-DRAM 응용을 위해 BJT 모드에서 비대칭 소스/드레인 수직형 나노와이어 소자의 순방향 및 역방향 메모리 윈도우 특성을 측정 분석하였다. 소자의 구조에 따른 메모리 윈도우의 특성을 분석하기 위해 소자 시뮬레이션을 사용하여 드레인 중첩길이와 드레인 전압에 따른 이력곡선(hysteresis loop)을 분석하였다.

## II. 소자 제작

본 연구에서 사용된 소자는 그림 1(a)와 같이 p-형 벌크 웨이퍼를 사용하여 pillar 모양의 수직형 나노 와이어로 식각하여 비대칭 소스/드레인을 갖는 GAA 구조의 MOSFETs 이다. 소스는 인(phosphorus)을 1MeV/  $5 \times 10^{14} \text{cm}^{-2}$ 로 수직방향 7도 경사로 이온주입 하였다. p-채널은 붕소(boron)를 120KeV/  $8 \times 10^{13} \text{cm}^{-2}$ 로 이온주입 하였고 드레인은 비소(arsenide)를 80KeV/  $3 \times 10^{15} \text{cm}^{-2}$ 와 인(phosphorus)을 50KeV/  $5 \times 10^{14} \text{cm}^{-2}$ 로 인 2차례로 이온주입 하였다. 그 결과로 수직형 나노와이어 MOSFET의 불순물 분포는 그림 1(b)와 같이 소스와 드레인의 불순물이 비대칭인 구조이다. 불순물 비소는 플래시메모리에서 핫캐리어 주입을 증가를 위해 드레인 근처에서 계단접합을 형성하기 위해 사용되었다. 비소 이온주입은 높은 이온 주입 에너지가 필요하므로 소스의 결정에 발생할 수 있는 결함을 줄이기 위해 불순물 인을 주입하였고 드레인은 낮은 에너지의 불순물 비소를 선택적으로 주입하였다. 불순물 활성화 이후 실리콘 pillar를 만들기 위해 실리콘 에칭을 진행하였다. 고밀도 플라즈마  $\text{SiO}_2$ 의 증착과 평탄화 후 450nm 높이의 실리콘 기둥을 얻었다. 두께 5nm의 터널링 산화층과 두께 6nm의 전하-트래핑  $\text{Si}_3\text{N}_4$ , 그리고 두께 8nm의 차단 산화층을 순차적으로 성장시켰다. 게이트는 Ti/TiN/W을 사용하여 두께가 각각 20nm, 10nm, 150nm 되는 메탈을 증착하였다. 소자의 게이트 길이는 250nm이다.

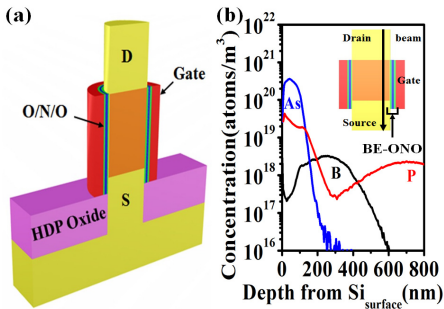


Fig. 1 (a) Schematic view and (b) doping profile along the channel length of nanowire MOSFETs

### III. 측정 결과

#### 3.1. 기본 전류-전압 특성

그림 2는 반지름이 125nm이고 드레인 전압이 0.1V 일 때 비대칭 수직형 나노와이어의 순방향과 역방향 전달 특성 그래프이다. 순방향 모드에서 온-전류가 역방향 모드의 온-전류보다 크며 순방향 모드의 오프-전류가 역방향 모드의 오프-전류보다 큰 것을 알 수 있다. 이런 결과는 소스 농도가 드레인 농도보다 작기 때문에 소스 기생 저항이 드레인 기생 저항보다 크므로 실제로 채널에 인가되는 전압이 순방향 모드에서 크기 때문이다. 그리고 순방향 모드에서 오프-전류가 역방향 모드보다 큰 것은 소스의 불순물 농도가 드레인보다 낮으면 소스와 채널 사이의 전위장벽이 드레인과 채널 사이보다 낮게 되므로 채널 쪽의 홀이 소스 쪽으로 주입이 용이 하기 때문이다.

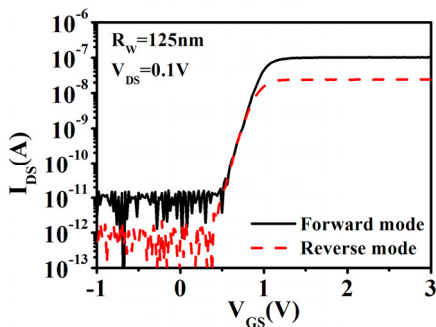


Fig. 2 Transfer curves in the forward and the reverse mode measurements

그림 3은 동일한 전압 조건에서 순방향 모드와 역방향 모드에서 GIDL 전류를 측정된 그래프이다. 그림으로부터 GIDL 전류의 역방향 모드가 순방향 모드보다 큰 것을 알 수 있다. 일반적으로 GIDL 전류는 게이트와 드레인의 중첩 영역에 강한 역방향 전계가 형성될 때 중첩영역 아래 공핍층의 가전자대의 전자가 드레인의 전도대로 터널링 하는 현상으로 게이트-드레인의 전압 차이가 클수록, 게이트와의 소스/드레인의 중첩길이가 길수록 많이 흐른다. 그림 3으로부터 GIDL 전류가 순방향 모드보다 역방향 모드에서 큰 것은 게이트와 소스의 중첩길이가 게이트와 드레인의 중첩길이보다 큰 것을 알 수 있다[12].

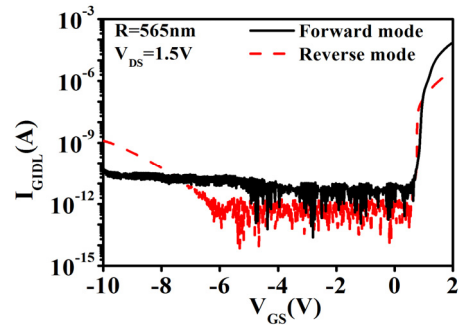


Fig. 3 GIDL current in the forward and the reverse mode measurements

#### 3.2. 1T-DRAM의 메모리 윈도우 특성

그림 4는 드레인 전압이 3.3V로 일정할 때 게이트 전압을 더블스weep (double sweep)한 순방향과 역방향 모드의 드레인 전류 이력곡선이다. 그림으로부터 게이트 전압이 일정한 전압 즉 래치-업 포인트에 이르면 드레인 전류가 갑자기 증가하는 현상을 볼 수 있다. 소스가 접지상태이고 드레인에 역방향 전압과 게이트에 순방향 전압을 인가하는 것은 N<sup>+</sup>PN BJT가 활성화 (active) 모드에서 동작하는 것과 같다. 게이트 전압이 래치-업 포인트 전압보다 작을 때는 BJT가 오프 상태에 있으나 래치-업 포인트 전압보다 크게되면 BJT가 온 상태로 변하게 된다. 그 결과로 BJT는 전류 증폭을 하게 되면서 드레인에 큰 전류가 흐른다. 수식적으로는 다음과 같이 표현할 수 있다.

$$I_{D,read} = M(I_{ch} + I_{BJT}) = \frac{M}{1 - \beta(M-1)} I_{ch} \quad (1)$$

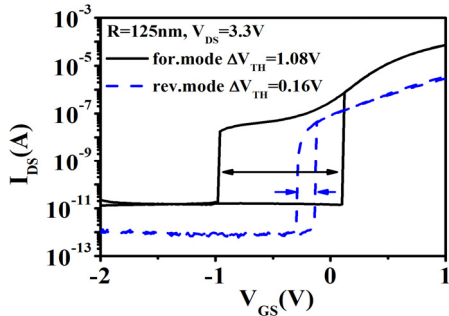


Fig. 4 Double sweeping IDS in forward and reverse modes

여기서 M은 충격이온화에 의한 증폭율,  $I_{ch}$ 는 채널 전류,  $I_{BJT}$ 는 BJT의 전류이다. 1T-DRAM의 쓰기 동작에서 드레인과 게이트에 높은 전압이 인가되면 드레인 근처에서 충격 이온화 현상이 발생하고 그 결과로 홀이 베이스인 채널로 주입되면서 (M-1)이 1에 근접하게 된다. 그 결과로 식 (1)의 드레인 전류는 갑자기 증가하게 된다. 그림 4로부터 순방향 모드에서 온-전류 및 오프-전류가 역방향 모드보다 크고, 순방향 모드의 메모리 윈도우는 1.08V이고 역방향 모드의 메모리 윈도우는 0.16V인 것을 알 수 있다. 래치-업 포인트는 순방향 모드가 역방향 모드보다 0.34V 큰 것을 알 수 있다. 이런 결과는 드레인의 불순물 농도가 소스보다 크므로 드레인 근처에서 전계가 크고 이로 인한 충격이온화가 많이 일어나기 때문이다.

그림 5 (a)와 (b)는 드레인 전압에 따른 순방향 모드 및 역방향 모드에서 게이트 전압을 더블스윙한 드레인 전류 이력곡선이다. 순방향 모드에서 드레인 전류 특성은 드레인 전압이 증가함에 따라 메모리 윈도우가 증가하는 것을 알 수 있다. 드레인 전압이 증가할수록 래치-업 포인트 전압은 큰 차이가 없으나 역스윙(reverse sweeping) 상태에서 소자가 오프 되는 게이트 전압이 감소하는 것을 알 수 있다. 이는 드레인 전압이 클수록 충격이온화에 의한 홀 생성이 크므로 채널 즉 베이스에 축적된 홀이 많게 되고 그 결과로 1T-DRAM의 유지 시간이 증가 한다는 것을 의미한다. 드레인 전압이 3.45V 이상 일 때는 게이트 전압과 무관하게 소자가 래치-업 상태를 유지했다. 이는 드레인 전압이 일정 전압으로 되면 게이트 전압이 작더라도 드레인 근처의 전계가 충격 이온화가 발생하기에 충분한 것으로 판단된다.

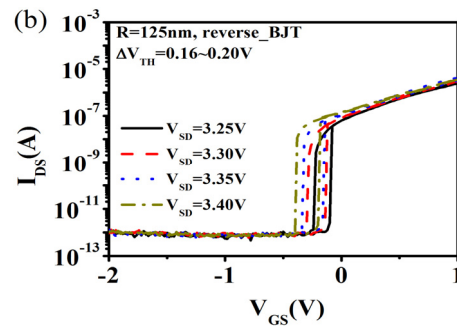
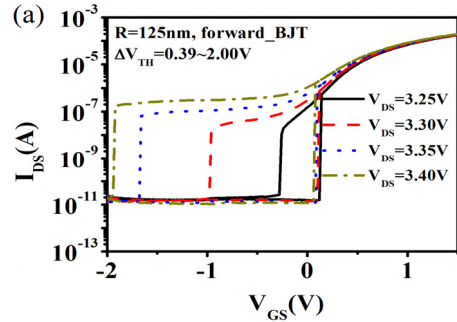


Fig. 5 Double sweeping  $I_{DS}$  in forward (a) and reverse modes (b) with different  $V_{DS}$

역방향 모드에서 드레인 특성은 드레인 전압 증가에 대한 메모리 윈도우가 크지 않아 1T-DRAM의 사용에 부적합 하다고 사료된다. 이는 역방향 모드에서는 충격 이온화 의한 홀 생성이 적을 뿐만 아니라 소스가 드레인보다 불순물 농도가 낮으므로 소스와 채널 사이의 전위 장벽 높이가 낮게 되어 홀이 쉽게 소스 쪽으로 빠져 나가기 때문이다.

#### IV. 시뮬레이션 결과

3차원 소자 시뮬레이션 (ATLAS 3D)을 이용하여 측정에 사용된 소자와 같은 구조가 되도록 수직형 나노와이어를 설계하였다. 소스와 게이트 중첩길이는 30nm, 드레인과 게이트 중첩길이는 10nm의 크기로 하였다. 드레인 농도는  $1 \times 10^{20} \text{cm}^{-3}$ , 소스 농도는  $5 \times 10^{19} \text{cm}^{-3}$ , 채널 농도는  $8 \times 10^{16} \sim 3 \times 10^{17} \text{cm}^{-3}$ , 채널 길이는 250nm로 하였다. 그림 6은 측정에 사용된 소자와 동일한 소자의 순방향 및 역방향 모드에서 더블 스윙한 드레인 전류 특성을 나타낸 것이다.

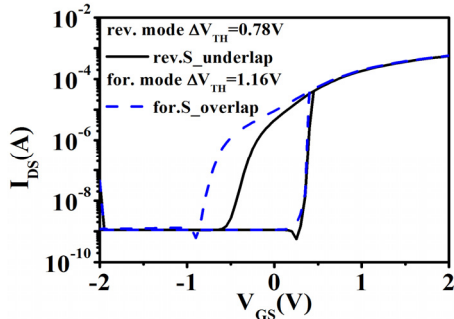


Fig. 6 Simulated double sweeping  $I_{DS}$  in forward and reverse modes

순방향 및 역방향 모드에서 온-전류 및 오프-전류 크기 비교는 측정 결과와 동일하였고 순방향 모드의 래치-업 포인트 역방향 모드보다 0.23V 크고 메모리 윈도우는 0.62V 큰 것을 알 수 있다. 래치-업 포인트 전압과 메모리 윈도우 전압의 절대적인 값은 측정결과와 다르지만 순방향 및 역방향 모드의 크기 비교는 측정 결과와 같음을 알 수 있다.

그림 7 (a)와 (b)는 드레인 전압이 2.4V로 일정할 때 드레인 중첩길이에 따른 순방향 모드 및 역방향 모드에서 더블 스위핑한 드레인 전류 특성을 나타낸 것이다. 그림 7(a)로부터 순방향 모드에서 소스와 게이트의 중첩길이는 30nm로 일정할 때 드레인과 게이트의 중첩길이가 0nm인 경우에는 메모리 윈도우가 0.11V로 매우 작았으나 중첩길이가 10nm인 경우의 메모리 윈도우는 0.65V, 20nm 이상일 때는 메모리 윈도우가 2V 이상으로 중첩길이에 비례하여 메모리 윈도우 전압이 증가 하는 것을 알 수 있다. 이는 중첩길이가 클수록 채널 즉 베이스와 드레인 즉 콜렉터 사이의 전압이 증가하므로 충격 이온화가 많이 일어나기 때문으로 사료된다. 반면에 역방향 모드에서는 드레인 오버랩 길이가 20nm 이상 일 때는 메모리 윈도우가 크게 증가하지 않고 거의 포화되는 것을 알 수 있다. 측정 및 시뮬레이션 결과로부터 역방향 모드에서는 메모리 윈도우 전압이 작아 1T-DRAM으로 사용하기에는 부적당함을 알 수 있었다.

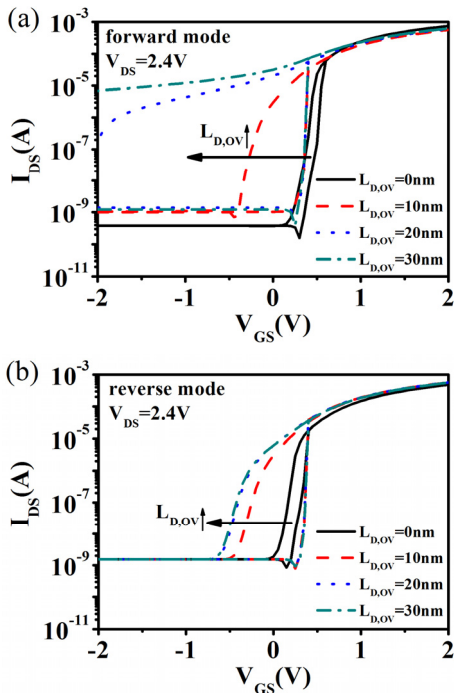


Fig. 7 Simulated double sweeping  $I_{DS}$  in forward (a) and reverse mode (b) with different gate overlap lengths

## V. 결론

1T-DRAM 응용을 위해 BJT 모드에서 비대칭 소스/드레인 수직형 나노와이어 소자의 순방향 및 역방향 메모리 윈도우 특성을 측정 분석하였다. 순방향 모드에서 온-전류 및 오프-전류가 역방향 모드보다 크고, 순방향 모드의 메모리 윈도우는 1.08V이고 역방향 모드의 메모리 윈도우는 0.16V인 것을 알 수 있다. 래치-업 포인트는 순방향 모드가 역방향 모드보다 0.34V 큰 것을 알 수 있었다. 순방향 모드에서 드레인 전류 특성은 드레인 전압이 증가함에 따라 메모리 윈도우가 증가하는 것을 알 수 있었다. 소자 시뮬레이션 결과 래치-업 포인트 전압과 메모리 윈도우 전압의 절대적인 값은 측정결과와 다르지만 순방향 및 역방향 모드의 크기 비교는 측정 결과와 같음을 알 수 있었다. 또 시뮬레이션을 통하여 중첩길이에 비례하여 메모리 윈도우 전압이 증가 하는 것을 알 수 있다. 측정 및 시뮬레이션 결과로부터 역방향 모드에서는 메모리 윈도우 전압이 작아 1T-DRAM으로 사용하기에는 부적당함을 알 수 있었다.

REFERENCES

[ 1 ] Y. Nakagome, M. Aoki, S. Ikenaga, M. Horiguchi, S. Kimura, Y. Kawamoto and K. Itoh, "The Impact of Data-Line Interference Noise on DRAM Scaling." *IEEE Journal of Solid-state circuits*, vol. 23, no. 5, pp.1120-1127, Oct. 1988.

[ 2 ] H. Wann and C. Hu, "A capacitorless DRAM Cell on SOI Substrate." *IEEE International Electron Devices Meeting*, Washington, DC, USA, pp.635-638, 1993.

[ 3 ] M. Aoulaiche, E. Simoen, Ch. Cailat, N. Collaert, G.Groeseneken and M. Jurczak, "Reliability and Retention of Floating Body RAM on Bulk FinFET." *Microelectronics and Solid State Electronics*, vol. 1, no. 2, pp. 33-40, Feb. 2012.

[ 4 ] Wang G, Anand D, Butt N, Cestero A, more authors, "Scaling deep trench based eDRAM on SOI to 32nm and Beyond.", *IEEE International Electron Devices Meeting*, Baltimore, MD, pp. 1-4, 2009.

[ 5 ] S Okhonin, M Nagoga, J M Sallese, and P FazanA. "Capacitor- Less 1T-DRAM Cell." *IEEE Electron Device Letters*, vol. 23, no. 2, pp. 85-87, Oct. 2002.

[ 6 ] Yoshida E and Tanaka T, "A capacitorless 1T-DRAM technology using gate-induced drain-leakage (GIDL) current for low-power and high-speed embedded memory." *IEEE Transactions on Electron Devices*, vol. 53, no. 4, pp.692-697, Apr. 2006.

[ 7 ] J. Han, S. Ryu, S. Choi and Y. Choi, "Gate-Induced Drain-Leakage (GIDL) Programming Method for Soft-Programming-Free Operation in Unified RAM (URAM)" *IEEE Electron Device Letters*, vol. 30, no. 2, pp.189-191, Feb. 2009.

[ 8 ] S. Okonin, M. Nagoga, E. Carman, R. Beffa and E. Faraoni. "New Generation of Z-RAM." *IEEE Electron Devices Meeting*, Washington, DC, pp.925-928, 2007.

[ 9 ] D. Moon, S. Choi, J. Han and Y. Choi, "A Study of BJT based Capacitorless 1T-DRAM with Consideration of Geometrical Dependence." *Korean Conference on Semiconductors 17th, Daejeon*, Korea, pp.7-8, 2010.

[10] M. Aoulaiche, N. Collaert, R. Degraeve, Z. Lu and B. Wachter, "BJT-Mode Endurance on a 1T-RAM Bulk FinFET Device." *IEEE Electron Device Letters*, vol. 31, no. 12, Dec. 2010.

[11] J. Goldberger, A. Hochbaum, R. Fan and P. Yang, "Silicon Vertically Integrated Nanowire Field Effect Transistors." *Nano Letters*, vol. 6, no. 5, pp.973-977, Mar. 2006.

[12] D. Rideau, V. Quenette, D. Garetto, E. Dornel, M. Weybright, J. Manceau, O. Saxod and C. Tavernier, "Characterization & Modeling of Gate-Induced-Drain-Leakage with complete overlap and fringing model." *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, Hiroshima, pp.210-213, 2010.



이재훈 (Jae-Hoon Lee)

2014년 인천대학교 전자공학과 학사  
 2016년 인천대학교 전자공학과 공학석사  
 ※관심분야 : CMOS Reliability, Nano-scale CMOS



박종태 (Jong-Tae Park)

1981년 경북대학교 전자공학과 학사  
 1983년 연세대학교 전자공학과 공학석사  
 1987년 연세대학교 전자공학과 공학박사  
 1983년 8월 ~ 1985년 8월 금성반도체(주) 연구소 연구원  
 1991년 1월 ~ 1991년 12월 MIT Post Doc,  
 2000년 7월 ~ 2001년 8월 UC Davis 방문교수  
 1987년 3월 ~ 현재 인천대학교 전자공학과 교수  
 ※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS