

점하중시험법에 의한 반도체 기관용 실리콘 웨이퍼의 파괴강도 평가*

이승미¹ · 변재원^{2†}

¹서울과학기술대학교 NID 대학원, ²서울과학기술대학교 신소재공학과

Evaluation of Fracture Strength of Silicon Wafer for Semiconductor Substrate by Point Load Test Method*

Seung-Mi Lee¹ · Jai-Won Byeon^{2†}

¹Department of Graduate School NID Fusion Technology, Seoul national University
of Science & Technology

²Department of Materials Science and Engineering, Seoul National University
of Science and Technology

Purpose: The purpose of this study was to investigate the effect of grinding process and thickness on the fracture strength of silicon die used for semiconductor substrate.

Method: Silicon wafers with different thickness from 200 μm to 50 μm were prepared by chemical mechanical polishing (CMP) and dicing before grinding (DBG) process, respectively. Fracture load was measured by point load test for 50 silicon dies per each wafer.

Results: Fracture strength at the center area was lower than that at the edge area of the wafer fabricated by DBG process, while random distribution of the fracture strength was observed for the CMPed wafer. Average fracture strength of DBGed specimens was higher than that of the CMPed ones for the same thickness of wafer.

Conclusion: DBG process can be more helpful for lowering fracture probability during the semiconductor fabrication process than CMP process.

Keywords: Silicon Wafer, Point Load Test, Chemical Mechanical Polishing, Dicing before Grinding, Fracture

1. 서론

최근 휴대용 전자제품들은 점점 더 소형화되고 있으며 이에 따라 전자제품 내의 반도체 부품도 소형화

및 경량화가 요구되고 있다. 반도체 부품의 크기를 줄이기 위해 칩의 소형화 기술과 웨이퍼 레벨 패키지 기술 등의 최신 패키지 기술이 발달되고 있다. 반도체 부품의 소형화 추세에 따라서, 기관으로 사용되는 실

* 이 연구는 서울과학기술대학교 교내연구비의 지원으로 수행되었습니다.

† 교신저자 byeonjw@seoultech.ac.kr

2016년 2월 5일 접수; 2016년 2월 10일 수정본 접수; 2016년 2월 19일 게재 확정.

리콘 웨이퍼 또한 그 두께가 수백 μm 에서 시작하여 현재는 두께 100 μm 또는 그 이하의 초박형이 되는 추세이다. 그러나 초박형 웨이퍼를 사용하게 됨에 따라 반도체 제조 공정 및 운송 과정에서 가해지는 열적 기계적 스트레스에 의해 파손율이 증가하고 있고, 특히 공정중의 실리콘 다이(die) 파손은 생산 수율을 감소시키는 주요 요인이 되고 있다[1, 2].

실리콘 웨이퍼는 취성 소재이기 때문에 두께가 얇아질수록 제조공정 중 균열이 쉽게 생성되어 파손될 가능성이 높아진다. 실리콘 웨이퍼를 얇게 가공하기 위해서 기계적 연마(grinding), 화학적 연마, 플라즈마 에칭 등의 공정을 사용하고 있다. 두께 가공이 완료된 장의 웨이퍼로부터 반도체 칩 제조에 사용되는 다수의 실리콘 다이를 제작하기 위해서는 기계적 절단(dicing) 공정이 적용된다. 이러한 공정 중에 발생하는 가장자리 균열 등의 미소 결함은 취성 재료인 실리콘 다이의 파손 확률을 크게 높게 된다[3]. 따라서 반도체 칩의 생산 수율 향상, 초기 고장률 감소, 보관 수명 향상을 위해서는 공정 조건에 따른 실리콘 다이의 파괴 특성 평가 연구가 필요하다. 본 연구에서는 표면 연마 공정과 웨이퍼 두께 감소가 실리콘 다이의 파괴 강도 및 파손 양상에 미치는 영향을 분석하고자 하였다. 이를 위해 두 가지 표면 연마 공정(CMP 및 DBG)을 이용하여 다양한 두께(50, 100, 150, 200 μm)의 실리콘 웨이퍼를 제작하였으며, 이로부터 제작된 실리콘 다이의 파괴강도를 점하중 시험법을 이용하여 평가하였다.

2. 이론적 배경

<Fig. 1>은 연도에 따른 반도체용 실리콘 웨이퍼의 두께 감소 경향을 보여주는 모식도이다. 반도체 부품의 소형화 추세에 연동하여 웨이퍼 두께는 수백 μm 에서 현재 수십 μm 이하로 급격히 감소되고 있다. 웨이퍼의 두께가 얇아질수록 파괴 확률이 증가하게 되어 생산 수율이 감소하게 된다. 이에 따라 실리콘 다이의 표면조건, 두께, 파괴강도 시험법 등의 영향에 관한 연구들이 진행되어 왔다[4-6]. 공정 수율 향상을 위해서는 실리콘 다이가 손상을 입지 않으면서 웨이퍼의 두께를 줄이고 표면을 평탄하게 만드는 공정이 필요하다. 웨이퍼의 두께를 얇게 하기 위해서는 후면연마(back

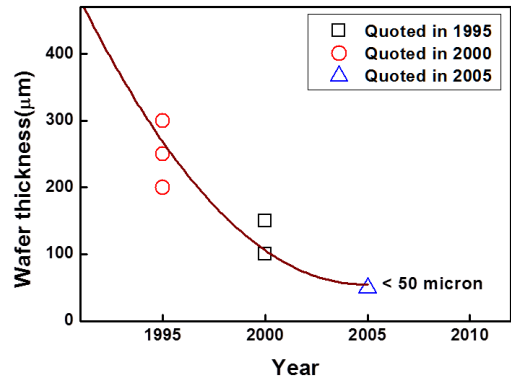


Fig. 1 Decreasing trend of wafer thickness for advanced semiconductor packaging

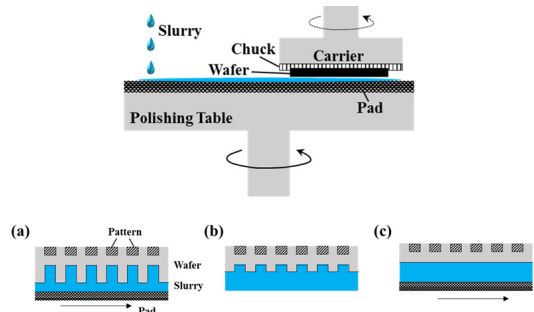


Fig. 2 Schematic presentation of CMP process

grinding)과정을 거치게 되는데, 이때 두께 50 μm 이상의 웨이퍼는 일반적으로 기계적 연마(mechanical grinding)와 폴리싱(polishing)공정을 적용하며[7], 두께 50 μm 이하의 초박형 웨이퍼는 DBG(dicing before grinding) 공정을 사용하는 경우가 많다. 일반적으로 사용되는 그라인딩, 폴리싱 과정에서 표면에 스크래치, 노치 등의 결함이 발생하기도 하며, 연마된 웨이퍼를 각각의 다이로 만드는 기계적 절단 과정에서도 끝 깨짐 등의 기계적 결함을 발생시켜 칩의 파손 확률을 높일 수 있다.

최근 많이 사용되고 있는 CMP(Chemical Mechanical Polishing)공정은 일반적인 기계적 그라인딩 및 폴리싱(polishing) 연마 과정에서 화학 물질인 슬러리를 첨가하여 웨이퍼의 표면을 화학적, 기계적으로 연마하는 방법이다. <Fig. 2>는 CMP 공정법의 모식도를 나타낸 것이다. 하부의 회전 테이블에 웨이퍼를 부착한 후 슬러리를 주입하면서 상부의 캐리어를 회전시키면서 연마하는 공정이다. 슬러리는 제거하고자 하는 물

질에 따라 산화물 또는 금속 슬러리가 사용된다. CMP 공정의 장점으로는 표면 요철부분을 선택적으로 제거 가능하고, 금속배선(Al, Cu, W)과 절연막(산화물, 질화물)의 이중재료를 동시에 균일하게 연마할 수 있다. 그러나 공정 중에 슬러리 입자 불균일로 인한 스크래치(scratch) 발생 또는 헤드 압력 및 회전속도 등의 연마공정의 조건이 맞지 않는 경우 웨이퍼에 균열이 발생할 수 있는 단점이 있다.

<Fig. 3>은 DBG 공정의 모식도를 나타낸 것이다. 먼저 <Fig. 3 (a)>와 같이 웨이퍼를 두께 방향으로 반을 절단하여(half cutting) 웨이퍼에 홈을 형성한다. 일반적인 다이싱은 웨이퍼 두께 전체를 절단하지만(full cutting), DBG 공정에서는 최종적으로 원하는 칩의 두께까지만 절단 한다. 이후에 웨이퍼를 뒤집어 <Fig. 3 (c)>와 같이 후면연마 하여 칩을 분할하는 기술로, 후면연마 과정에서 칩이 휘는 현상을 방지할 수 있는 공정이다[7].

3. 실험 방법

반도체 기관용 실리콘 다이의 강도평가를 위해 직경 6인치(100) 결정방향의 단결정 실리콘 잉곳을 기

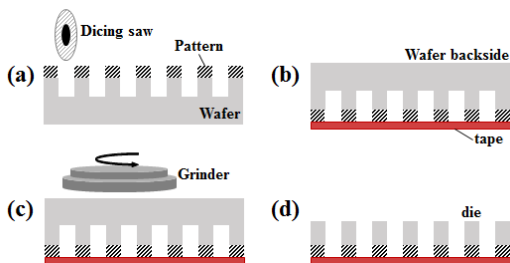


Fig. 3 Schematic presentation of DBG process

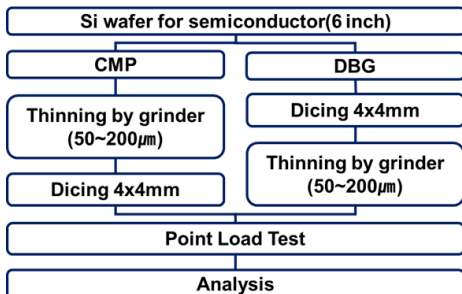


Fig. 4 Experimental procedure of this study

계적으로 절단하여(sawing) 제조한 두께 650 μ m 상용 웨이퍼를 제조사로부터 공급받아 사용하였다. 이 웨이퍼를 각각 CMP와 DBG 공정을 이용하여 두께가 각각 50 μ m, 100 μ m, 150 μ m, 200 μ m이 되도록 시편을 준비하였다. <Fig. 4>는 본 연구의 실험 과정을 모식도로 나타낸 것이다.

실리콘 다이의 파괴강도 측정을 위한 표준시험법이 정립되어 있지는 않으나, 일반적인 4점 굽힘시험법, ball braker test[8], point load test[9] 등이 적용되고 있다. 굽힘시험법은 100 μ m 이하의 초박 시편의 경우 실험이 어려우며, 저탄성의 테프론 볼을 사용하는 ball braker test는 볼과 시편(실리콘 다이)과의 접촉면적이 넓어 스트레스를 정의하기가 어려운 점이 있다. 본 연구에서는 고탄성의 강구(steel ball)를 사용하는 점하중시험법을 적용하였다. CMP와 DBG 공정을 이용해 표면 연마된 실리콘 웨이퍼를 10mm \times 10mm 크기로 절단(dicing) 하여 각각 약 50개의 실리콘 다이를 준비하였다. <Fig. 5>는 점하중시험법에 사용된 지그의 사진이다. 상부 지그는 반경 1.5mm의 특수강(SKD11)으로 제작된 볼을 사용하였으며, 시편 하부는 알루미늄 합금 판 위에 두께 2mm의 실리콘 러버를 받침대로 사용하였다. 2kN 용량의 로드셀을 장착한 마이크로 만능강도시험기(Instron 5848)를 이용하여 crosshead speed를 1mm/min으로 설정하여 변위-압축 하중 곡선을 얻었다.

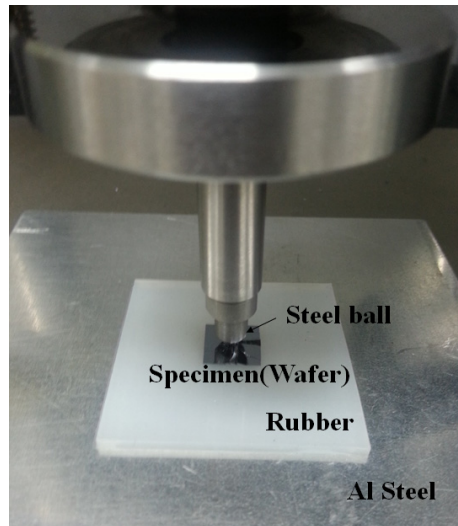


Fig. 5 Photograph of experimental set-up for point load test of silicon die.

4. 실험 결과

<Fig. 6>은 CMP와 DBG 공정으로 제작한 다양한 두께의 실리콘 다이에 대해 얻은 점하중 파괴강도 시험 결과의 하나이다. 두 공정으로 제작된 시험편 모두에서 변위의 증가에 따라 하중은 선형적으로 증가한 후 파단 되는 특징을 보였으며, 이는 소성변형이 거의 없이 파단 되는 취성 소재의 전형적인 변위-하중 곡선이다.

본 연구에 사용된 DBG 및 CMP 공정이 웨이퍼 내의 위치에 따른 파괴강도 분포에 영향을 미치는지를 확인하고자 하였다. 각 위치별로 채취한 실리콘 다이에서 측정된 파단강도를 5개 등급의 나누어 분포를 mapping하였다. DBG 공정과 CMP 공정으로 제작된 실리콘 다이에 대한 강도 분포를 각각 <Fig. 7>과 <Fig. 8>에 나타내었다. DBG 공정으로 제작된 웨이퍼의 경우, 모든 두께의 시편에서 외곽 부분이 중앙부분에 비해

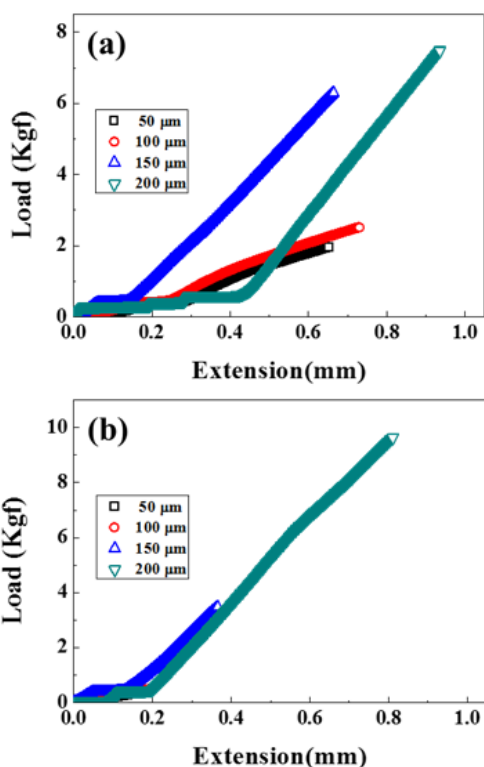


Fig. 6 Typical extension-load curve obtained by point load test for silicon die of various thickness: (a) CMP and (b) DBG process

파단 하중이 높게 나타났다. 최소 파단하중과 최대 파단하중의 차이는 약 5배까지 났으며, 이는 표면 공정 과정에서 도입된 결함의 분포가 매우 넓을 수 있음을 의미한다. 따라서 반도체 칩의 제조시 평균 파단하중 보다는 최소 파단하중을 고려하여 공정 관리를 하는 것이 필요할 것으로 보인다. <Fig. 8>은 CMP 공정을 사용하여 얻은 웨이퍼 다이의 강도 분포 결과로, 웨이퍼 내에서의 위치에 따라서는 큰 차이 없이 랜덤한 파단강도 분포를 나타내었다.

<Fig. 9>는 DBG 공정(기계적 방법)과 CMP 공정(화학적기계적 방법)을 이용하여 제작된 실리콘 웨이퍼의 두께에 따른(50 μm , 100 μm , 150 μm , 200 μm) 평균 파단하중을 비교하여 나타낸 것이다. DBG 공정의 경우 웨이퍼의 경우 두께가 감소함에 따라 파단하중이 선형적으로 감소하였으며, CMP 공정의 경우는 두께 감

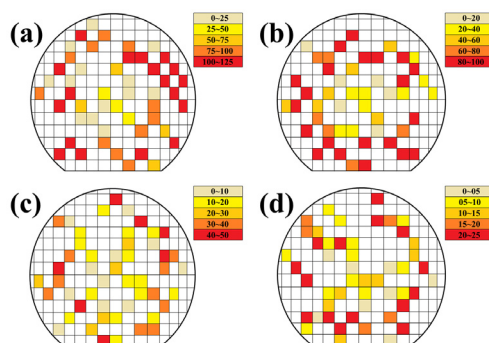


Fig. 7 Distribution of breaking load in each wafer with a thickness of (a) 50 μm , (b) 100 μm , (c) 150 μm and (d) 200 μm (DBG process)

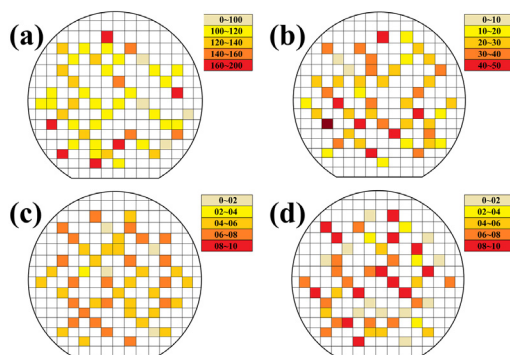


Fig. 8 Distribution of breaking load in each wafer with a thickness of (a) 50 μm , (b) 100 μm , (c) 150 μm , (d) 200 μm (CMP process)

소에 따른 파단하중이 지속적으로 감소하는 경향을 나타내었다. 또한 두 공정을 비교해 보면, 같은 두께의 시편이라도 DBG 공정으로 제조된 시편이 CMP 시편에 비해 파단하중이 크게 나타났다. 이는 DBG 공정이 상대적으로 미소균열 등의 결함을 적게 도입하는 공정임을 의미할 수 있다. CMP 공정은 <Fig. 2>의 모식도처럼 하부의 연마 패드와 상부의 캐리어 부분이 회전하면서 그 사이의 웨이퍼를 연마하는 공정으로, 이 과정에서 웨이퍼에 충격이 가해지면서 결함이 도입될 가능성이 있다. 따라서 초박형 반도체 실리콘 다이 제조시 DBG 공정을 사용하는 것이 파손 확률을 낮추는데 도움이 될 것으로 판단된다.

<Fig. 10>은 point load test 후에 파단된 실리콘 다이의 파단 양상을 보여주는 사진으로, 파단하중에 따라서 서로 다른 파손 양상을 나타내었다. <Fig. 10 (a)>와 같이 소수의 조각으로 파단 되는 패턴은 전형적인 저에너지 파괴 양상으로 주로 낮은 파단 하중의 시편들에서 발견되었다. 반면에 <Fig. 10 (c)>와 같이 매우 여러 조각으로 산산 조각난 파괴 양상의 경우 고에너지

파괴 패턴으로 파단하중이 높은 그룹의 시편에서 관찰되었다.

5. 결론

점하중시험법(point load test)을 이용하여 DBG 공정과 CMP 공정으로 제작된 다양한 두께의 실리콘 다이에 대해 파단하중을 측정하여, 연마 공정 종류 및 실리콘 다이 두께의 영향을 비교 분석하였다. DBG 공정으로 제작된 웨이퍼는 모든 두께 조건에서 웨이퍼 중앙 부분의 파단하중이 가장자리 부분에 비해 낮게 나타났다. 한 장의 실리콘 웨이퍼 내에서 제작된 실리콘 다이에서 최소 파단하중은 최대 파단하중의 1/5로 나타났다. 따라서 반도체 칩의 제조시 전체의 평균 파단하중보다는 최소 파단하중을 고려하여 연마공정 관리를 하는 것이 필요할 것으로 판단된다. CMP 공정의 경우, 웨이퍼 내에서의 위치에 따라서는 파단하중에 큰 차이가 나타나지 않고 랜덤한 분포를 나타내었다. DBG 공정으로 제작된 웨이퍼는 두께가 감소함에 따라 파단하중이 선형적으로 감소하였으며, CMP 공정의 경우는 파단하중이 지속적으로 감소하는 경향을 나타내었다. 같은 두께의 시편이라도 DBG 공정으로 제조된 시편이 CMP 시편에 비해 평균 파단하중이 크게 나타났다. 따라서 초박형 반도체 실리콘 다이 제조시 DBG 공정을 사용하는 것이 공정 중 파손율을 낮추는데 도움이 될 것으로 판단된다.

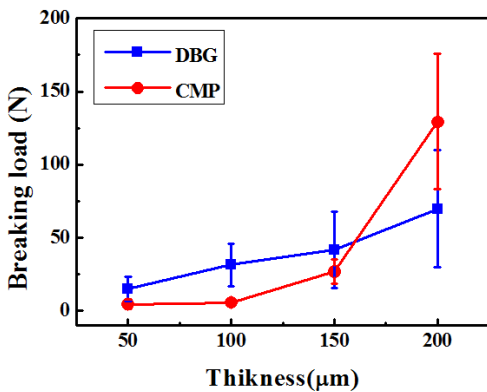


Fig. 9 Change of breaking load with thickness of silicon die fabricated by DBG and CMP, respectively

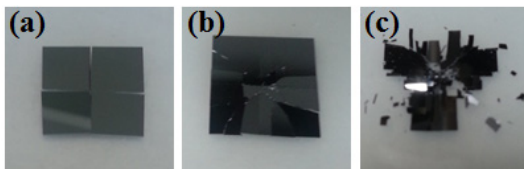


Fig. 10 Fracture appearance of the silicon die: (a) low fracture strength, (b) middle fracture strength, and (c) high fracture strength

References

- [1] Cotterell, B., Chen, Z., Han, J. B., and Tan, N. X. (2003). "The strength of the silicon die in flip-chip assemblies". *Journal of Electronic Packaging*, Vol. 125, No. 1, pp. 115-119.
- [2] Landesberger, C., Klink, G., Schwinn, G., and Aschenbrenner, R. (2001). "New dicing and thinning concept improves mechanical reliability of ultra thin silicon". *Advanced Packaging Materials: Processes, Properties and Interfaces, Proceedings. International Symposium on. IEEE*, pp. 92-97.
- [3] McLellan, N., Fan, N., Liu, S., Lau, K. and Wu, J.

- (2004). "Effects of wafer thinning condition on the roughness, morphology and fracture strength of silicon die". *Journal of Electronic Packaging*, Vol. 126, No. 1, pp. 110-114.
- [4] Wu, J. D., Huang, C. Y. and Liao, C. C. (2003). "Fracture strength characterization and failure analysis of silicon dies". *Microelectronics Reliability*, Vol. 43, No. 2, pp. 269-277.
- [5] Paul, I., Majeed, B., Razeed, K. M. and Barton, J. (2006). "Statistical fracture modelling of silicon with varying thickness", *Acta materialia*, Vol. 54, No. 15, pp. 3991-4000.
- [6] Woo, T. K., Kim, Y. H., Ahn, H. S. and Kim, S. I. (2009). "A study of Reflectance of Textured Crystalline Si Surface Fabricated by using Preferential Aqueous Etching and Grinding Processes". *Journal of the Microelectronics and Packaging Society*, Vol. 16, No. 3, pp. 61-65.
- [7] Imoto, T. et al. (2001). "Development of 3-dimensional module package System Block Module". *Electronic Components and Technology Conference, 2001. Proceedings.*, 51st., pp. 552-557.
- [8] Omar, G., Tamaldin, N., Muhamad, M. R. and Hock, T. C. (2000). "Correlation of silicon wafer strength to the surface morphology". *Semiconductor Electronics, 2000. Proceedings. ICSE 2000. IEEE International Conference*, pp. 147-151.
- [9] Tsai, M. Y. and Chen, C. H. (2008). "Evaluation of test methods for silicon die strength, *Microelectronics Reliability*". Vol.48 , No. 6, pp. 933-941.