

DPWM 방식을 적용한 3상 계통 연계 인버터의 LCL-필터 설계

Design of LCL-filter for Grid-Connected Three-Phase Inverters Using a Discontinuous PWM Method

이 정 록* · 서 승 규* · 이 교 범†
 (Jung-Rok Lee · Seung Gyu Seo · Kyo-Beum Lee)

Abstract - This paper proposes a design method of LCL-filter for a grid-connected three-phase inverter using a discontinuous PWM (DPWM) method. When using a DPWM method, many harmonic voltages are generated in the inverter output compared to a continuous PWM (CPWM) method. Therefore, an optimized grid-connected filter design is required for a DPWM method. The proposed design method provides generalized formula to design accurate LCL-filter without trial and error procedures. An inverter side inductance is designed by analyzing the current ripple injected to the grid. The Optimized parameters of LCL-filter can be designed by analyzing the total harmonic distortion (THD) and the ripple attenuation factor of the output current. The proposed LCL filter design method is demonstrated by simulation and experimental results.

Key Words : LCL-filter, Discontinuous PWM, Grid connected-inverter, Ripple factor, Ripple attenuation factor

1. 서 론

최근 에너지 수요의 증가 및 화석자원 고갈 위기로 인해 연료 전지, 태양광 및 풍력 등 신재생 에너지의 보급에 대한 노력이 활발히 이루어지고 있다[1]. 이러한 신재생 에너지 발전 시스템에는 그림 1과 같은 3상 계통 연계 PWM 인버터가 널리 사용된다[2]. 하지만 인버터의 출력 전류에는 기본과 성분 이외에 스위칭 주파수와 그 정수배에 해당하는 고조파 성분이 포함되어 있다. 이 고조파 성분들은 계통 연계 시 시스템의 성능에 악영향을 미칠 수 있기 때문에 IEEE 519-1992, IEEE 1547-2008 규정 등에 의해 제한된다[3].

인버터 출력 전류의 고조파를 억제하기 위해 일반적으로 인버터 출력단에 L-필터를 사용하게 된다. 하지만 시스템의 용량이 증가할수록 효과적인 고조파 저감을 위해 큰 인덕턴스를 필요로 한다. 이는 시스템의 부피와 재료비 상승을 유발하고 제어 동특성을 떨어뜨리는 요인이 된다. 이와 같은 문제를 해결하기 위해 상대적으로 작은 인덕턴스 값으로 보다 우수한 전류 고조파 저감 효과를 갖는 LCL-필터를 계통 연계 인버터에 적용한다. 하지만 파라미터 선정 과정이 복잡하고 전류 리플, 필터 크기, 공진 주파수, 필터 커패시터에 의한 무효 전력 흡수량 등 많은 사항들을

고려해야 한다는 단점이 있다[4, 5].

일반적으로 LCL-필터 설계에 관한 논문은 추가적인 LC-필터의 영향을 고려한 설계에 초점을 맞추고 있다[6-8]. 하지만 LC-필터는 1차 감쇠 작용을 하는 1차 측 인덕턴스에 의해 설계되므로, 이를 정확히 설계하는 것은 매우 중요하다. 3상 계통 연계 인버터를 제어하기 위한 스위칭 기법에는 삼각파 비교 변조 방식(SPWM), 공간 벡터 변조 방식(SVM), 불연속 변조 방식(DPWM) 등의 다양한 방식이 존재한다. 이와 같이 다양한 스위칭 방식을 사용하는 계통연계 시스템의 전류는 서로 다른 형태의 전류 리플을 포함하므로 1차 측 인덕턴스는 스위칭 방식에 따라 설계 기준이 달라진다.

최근 스위칭 손실 저감에 대한 관심이 증가하고, 산업체의 다양한 스위칭 방법의 사용에 대한 수요가 증가하고 있다. 따라서 스위칭 횟수와 손실 저감 측면에서 유리한 Discontinuous PWM(DPWM)에 대한 연구가 활발히 진행되고 있다[9]. 하지만 기존의 LCL 필터는 SPWM 방식 또는 3고조파 주입 전압 변조 방식

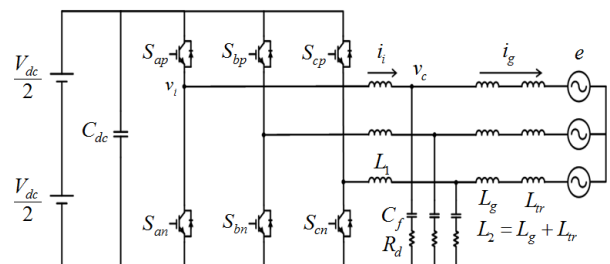


그림 1 3상 계통 연계 인버터 시스템

Fig. 1 Grid-connected three-phase inverter system

† Corresponding Author : Dept. of Electrical and Computer Engineering, Ajou University, Korea

E-mail : kyl@ajou.ac.kr

* Dept. of Electrical and Computer Engineering, Ajou University, Korea

Received : November 22, 2015; Accepted : February 17, 2016

(THPWM)에 기반한 연구가 대부분인 실정이다[10]. DPWM 방식은 한 주기의 특정 영역에서 스위치의 상태를 온 또는 오프 상태로 유지하므로 해당하는 스위치의 스위칭 횟수를 줄여 스위칭 손실을 저감할 수 있다[11]. 이 방식의 경우에 전압 변조 지수에 따라 스위칭 상태를 유지하는 구간과 불연속 구간에 의한 영향이 달라지므로 출력전류에 포함된 고조파의 양도 달라진다. 따라서 기존의 설계 방식을 통해 필터를 설계한다면 초기에 목표한 전고조파왜율(THD)를 만족 할 수 없게 된다.

본 논문에서는 DPWM 방식을 적용한 3상 계통 연계 인버터에서 계통으로 주입되는 전류의 고조파를 억제하기 위한 LCL-필터의 최적 설계 기법을 제안한다. L-필터만 사용했을 때 계통에 주입되는 전류 리플 분석을 통해 리플율(Ripple factor)을 정의하고, 이를 통해 인버터 측 필터 인덕터 설계가 가능하다. 인버터 측 출력 전류의 THD와 계통 측 출력 전류의 THD 사이 관계를 분석하여 전류 리플 감쇠율(Ripple attenuation factor)을 선정하고 이로부터 계통 측 인덕터를 설계한다. 필터 커패시터는 무효 전력 흡수율을 고려하여 적절한 값을 선정하고 이를 바탕으로 효율을 저하시키지 않으면서 공진은 피할 수 있을 정도로 댐핑 저항을 설계한다. 제안한 설계 기법은 3kW급 시스템의 LCL-필터를 설계하고, PSIM 시뮬레이션 및 실험을 통해 계통 측 전류의 THD를 확인하여 그 타당성을 검증하였다.

2. DPWM 방식이 적용된 3상 인버터 시스템

일반적으로 널리 사용되는 3상 전압 변조 방식은 스위칭 한 주기 내에서 항상 상의 모든 소자가 스위칭을 하는 Continuous PWM (CPWM) 방식이다. 하지만 스위칭 손실 저감을 목적으로 3상의 스위치 중 두 상만 스위칭 하도록 하는 DPWM도 사용된다. 불연속 구간을 어디에 설정하는가에 따라 여러 가지 변조 방식이 있지만 60°DPWM 방식이 대표적이다. 식 (1)은 각 상마다 120° 위상차를 갖는 3상 상전압 지령을 나타낸다.

$$\begin{aligned} V_{as}^* &= M_i \frac{V_{dc}}{\sqrt{3}} \sin(\omega t) \\ V_{bs}^* &= M_i \frac{V_{dc}}{\sqrt{3}} \sin(\omega t - 2\pi/3) \\ V_{cs}^* &= M_i \frac{V_{dc}}{\sqrt{3}} \sin(\omega t + 2\pi/3) \end{aligned} \quad (1)$$

여기서 $V_{as}^*, V_{bs}^*, V_{cs}^*$ 는 상전압 지령, M_i 는 전압 변조 지수, V_{dc} 는 DC 링크 단 전압을 의미한다.

60°DPWM 방식의 윗셋 전압은 상전압 지령의 크기가 가장 큰 60° 구간에서 스위칭을 하지 않도록 식 (2)와 같이 정의된다. 여기서 V_{offset} 은 윗셋 전압을 의미한다.

최종적으로 극전압 지령은 식 (3)과 같이 중성점에 윗셋 전압을 주입한 형태로 나타낼 수 있다.

$$V_{offset} = \begin{cases} -\frac{V_{dc}}{2} - V_{bs}^*, & 0 \leq \omega t \leq \frac{\pi}{3} \\ \frac{V_{dc}}{2} - V_{as}^*, & \frac{\pi}{3} \leq \omega t \leq \frac{2\pi}{3} \\ -\frac{V_{dc}}{2} - V_{cs}^*, & \frac{2\pi}{3} \leq \omega t \leq \pi \\ \frac{V_{dc}}{2} - V_{bs}^*, & \pi \leq \omega t \leq \frac{4\pi}{3} \\ -\frac{V_{dc}}{2} - V_{as}^*, & \frac{4\pi}{3} \leq \omega t \leq \frac{5\pi}{3} \\ \frac{V_{dc}}{2} - V_{cs}^*, & \frac{5\pi}{3} \leq \omega t \leq 2\pi \end{cases} \quad (2)$$

$$\begin{aligned} V_{an}^* &= V_{as}^* + V_{offset} \\ V_{bn}^* &= V_{bs}^* + V_{offset} \\ V_{cn}^* &= V_{cs}^* + V_{offset} \end{aligned} \quad (3)$$

여기서 $V_{an}^*, V_{bn}^*, V_{cn}^*$ 은 극전압 지령을 의미한다.

그림 2는 60°DPWM 방식의 지령 전압을 나타낸다. 상전압 지령이 양으로 가장 큰 60° 구간 동안 극전압 지령은 $V_{dc}/2$, 음으로 가장 큰 60° 구간 동안에는 $-V_{dc}/2$ 로 스위치를 하나의 상태로 고정시킨다. 이와 같이 스위칭 횟수를 33%감소시킴으로써 스위칭 손실을 저감한다. 하지만 스위치의 상태가 고정된 60° 구간에서 전류의 리플이 증가할 뿐만 아니라 윗셋 전압이 양과 음 사이에서 불연속적으로 변하기 때문에 전류에 포함된 고조파 양이 증가하는 단점이 있다.

3. LCL-필터 설계

3.1 인버터 측 필터 인덕터 설계

LCL-필터는 각 필터가 시스템에 미치는 영향을 고려하여 순차적으로 설계되어야 한다. 인버터 측 필터 인덕터는 인버터의 출력 전압을 입력 받아 1차적으로 전류의 리플을 감쇠시키고 추가 LC-필터는 인버터 측 필터 인덕터에서 1차적으로 감쇠된 전류를 바탕으로 2차 감쇠를 결정하는 식에 의해 설계된다. 다른 파라미터의 설계 시 기준이 되는 인버터 측 필터 인덕터는 인버터의 토폴로지나 스위칭 방식에 따라 설계 기준이 달라지므로 그에 따른 적절한 설계가 요구된다. 본 논문은 2레벨 3상 인버터를 60°DPWM 방식으로 운전할 시 발생하는 전류 리플을 분석하고 최적화된 필터 인덕터 설계 기법을 제안한다.

3.1.1 DPWM 방식의 전류 리플 분석

그림 3는 한 주기 동안 각 상 스위치들의 유효 인가 시간을 나타낸다. 한 주기 안에서 각 상 스위치의 온-오프 동작은 삼각 반송파와 극전압 지령 값의 비교를 통해 이루어지기 때문에 식 (3)에 의해 식 (4)와 같이 정의된다. 여기서 T_a, T_b, T_c 는 각 상 스위치의 유효 인가 시간, T_s 는 제어 주기를 의미한다.

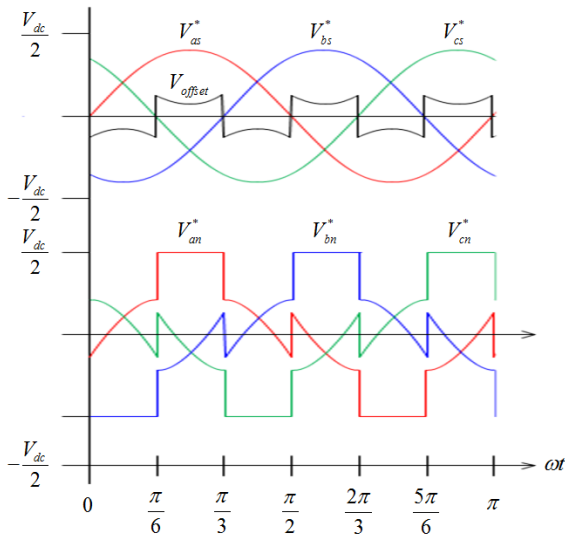


그림 2 DPWM 방식의 윗셋 전압과 지령 전압
 Fig. 2 Offset and reference voltage of DPWM

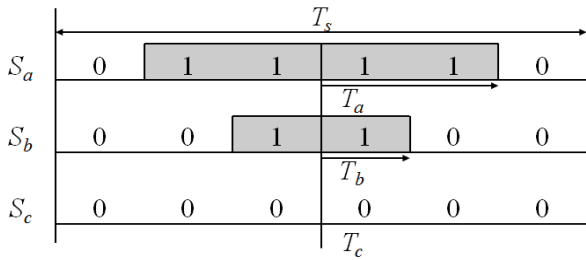


그림 3 각 상 극전압의 유효 인가 시간
 Fig. 3 The effective time of each phase pole voltage

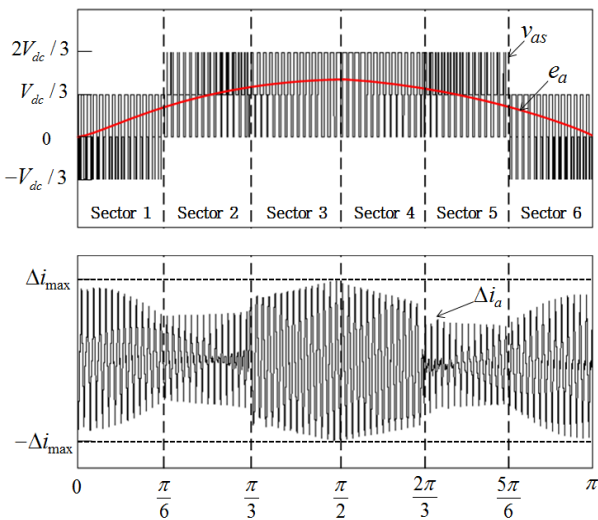


그림 4 3상 인버터 한 상의 출력 상전압과 전류 리플 ($M_f=0.8$)
 Fig. 4 Output phase voltage and ripple current ($M_f=0.8$)

$$T_a = \frac{T_s}{2} \left(\frac{V_{an}^*}{V_{dc}} + \frac{1}{2} \right)$$

$$T_b = \frac{T_s}{2} \left(\frac{V_{bn}^*}{V_{dc}} + \frac{1}{2} \right)$$

$$T_c = \frac{T_s}{2} \left(\frac{V_{cn}^*}{V_{dc}} + \frac{1}{2} \right)$$
(4)

인덕터 양단에 인가되는 전압은 인버터의 출력 상전압과 계통 상전압의 차이로 나타낼 수 있고 3상 인버터의 출력 상전압은 5개의 전압 레벨($2/3V_{dc}, 1/3V_{dc}, 0, -1/3V_{dc}, -2/3V_{dc}$)로 시간에 따라 변화하기 때문에 인덕터 양단에 인가되는 전압도 변화한다. 따라서 시간에 따라 인덕터에 인가되는 전압과 그 전압에서의 인가 시간을 이용하여 전류 리플의 크기를 추정할 수 있다.

그림 4는 $M_f=0.8$ 일 때 3상 인버터의 출력 상전압과 전류 리플을 나타낸다. 인덕터의 전류는 출력 상전압의 변화에 따라 흐르게 되고 출력 상전압의 파형에 따라 리플 전류의 크기가 결정된다. 따라서 출력 상전압의 발생 형태에 따라 총 6개의 영역으로 나눌 수 있다. 하지만 영역 1,2,3과 영역 4,5,6은 대칭을 이루고 있기 때문에 영역 1,2,3에 대한 전류 리플 분석만으로 리플 전류의 RMS 값을 구할 수 있다. 인버터 출력 상전압의 각 전압 레벨이 인가되는 시간은 식 (4)로 정의된 3상 스위치의 유효 인가 시간에 따라 표 1과 같이 결정된다. 그림 5, 6, 7은 대칭을

표 1 a상 상전압의 각 전압에 따른 유효 인가 시간

Table 1 Effective time of phase a due to each output voltage

영역	출력 상전압	유효 시간	
1	$V_{dc}/3$	T_0	T_a
	$-V_{dc}/3$	T_1	$T_c - T_a$
	0	T_2	$T_s/2 - T_c$
2	$V_{dc}/3$	T_0	T_c
	$2V_{dc}/3$	T_1	$T_a - T_c$
3	0	T_2	$T_s/2 - T_a$
	$2V_{dc}/3$	T_0	$T_a - T_c$
	$V_{dc}/3$	T_1	$T_c - T_b$
4	0	T_2	T_b
	$2V_{dc}/3$	T_0	$T_a - T_b$
	$V_{dc}/3$	T_1	$T_b - T_c$
5	0	T_2	T_c
	$V_{dc}/3$	T_0	T_b
	$2V_{dc}/3$	T_1	$T_a - T_b$
6	0	T_2	$T_s/2 - T_a$
	$V_{dc}/3$	T_0	T_a
	$-V_{dc}/3$	T_1	$T_b - T_a$
	0	T_2	$T_s/2 - T_b$

이루는 각 상 영역의 인버터 출력 상전압에 따른 전류 리플 형태를 나타낸다. 영역 1, 6에서 반주기동안 $V_{dc}/3$ 이 T_0 동안, $-V_{dc}/3$ 이 T_1 동안, 0이 T_2 동안 인가됨으로써 전류 리플의 최대값이 결정된다. 이 영역에서 전류 리플의 최대값을 결정하는 인버터 출력 상전압의 전압 레벨은 $V_{dc}/3$ 임을 그림 5을 통해 확인할 수 있다. 마찬가지로 영역 2,5에서도 반주기에서 $V_{dc}/3$ 이 T_0 동안, $2V_{dc}/3$ 이 T_1 동안, 0이 T_2 동안 인가됨으로써 전류 리플의 최대값이 결정되는데 이를 결정하는 전압 레벨은 $V_{dc}/3$, $2V_{dc}/3$ 임을 그림 6을 통해 알 수 있다. 마지막으로 영역 3,4에서도 영역 2, 5와 같은 레벨의 전압이 인가되지만 전류 리플의 최대값에 영향을 주는 레벨은 오직 $2V_{dc}/3$ 임을 그림 7을 통해 확인할 수 있다. 따라서 각 영역의 전류 리플의 최대값은 식 (5)와 같이 나타낸다. 여기서 Δi_{max} 는 전류 리플의 최대값을 의미한다.

이렇게 결정된 전류 리플의 최대값은 그림 8과 같이 좌우 대칭 구조를 가지며 전압 변조 지수에 따라 다양한 형태의 전류 리플을 갖는다. 전류 리플의 RMS 값을 구하기 위해 그림 9와 같이 높은 주파수의 삼각파 형태로 근사화하여 나타낸 전류 리플의 절대값을 구하고 그 삼각파의 RMS 값을 적분하면 전류 리플의

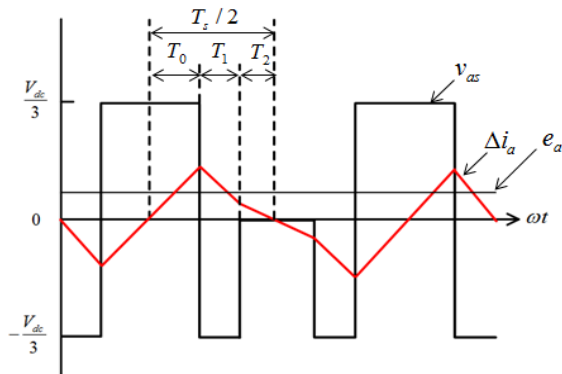


그림 5 영역 1, 6에서의 전류 리플
Fig. 5 The current ripple in the sector 1, 6

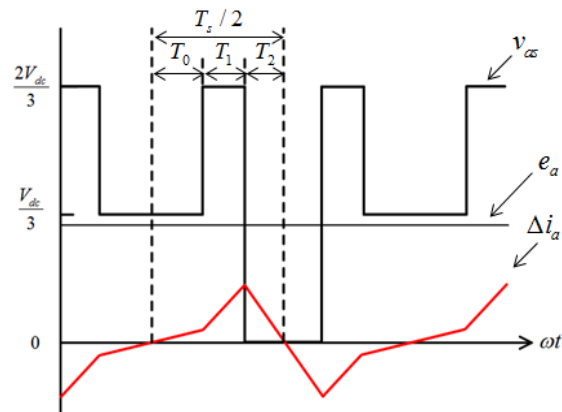


그림 6 영역 2, 5에서의 전류 리플
Fig. 6 The current ripple in the sector 2, 5

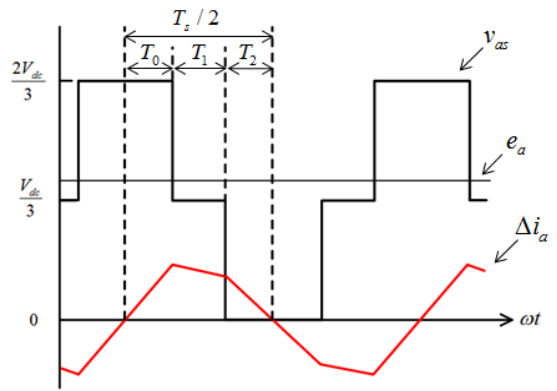


그림 7 영역 3, 4에서의 전류 리플
Fig. 7 The current ripple in the sector 3, 4

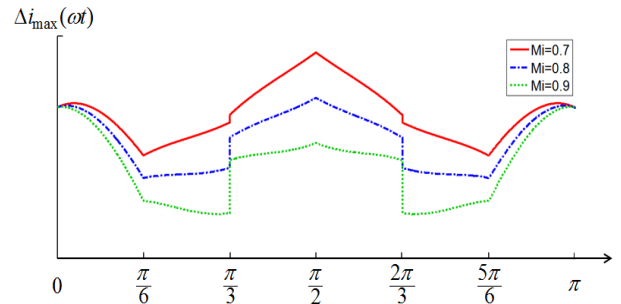


그림 8 전압 변조 지수에 따른 전류 리플의 크기
Fig. 8 The magnitude of the current ripples according to the modulation index

RMS 값을 간단하게 계산할 수 있다.

$$\begin{aligned}
 \Delta i_{max1}(\omega t) &= \frac{1}{L_1} \left(\frac{V_{dc}}{3} - e_a(\omega t) \right) T_a \\
 \Delta i_{max2}(\omega t) &= \frac{1}{L_1} \left(\frac{2V_{dc}}{3} - e_a(\omega t) \right) (T_a - T_c) \\
 &\quad + \frac{1}{L_1} \left(\frac{V_{dc}}{3} - e_a(\omega t) \right) T_c \\
 \Delta i_{max3}(\omega t) &= \frac{1}{L_1} \left(\frac{2V_{dc}}{3} - e_a(\omega t) \right) (T_a - T_c) \\
 \Delta i_{max4}(\omega t) &= \frac{1}{L_1} \left(\frac{2V_{dc}}{3} - e_a(\omega t) \right) (T_a - T_b) \\
 \Delta i_{max5}(\omega t) &= \frac{1}{L_1} \left(\frac{2V_{dc}}{3} - e_a(\omega t) \right) (T_a - T_b) \\
 &\quad + \frac{1}{L_1} \left(\frac{V_{dc}}{3} - e_a(\omega t) \right) T_b \\
 \Delta i_{max6}(\omega t) &= \frac{1}{L_1} \left(\frac{V_{dc}}{3} - e_a(\omega t) \right) T_a
 \end{aligned} \tag{5}$$

전류 리플의 크기가 좌우 대칭이므로 영역 1, 2, 3에서만 전류 리플의 RMS 값을 구한다. 또한 삼각파의 RMS 값은 삼각파

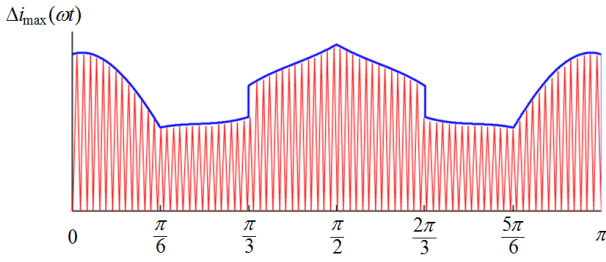


그림 9 전류 리플의 절대값($M_i = 0.8$)

Fig. 9 The absolute value of the current ripple($M_i = 0.8$)

최대값의 $1/\sqrt{3}$ 배이므로 전류 리플의 RMS 값은 식 (6)과 같이 나타낼 수 있다.

$$I_r = \sqrt{\frac{2}{3\pi} \left[\int_0^{\pi/6} a^2(\theta) d\theta + \int_{\pi/6}^{\pi/3} b^2(\theta) d\theta + \int_{\pi/3}^{\pi/2} c^2(\theta) d\theta \right]} \quad (6)$$

여기서 I_r 은 전류 리플의 RMS 값, a 는 $\Delta i_{\max 1}$, b 는 $\Delta i_{\max 2}$, c 는 $\Delta i_{\max 3}$ 를 의미한다.

식 (6)에서 표현된 전류 리플의 RMS 값을 계산하여 정리하면 식 (7)과 같이 표현된다.

$$I_r = \frac{V_{dc} T_s}{144 L_1} \sqrt{\frac{2 M_i^2}{\pi} k(M_i)} \quad (7)$$

여기서 $k(M_i) = 90\pi M_i^2 + 128\pi + 9\sqrt{3} M_i^2 + 96 M_i - 448\sqrt{3} M_i$ 를 나타낸다.

3.1.2 전류 리플률

전류 리플률을 통해 전류 리플이 전력 품질에 미치는 영향을 나타낼 수 있다. 전류 리플률은 정격 전류와 리플 전류의 비로 정의되고 식 (8)과 같이 표현할 수 있다[10].

$$RF_i = \frac{I_r}{I_1} \quad (8)$$

여기서 RF_i 는 인버터 측 전류 리플률, I_1 은 정격 전류의 RMS 값을 의미한다.

정격 조건에서 전압 변조 지수는 식 (9)와 같이 정의한다.

$$M_i = \frac{\sqrt{2} V_{LL}}{V_{dc}} \quad (9)$$

여기서 V_{LL} 은 계통 선간 전압을 의미한다.

시스템의 베이스 임피던스, 인덕턴스는 식 (10)-(11)로 정의된다. 여기서 Z_b 는 베이스 임피던스, P 는 유효 전력, L_b 는 베이스 인덕턴스, f_1 은 계통 주파수를 의미한다.

$$Z_b = \frac{V_{LL}^2}{P} \quad (10)$$

$$L_b = \frac{Z_b}{2\pi f_1} \quad (11)$$

시스템의 정격 전류는 식 (12)와 같이 계통 선간 전압과 베이스 임피던스와의 관계를 이용하여 베이스 인덕턴스로 표현할 수 있다.

$$I_1 = \frac{M_i V_{dc}}{2\sqrt{6}\pi f_1 L_b} \quad (12)$$

따라서 식 (7)과 식 (12)를 식 (9)에 대입하여 인버터 측 인덕턴스에 대한 식으로 정리하면 식 (13)과 같이 정의할 수 있다. 식 (13)에서 L_1 은 인버터 측 필터 인덕턴스, f_{sw} 는 스위칭 주파수, $k(M_i) = 90\pi M_i^2 + 128\pi + 9\sqrt{3} M_i^2 + 96 M_i - 448\sqrt{3} M_i$ 를 나타낸다.

$$L_1 = \frac{L_b f_1}{RF_i f_{sw}} \sqrt{\frac{\pi}{432} k(M_i)} \quad (13)$$

3.2 필터 커패시터 설계

정격 조건에서의 베이스 커패시턴스는 식 (14)와 같고, 이를 기준으로 필터 커패시턴스는 무효 전력 흡수율을 통해 식 (15)와 같이 결정된다.

$$C_b = \frac{1}{2\pi f_1 Z_b} \quad (14)$$

$$C_f = x C_b \quad (15)$$

여기서 C_b 는 베이스 커패시턴스, f_1 은 계통 주파수, Z_b 는 베이스 임피던스, C_f 는 필터 커패시턴스, x 는 무효 전력 흡수율을 의미한다.

무효 전력 흡수율이 너무 큰 경우에는 커패시터로 인한 무효 전력이 증가하며 더 많은 전류가 인버터 측 인덕터를 통하게 되어 손실이 증가한다. 한편 무효 전력 흡수율이 너무 작으면 추가적인 인덕턴스가 요구되므로 5%이내의 적절한 값으로 결정해야 한다.

3.3 계통 측 필터 인덕터 설계

계통 측 필터 인덕터는 인버터 측 필터 인덕터를 기본 값으로 하여 두 인덕턴스 사이의 관계를 나타내는 인덕턴스 비율에 따라 식 (16)과 같이 결정된다[8].

$$L_g = r L_1 \quad (16)$$

여기서 L_g 는 계통 측 필터 인덕턴스, r 은 인버터 측 필터 인덕턴

스와 계통 측 필터 인덕턴스의 비율을 나타낸다.

인버터 측 L-필터를 통과한 전류 리플은 계통 측 인덕터와 필터 커패시터로 구성된 저역 통과 필터를 거치며 2차 감쇠가 발생한다. 필터를 지난 후 인버터 출력 전류의 기본파 성분은 필터의 영향을 거의 받지 않아 감소되지 않고 스위칭 주파수의 배수 주파수 영역에 발생하는 고조파 성분은 필터에 의해 감소된다. 그러므로 식 (17)과 같이 인버터 측 전류의 RMS 값 대 계통 측 전류의 RMS 값의 비로 리플 감쇠율을 정의할 수 있다[12].

$$RAF = \frac{RF_g}{RF_i} \quad (17)$$

여기서 RAF는 리플 감쇠율, RF_g 는 계통 측 전류 리플율을 나타낸다.

최종적으로 시스템의 조건, 리플 감쇠율에 의해 식 (18)과 같이 인덕턴스 비율이 결정된다.

$$r = \left| \frac{\frac{1}{RAF} + 1}{1 - (2\pi f_{sw})^2 x L_1 C_f} \right| \quad (18)$$

LCL-필터의 총 인덕턴스 값은 시스템의 베이스 인덕턴스의 10%이하여야 한다. 총 인덕턴스 값이 그 이상으로 커지면 전압 강하가 커져 전류제어를 위해 더 높은 DC 단 전압이 필요해지며, 이는 커패시터의 내압을 높이므로 비용이 증가하게 되고 높은 스위칭 손실을 가져온다.

3.4 댐핑 저항 설계

댐핑 저항은 공진 주파수 대역에서 진동을 피하는 것을 목적으로 한다. 일반적으로 공진 주파수에서의 필터 커패시턴스의 1/3 정도로 설계한다. 공진 주파수와 댐핑 저항은 설계된 파라미터에 의해 식 (19)와 같이 결정된다. 공진 주파수는 계통 주파수의 10배에서 스위칭 주파수의 1/2 내로 제한된다.

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_1 + L_2}{L_1 L_2 C_f}} \quad (19)$$

$$R_d = \frac{1}{6\pi f_{res} C_f}$$

여기서 f_{res} 는 공진 주파수, R_d 는 댐핑 저항을 나타낸다.

4. LCL-필터 설계 예시

DPWM 방식을 적용한 3상 계통 연계형 인버터의 LCL 필터 설계 예시이다. 표 2는 시스템 파라미터를 나타내고 있다. 최종 계통 측 전류의 THD를 3%로 설계하기 위해 인버터 측 전류의 목표 THD를 15%로 설정하면 식 (13)에 의해서 인버터 측 필터

표 2 시스템 파라미터

Table 2 System parameters

파라미터	값
정격 용량	3 kW
계통 선간전압	220 V _{rms}
DC 단 전압	400 V
계통 주파수	60 Hz
스위칭 주파수	7.8 kHz
목표 THD	3 %

표 3 LCL 필터 파라미터

Table 3 LCL filter parameters

파라미터	값
L_1	1.4 mH
C_f	4.4 μ F
L_2	630 μ H
f_{res}	3707 Hz
R_d	1 Ω

인덕터 L_1 은 1.4mH로 결정된다. 또한 필터 커패시턴스는 역률을 고려하여 무효 전력 흡수율을 2.7%로 설정하였을 때 4.4 μ F로 설계 가능하다. 최종 목표 THD를 3%이므로 리플 감쇠율은 20%가 되고 식 (18)을 통해 계통 측 필터 인덕터 L_2 는 630 μ H로 설계된다. 댐핑 저항은 시스템의 효율에 영향을 미치지 않는 범위 내에서 공진을 억제할 수 있도록 1 Ω 으로 설계 가능하다. 따라서 최종적으로 원하는 THD 성능을 만족하기 위해 설계된 LCL 파라미터는 표 3과 같이 결정된다.

5. 시뮬레이션 결과

앞서 설계한 DPWM 방식이 적용된 3상 계통 연계형 인버터의 LCL-필터 성능을 PSIM을 이용한 시뮬레이션을 통해 검증한다. 목표 THD 성능을 만족하는 LCL-필터를 설계하고 THD 성능 만족 여부와 FFT 분석 파형을 통해 LCL-필터의 성능을 검증한다.

그림 11(a)는 설계한 LCL-필터의 인버터 측 출력 전류 파형을 나타낸다. 시뮬레이션 결과 인버터 측 필터 인덕터를 통해 1차 감쇠한 출력 전류는 15.36%의 고조파를 포함하고 있는 것을 확인 하였다.

최종적으로 LCL-필터를 거쳐 계통에 주입되는 전류는 그림 11(b)를 통해 확인할 수 있고 THD는 3.16%를 나타낸다. 이로써 제안된 설계 방법에 따라 일반화된 설계식을 통해 0.16%의 오차를 갖는 정확도를 보이는 것을 확인하였다.

그림 11(c)와 (d)는 각 부 전류의 FFT 분석 파형을 나타낸다. 스위칭 주파수와 그 배수 주파수에서 고조파가 발생하며 LCL-필

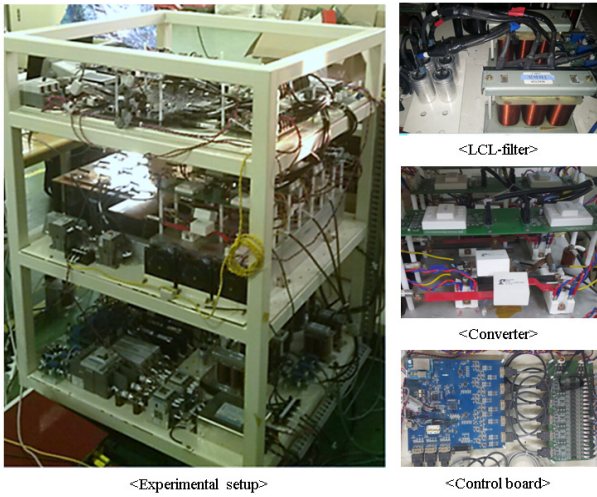


그림 10 3상 인버터 실험 세트
 Fig. 10 Experiment set of three-phase inverter

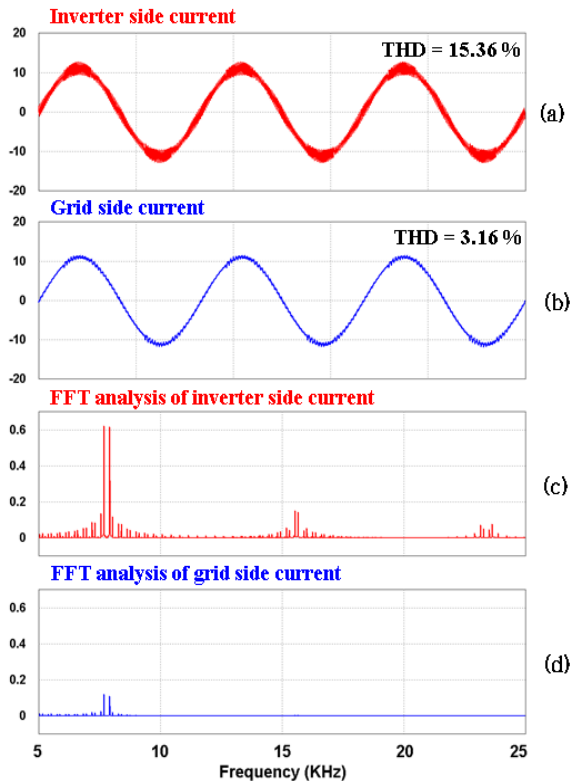


그림 11 LCL-필터의 출력 전류 파형 (a) 인버터 측 전류 (b) 계통 측 전류 (c) 인버터 측 전류 FFT분석 (d) 계통 측 전류 FFT분석
 Fig. 11 Current waveform of LCL-filter in simulation (a) Inverter side current (b) Grid side current (c) FFT analysis of inverter side current (d) FFT analysis of grid side current

터에 의해 최종 계통에 주입되는 전류에는 스위칭에 의한 고조파가 거의 억제된 것을 확인하였다.

6. 실험 결과

제안하는 설계 기법을 검증하기 위해 3kW급 3상 인버터 실험 세트를 통하여 실험을 수행하였다. 그림 10은 3상 인버터 실험 세트를 나타내며, 시스템 및 LCL-필터 파라미터는 시뮬레이션에서 설계한 것과 동일하게 구성되었다.

그림 12는 3상 인버터의 기본 동작을 나타낸다. 계통 선간전압이 220V_{rms}, DC 단 전압이 400V일 때 계통으로 주입되는 전류를 확인하였다. 또한, 전압 지령에 따라 스위치의 상태가 유지되는 구간동안 스위칭에 인가되는 전압이 하나의 레벨로 유지되는 것을 확인하였다. 그림 13은 설계한 LCL-필터의 성능을 나타낸다. 그림 13(a)는 인버터 측 전류를 나타낸다. 그림 13(b)는 계통 측 전류를 나타낸다. LCL-필터로 인해 최종적으로 계통에 주입되는 전류에는 스위칭에 의해 발생하는 고조파 성분이 억제되는 것을 확인하였다.

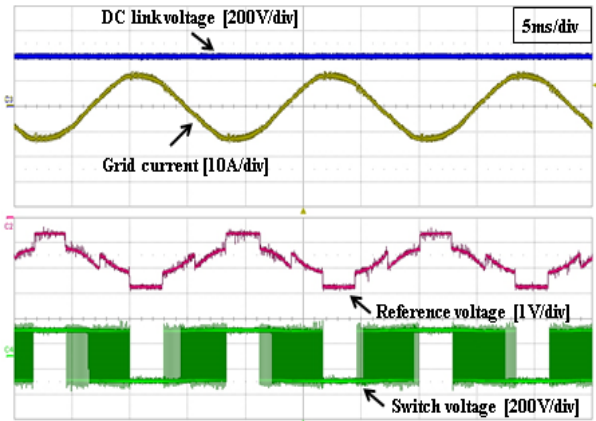


그림 12 DPWM 방식을 적용한 3상 인버터 기본 동작 파형
 Fig. 12 Basic operation waveform of three-phase inverter using DPWM

결과적으로 제안하는 LCL-필터 설계 기법은 일반화 된 수식을 통해 시행착오 과정없이 목표 THD 성능을 만족하는 필터 설계가 가능함을 입증하였다.

7. 결 론

본 논문은 DPWM 방식을 적용한 3상 계통 연계 인버터의 LCL-필터 설계 기법을 제안하였다. 동일한 시스템 조건 하에 DPWM 방식은 CPWM 방식에 비해 더 많은 양의 고조파를 포함

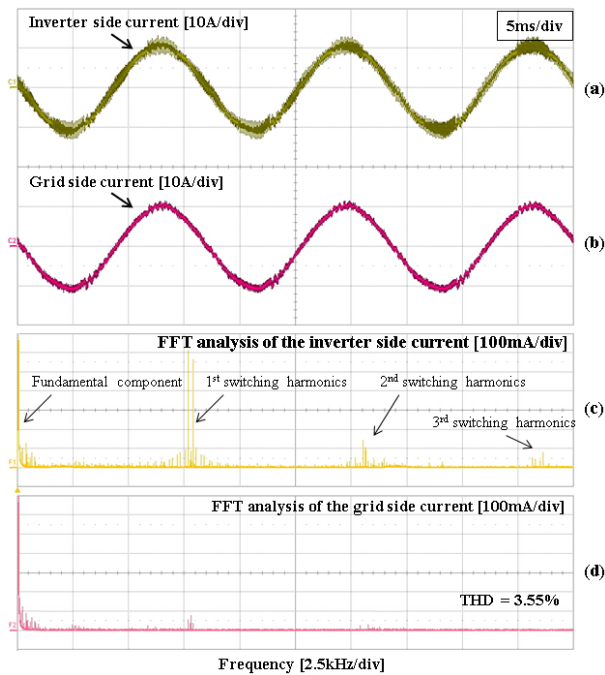


그림 13 LCL-필터의 성능 (a) 인버터 측 전류, (b) 계통 측 전류, (c) 인버터 측 전류 FFT분석, (d) 계통 측 전류 FFT분석

Fig. 13 Performance of LCL-filter (a) Inverter side current, (b) Grid side current, (c) FFT analysis of inverter side current, (d) FFT analysis of grid side current

하고 있기 때문에 적절한 계통 연계 필터 설계가 요구된다. 인버터 측 필터 인덕터는 인버터 출력 전류 리플 분석을 통해 계산되었으며, 계통 측 인덕터는 전류 리플 감소율에 의해 설계되었다. 최종적으로 PSIM 시뮬레이션과 실험을 통해 설계한 LCL-필터의 THD 성능을 분석함으로써 제안한 설계 기법의 타당성을 검증하였다.

References

[1] June-Seok Lee, Hae-Gwang Jeong, and Kyo-Beum Lee, "Active Damping for Wind Power Systems with LCL Filters Using a DFT," *Journal of Power Electronics*, vol. 12, no. 2, pp. 326-332, Mar. 2012.

[2] Fei Li, Xing Zhang, Hong Zhu, Haoyuan Li, and Changzhou Yu, "An LCL-LC Filter for Grid-Connected Converter: Topology, Parameter, and Analysis," *IEEE Transactions on Power Electronics*, vol. 30, no. 9, pp. 5067-5077, Sep. 2015.

[3] Erika Twining, and Donald Grahame Holmes, "Grid

Current Regulation of a Three-Phase Voltage Source Inverter With an LCL Input Filter," *IEEE Transactions on Power Electronics*, vol. 18, no. 3, pp. 888-895, May. 2003.

[4] Dae-Keun Choi, and Kyo-Beum Lee, "Stability Improvement of Distributed Power Generation Systems with an LCL-Filter Using Gain Scheduling Based on Grid Impedance Estimations," *Journal of Power Electronics*, vol. 11, no. 4, pp. 599-605, Jul. 2011.

[5] Guoqiao Shen, Dehong Xu, Luping Cao, and Xuancai Zhu, "An Improved Control Strategy for Grid-Connected Voltage Source Inverters With an LCL Filter," *IEEE Transactions on Power Electronics*, vol. 23, no. 4, pp. 1899-1906, Jul. 2008.

[6] K. Jalili, and S. Bernet, "Design of filters of active-front-end two-level voltage-source converters," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 5, pp. 1674-1689, May. 2009.

[7] X. Guo, X. You, X. Li, R. Hao, and D. Wang, "Design method for the LCL filters of three-phase voltage source PWM rectifiers," *Journal of Power Electronics*, Vol. 12, No. 4, pp. 559-566, Jul. 2012.

[8] M. Liserre, F. Blaabjerg, and S. Hansen, "Design and control of an LCL-filter-based three-phase active rectifier," *IEEE Transactions on Industry Applications*, Vol. 41, No. 5, pp. 1281-1291, Sep./Oct. 2005.

[9] June-Seok Lee, Seungjong Yoo, and Kyo-Beum Lee, "Novel Discontinuous PWM Method of a Three-Level Inverter for Neutral-Point Voltage Ripple Reduction," *IEEE Transactions on Industrial Electronics*, in press, Vol. PP, No. 99, pp. 1, Feb. 2016.

[10] Hae-Gwang Jeong, Dong-Keun Yoon, and Kyo-Beum Lee, "Design of an LCL-Filter for Three-Parallel Operation of Power Converters in Wind Turbines," *Journal of Power Electronics*, Vol. 13, No. 3, pp. 437-446, May. 2013.

[11] Seungjong Yoo, June-Seok Lee, and Kyo-Beum Lee, "A New Discontinuous PWM Method of Three-Level Inverter for Neutral-Point Voltage Ripple Reduction," *Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, pp. 521-526, Jun. 2015.

[12] Min-Young Park, Min-Hun Chi, Jong-Hyoung Park, Heung-Geun Kim, Tae-Won Chun, and Eui-Cheol Nho, "LCL-filter Design for Grid-Connected PCS Using Total Harmonic Distortion and Ripple Attenuation Factor," *Power Electronics Conference (IPEC)*, pp. 1688-1694, Jun. 2010.

저 자 소 개



이 정 록 (Jung-Rok Lee)

2015년 아주대 전자공학과 졸업.

E-mail : na08@ajou.ac.kr



서 승 규 (Seung Gyu Seo)

2015년 아주대 전자공학과 졸업. 현재 동대학원 전자공학과 석사 과정.

E-mail : handsome1705@ajou.ac.kr



이 교 범 (Kyo-Beum Lee)

1997년 아주대 공대 전자공학부 졸업. 1999년 동 대학원 제어계측공학과 졸업(석사). 2003년 고려대 전기공학과 졸업(공학박사). 2003년~2006년, Aalborg 대학교 에너지기술학과(덴마크). 2006년~2007년 전북대 전기공학과 조교수. 2007년~현재 아주대 전자공학과 교수.

E-mail : kyl@ajou.ac.kr