

## PMIC용 512비트 MTP 메모리 IP설계

장지혜, 하판봉, 김영희\*

Design of a 512b Multi-Time Programmable Memory IPs  
for PMICs

Ji-Hye Jang, Pan-Bong Ha, Young-Hee Kim\*

**요약** 본 논문에서는 back-gate bias 전압인 VNN (Negative Voltage)을 이용하여 5V의 MV (Medium Voltage) 소자만 이용하여 FN (Fowler-Nordheim) tunneling 방식으로 write하는 MTP cell을 사용하여 512비트 MTP IP를 설계하였다. 사용된 MTP cell은 CG(Control Gate) capacitor, TG(Tunnel Gate) transistor와 select transistor로 구성되어 있다. MTP cell size를 줄이기 위해 TG transistor와 select transistor를 위한 PW(P-Well)과 CG capacitor를 위한 PW 2개만 사용하였으며, DNW(Deep N-Well)은 512bit MTP cell array에 하나만 사용하였다. 512비트 MTP IP 설계에서는 BGR을 이용한 voltage regulator에 의해 regulation된 V1V (=1V)의 전압을 이용하여 VPP와 VNN level detector를 설계하므로 PVT variation에 둔감한  $\pm 8V$ 의 pumping 전압을 공급할 수 있는 VPP와 VNN 발생회로를 제안하였다.

**Abstract** In this paper, a 512b MTP memory IP is designed by using MTP memory cells which are written by the FN (Fowler-Nordheim) tunneling method with only MV (medium voltage) devices of 5V which uses the back-gate bias, that is VNN (negative voltage). The used MTP cell consists of a CG (control gate) capacitor, a TG (tunnel gate) transistor, and a select transistor. To reduce the size of the MTP memory cell, just two PWs (P-wells) are used: one for the TG and the select transistors; and the other for the CG capacitor. In addition, just one DNW (deep N-well) is used for the entire 512b memory cell array. VPP and VNN generators supplying pumping voltages of  $\pm 8V$  which are insensitive to PVT variations since VPP and VNN level detectors are designed by a regulated voltage, V1V (=1V), provided by a BGR voltage generator.

**Key Words** : MTP Cell, PMIC, Multi-Time Programmable, Negative Voltage, Single Poly EEPROM

## 1. 서론

PMIC (Power Management IC)는 휴대폰, 노트북 PC, TV와 모니터 등의 정보기기에서 입력전원을 받아서 시스템에서 요구하는 안정적이고 효율적인 전원으로 변환하여 공급하는 칩이다[1-3]. PMIC 칩은 아날로그 트리밍, 칩 ID 저장 등의 기능을 수행하기 위해 NVM 메모리 IP가 요구된다. PMIC 칩은 아날로그 트리밍, 칩 ID 저장 등의 기능을 수행하기 위해 NVM 메모리 IP가 요구된다.

일반적으로 PMIC 칩에서 수 십 Kb 이상의 NVM 메모리는 bit cell size가 수  $\mu m^2$ 로 정도의 double-poly, Flash와 SONOS cell이 사용되며, BCD 공정에 5~8개의 extra mask layer가 필요하다. 그리고 수 십 Kb 이하의 NVM 메모리는 bit cell size가 수 십  $\mu m^2$  정도의 single-poly EEPROM인 MTP (Multi-Time Programmable) Cell이 사용되며, 대부분 한 개 또는 두 개의 mask layer가 추가된다. MTP 메모리는 공정이 단순하고 가격 경쟁력이 있기 때문에 많은 PMIC 칩에 사용되고 있다[4].

한편 mobile 기기에 사용되는 PMIC는 파워-업 시 1.8V 정도의 external VDD 전압에서 MTP 데이터를 읽어내어 밴드갭 기준전압 발생기 회로를 포함한 아날로그 회로를 트리밍해야 한다. 그래서 PMIC용 MTP 메모리는 1.8V~5.5V의 wide operating voltage를 갖는 회로 설계가 요구된다. 그리고 최소의 마스크를 사용하여 PMIC를 설계하기 위해서는 logic transistor를 사용하지 않고 MV transistor만 사용한 MTP IP 설계가 요구된다.

본 논문에서는 back-gate bias 전압인 VNN (Negative Voltage)을 이용하여 추가적인 HV (High Voltage) 소자의 사용 없이 0.18 $\mu\text{m}$  Generic 공정을 이용하여 125Å의 tunnel oxide thickness를 갖는 TG (Tunnel Gate) transistor를 통해 FN (Fowler-Nordheim) tunneling 방식으로 write하는 single poly EEPROM인 MTP cell [5]을 사용하였다. 사용된 MTP cell은 CG (Control Gate) capacitor, TG transistor와 select transistor로 구성되어 있다. Select transistor는 MTP cell이 over-erase되었을 때 leakage current를 줄이기 위해 사용되었다. MTP cell size를 줄이기 위해 TG transistor와 select transistor를 위한 PW (P-Well)과 CG capacitor를 위한 PW 2개만 사용하였으며, DeepHNW은 256b MTP cell array에 하나만 사용하였다. 95Å의 tunnel oxide의 write 동작을 위해서 DC-DC converter는 VPP (=7V $\pm$ 0.5V)와 VNN (=−7V $\pm$ 0.5V)의 pumping 전압을 generation한다. 그리고 5.5V의 MV 소자의 신뢰성을 확보하기 위해 7.5V 이상의 전압이 걸리지 않도록 하기 위해 V2V (=2V)의 regulation된 전압을 이용하여 3-stage voltage level shifter와 VNN charge pump 회로를 제안하였다. 또한 write-verify-read 기능을 지원하고 program된 cell과 erase된 cell의 threshold voltage를 측정하기 위한 HV switch 회로를 제안하였다. 한편 95Å의 tunnel oxide를 사용하는 MTP cell은 추가 mask 한 장을 필요로 한다. 반도체에서는 mask 수를 줄이므로 공정비용을 줄이고 공정 스텝을 줄여 수율 (yield)을 높여서 제조원가를 절감할 수

있다. 사용된 MTP cell size는 6.8 $\mu\text{m}$ ×7.65 $\mu\text{m}$  (=52.02 $\mu\text{m}^2$ )이며, 256b MTP IP의 layout size는 278.65 $\mu\text{m}$ ×316.605 $\mu\text{m}$  (=0.088mm<sup>2</sup>)이다.

## 2. 회로 설계

표 1은 최근에 발표된 MTP 메모리의 용량 및 IP size를 비교한 것이다. Logic process를 사용한 MTP cell은 peripheral circuit을 5V 또는 3.3V transistor를 사용하여 설계할 수 있다. PMIC 설계에 사용가능한 MTP IP는 MV (Medium Voltage) 소자로 5V transistor를 사용하며 [6-8], RFID Tag Chip 설계에 사용가능한 MTP IP는 MV 소자로 3.3V의 transistor를 사용하고 있다 [9]. 그런데 PMIC application으로 사용이 가능한 기존의 MTP IP는 programvoltage가 9V 이상이므로 5V 소자의 신뢰성을 확보해 주기 위해서는 HV (High-Voltage) transistor, parasitic HV transistor, LDMOS transistor중 하나의 소자를 추가적으로 필요로 한다.

표 1. MTP의 용량 및 IP size 비교.

Table 1. Comparisons of MTP memory IP densities and sizes.

Ref. No.	Memory Process	Cell Size [ $\mu\text{m}^2$ ]	Tunnel Oxide Thickness	PGM Voltage
[6]	0.13 $\mu\text{m}$ Logic	12.1	85Å	12V
[7]	0.18 $\mu\text{m}$ Logic	2	110Å	9V
[8]	0.25 $\mu\text{m}$ Logic	62.5	85Å	9V
[9]	0.13 $\mu\text{m}$ Logic	-	70Å	7V

기존의 MTP 셀의 회로도 및 레이아웃 이미지는 그림 1에서 보는바와 같으며, MTP cell의 layout size는 4.575 $\mu\text{m}$ ×8.25 $\mu\text{m}$  (=37.74375 $\mu\text{m}^2$ )이다. MTP cell의 erase와 program은 FG 아래의 tunnel oxide를 통해서 FN(Fowler-Nordheim) tunneling [6][7]에 의해 이루어진다. 그림 1의 FG에 electron을 ejection시키는 동작은 erase mode이고, FG에서

electron을 injection 시키는 동작은 program mode 이다. 지우기 모드에서는 선택된 cell의 WL에 0V, BL에 15V를 인가하여 FN tunneling에 의해 FG 노드에 있는 electron을 ejection시킨다. 그리고 프로그램 모드에서는 선택된 셀의 WL에 18.5V, BL에 0V를 인가하여 FN tunneling에 의해 FG node로 electron을 injection시킨다. SL (Source Line)은 write mode에서 모두 floating 상태이고, read mode에서는 0V이다.

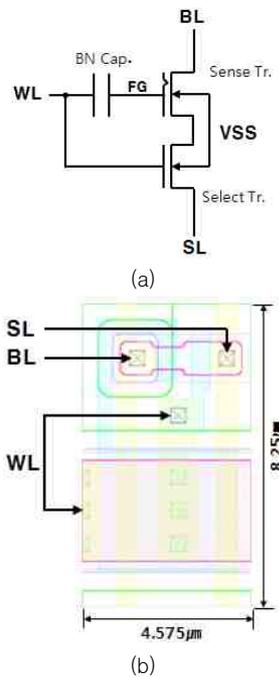


그림 1. MTP cell (a) 회로도 (b) 레이아웃 이미지 [7].  
Fig. 1. MTP memory cell: (a) circuit and (b) layout plot [7].

본 논문에서 사용된 MTP 셀은 그림 3(a)에서 보는 바와 같이 5V의 CG MOS capacitor (MC1), TG\_SENSE transistor (MN1)와 over-erase 되었을 때 BL에서의 off-leakage current를 줄이기 위해 select transistor (MN2)로 구성되어 있다. Generic CMOS 공정 기반에서 MTP cell의 size를 줄이기 위해 512b cell array의 DNW를 공유하였으며, 사용된 MOS 소자의 수는 3개이다. 그리고 TG\_SENSE transistor와 select transistor의 PW

은 공유되었다 [10]. TG\_SENSE transistor는 erase mode와 program mode에서 tunneling이 일어나는 TG transistor 역할을 하는 반면, read mode에서는 sense transistor 역할을 한다. 한편 MTP cell은 write mode에서 저전력 소모를 위하여 FN tunneling 방식을 이용하였다. 0.18μm 공정을 이용하여 layout된 MTP의 셀 size는 9.465μm × 4.28μm (=40.51μm<sup>2</sup>)이다. 그림 2(c)는 사용된 cell의 layout plot을 보여주고 있다. 그림 3은 32 rows × 16 columns의 MTP cell array 회로를 보여주고 있다.

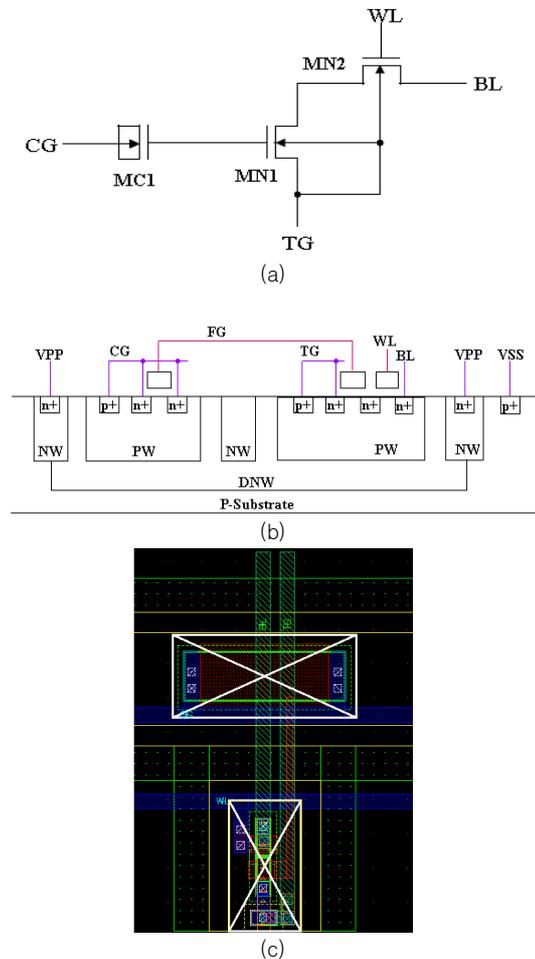


그림 2. MTP cell (a) 회로도 (b) 공정 단면도 (c) layout plot [5].  
Fig. 2. MTP memory cell: (a) circuit, (b) cross-sectional view of process, and (c) layout plot [5].

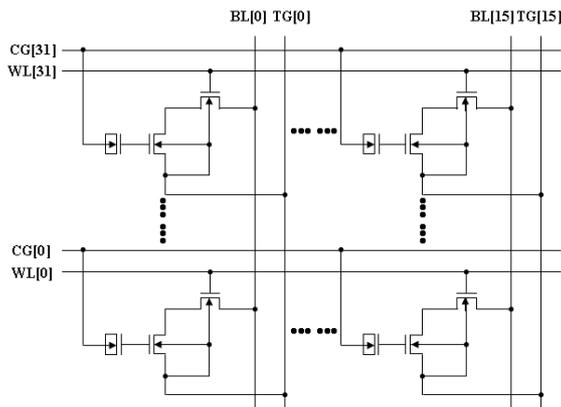


그림 3. 32 rows × 16 columns의 cell array 회로 도.  
Fig. 3. Cell array circuit of 32 rows × 16 columns.

표 2는 MTP cell의 동작 모드별 바이어스 전압 조건을 보여주고 있다. Erase mode에서는 선택된 cell의 CG와 TG에 각각 -8V, +8V를 인가하여 FN tunneling 방식으로 floating gate의 electron을 ejection 시킨다. 그리고 프로그램 모드에서는 선택된 cell의 CG와 TG에 각각 +8V, -8V를 인가하여 erase와 동일한 FN tunneling 방식으로 floating gate에 electron을 injection 시킨다. Read 모드에서 erase된 셀은 BL에 0V를 출력하는 반면, 프로그램 된 셀은 BL switch의 NMOS transistor의 threshold voltage인  $V_T$  loss로 인해  $V_{DD}-V_T$  만큼 pull-up된다.

표 2. MTP 셀의 동작모드별 바이어스 전압 조건 (a)지우기 모드 (b) 프로그램 모드 (c) 읽기 모드 [5].  
Table 2. Bias voltage conditions of the MTP memory cell according to the operational modes: (a) in the erase mode, (b) in the program mode, and (c) in the read mode [5].

Signal	Selected Cell	Non-Selected Cell
CG	-8V	0V
TG	8V	8V
WL	0V	0V
BL	$8V-V_T$	$8V-V_T$
DNW	8V	8V

(b)

Signal	Selected Cell		Non-Selected Cell	
	DIN=1	DIN=0	DIN=1	DIN=0
CG	8V	8V	0V	0V
TG	-8V	0V	-8V	0V
WL	0V	0V	0V	0V
BL	-8V	Floating	-8V	Floating
DNW	8V	8V	8V	8V

(c)

Signal	Selected Cell		Non-Selected Cell	
	DIN=1	DIN=0	DIN=1	DIN=0
CG	VDD	VDD	0V	0V
TG	0V	0V	0V	0V
WL	VDD	VDD	0V	0V
BL	$V_{DD}-V_T$	0V	$V_{DD}-V_T$	0V
DNW	VDD	VDD	VDD	VDD

0.18 $\mu$ m CMOS 공정에서 MTP cell array 안에 위치한 PW와 NW (N-Well)을 그림 4에서와 같이 butting하게 되면 well junction BV가 14V이므로 write 모드시 PW와 NW 사이의 16V를 견디지 못하고 well junction이 파괴된다. 그래서 DNW 안의 PW와 NW 사이의 well junction BV를 증가시키기 위해 PW와 NW를 바로 butting하는 대신, 추가 마스크 없이 PW와 NW 사이의 well space를 0.6 $\mu$ m로 유지하여 DNW를 그대로 유지하도록 하였다.

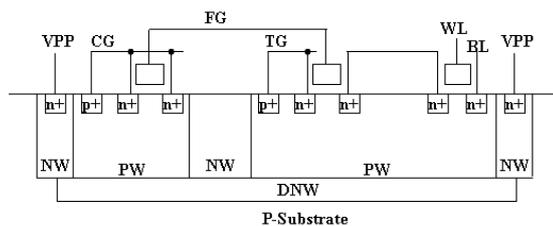


그림 4. DNW를 사용하는 일반적인 generic CMOS 공정 단면도.  
Fig. 4. Cross-sectional view of generic CMOS process using a DNW.

그림 3의 MTP cell을 사용하여 설계된 512b MTP IP의 주요 특징은 표 3과 같다. Cell array는 32R × 16C이다. 공급전압은 VDD (=1.8V±10%)의 single power supply를 사용하였으며, 동작 모드는 erase, program, read, reset mode를 지원한다. MTP IP의 write time은 5ms이고 access time은 200ns이다.

표 3. 512b MTP IP의 주요 특징.  
Table 3. Major specifications of the designed 512b MTP memory IP.

Items	Main Features
MTP Cell Array	32R × 16C
Cell Type	Single poly EEPROM cell
VDD	1.8V±10%
Temperature Range	-40~85°C
Operating Mode	Erase/Program/Read/Reset
Write Time	5ms
Access Time	200ns

설계된 512b MTP의 block diagram은 그림 5에서 보는 바와 같이 32 rows × 16 columns의 MTP cell array, 동작 모드에 따라 control signal을 발생시키는 control logic, address A[4:0]에 따라 32개의 row 중에 하나를 선택하여 WL, CG 노드에 전압을 공급하는 row driver, read mode에서 BL의 data를 DOUT buffer의 입력인 DL (Data Line)에 전달해주는 BL SW (Switch), read data인 DL을 읽어내기 위한 DOUT buffer, TG driver 및 쓰기 기능에 필요한 고전압인 VPP (=+8V), VNN (=−8V), VNNL (=VNN/2) 전압을 공급해주는 DC-DC converter 회로로 구성되어 있다. Interface 신호는 control signal (RSTb, READ, ERS, PGM), address A[4:0], input data DIN[15:0], output data DOUT[15:0]이 있다. 그리고 read와 write는 word 단위로 수행된다.

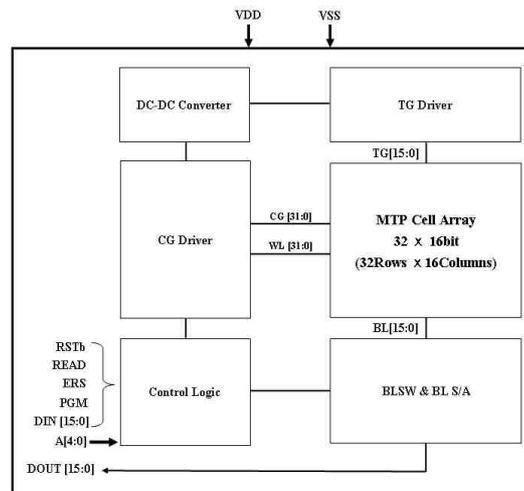


그림 5. 설계된 512b MTP IP의 블록도.  
Fig. 5. Block diagram of the designed 512b MTP memory IP.

그림 2(a)의 MTP cell은 program 하기 전에 erase 동작을 먼저 수행해야 한다. 그림 6(a)는 erase timing diagram으로 erase할 address를 먼저 인가한 뒤 erase 신호를 VDD로 인가하면 선택된 word cell의 데이터를 지우게 된다. Erase time은 DC-DC Converter의 settling time을 고려하여 5ms이다. 그림 6(b)는 program timing diagram으로 address와 입력 데이터를 먼저 인가한 상태에서 program 신호를 VDD로 인가하면 선택된 word cell에 입력 데이터 DIN[15:0]을 program하게 된다. 그리고 read timing diagram은 그림 6(c)와 같다. Read 동작은 읽어낼 address를 먼저 인가한 후 read 신호를 VDD로 인가하면 선택된 cell의 word 데이터가 access time인 tAC 시간이 지난 이후 DOUT[15:0] port로 출력된다. 그리고 reset mode의 타이밍 다이어그램은 그림 6(d)와 같이 RSTb 신호에 tRST (Reset Time) 만큼 low 펄스를 인가하면 된다. Reset mode는 회로적으로 DC-DC 변환기 회로를 차단시키는 동시에 MTP 메모리를 stand-by 상태로 만든다.

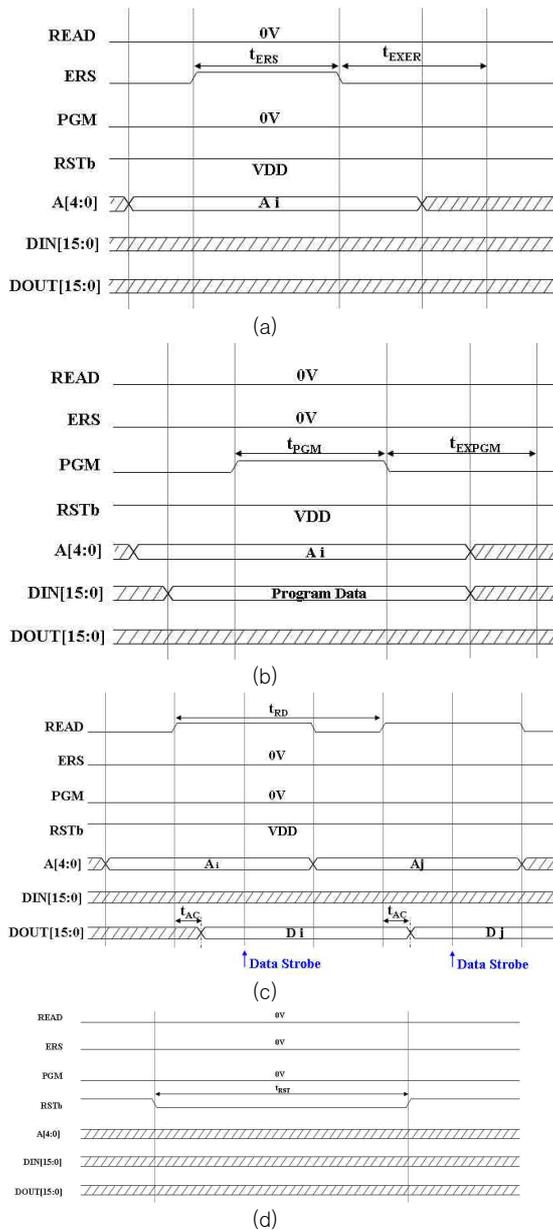


그림 6. 동작모드별 타이밍 다이어그램 (a) 지우기 모드 (b) 프로그램 모드 (c) 읽기 모드 (d) reset mode.

Fig. 6. Timing diagrams: (a) in the erase mode, (b) in the program mode, (c) in the read mode, and (d) in the reset mode.

0.18 $\mu$ m generic CMOS 공정은 10,000번의 write cycles, 10년의 data retention 특성을 보장하기 위

해서 소자에 인가되는 최대 전압을 8.5V 이내로 제한하고 있다. 5V 소자의 신뢰성을 만족하는 CG와 TG 구동회로가 그림 7에서 보는 바와 같이 설계되었다. CG 구동 회로는 8V 이하의 스위칭 전압을 갖도록 하기 위해 VDD - VNNL\_CG, CG\_HV - VNNL\_CG, CG\_HV - CG\_LV의 3-stage voltage level shifter 회로를 사용하였다. 각 stage에 있는 voltage level shifter의 스위칭 전압은 표 3에서 보는 바와 같이 각각의 동작 모드에 대해 모두 8V 이하인 것을 알 수 있다. 표 4는 동작 모드에 따른 스위칭 파워의 출력전압을 보여주고 있다. 그리고 그림 7(b)의 TG 구동 회로도 CG 구동회로와 마찬가지로 3-stage voltage level shifter 회로를 사용하므로 5V 소자에 인가되는 최대 전압을 8V 이하가 되도록 설계하였다. CG와 TG driver 회로의 DNW 전압은 그림 7에서 보는 바와 같이 VSS에 연결되어 있다.

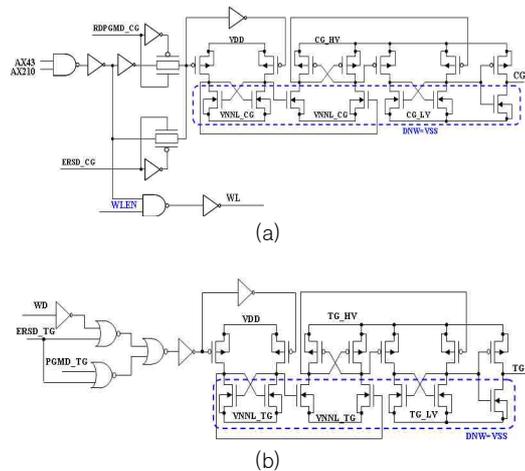


그림 7. (a) CG 구동 회로 (b) TG 구동 회로.  
Fig. 7. Driving circuits: (a) CG and (b) TG.

표 4. 동작 모드에 따른 스위칭 파워의 출력전압.  
Table 4. Output voltages of the switching powers according to the operational modes.

HV Switching Power	Stand-by	READ	PROGRAM	ERASE
CG_HV	VDD	VDD	8V	0V
CG_LV	0V	0V	0V	-8V
TG_HV	VDD	VDD	0V	8V
TG_LV	0V	0V	-8V	0V
VNNL_CG	0V	0V	0V	-4V
VNNL_TG	0V	0V	-4V	0V

그림 8은 DL 데이터를 래치하여 DOUT 포트에 출력하는 DOUT 버퍼 회로이다. Read 모드에서 WL이 activation 되기 이전에 BL\_PCGb 신호에 짧은 펄스(short pulse)가 인가되어 PMOS 트랜지스터인 MP0에 의해 먼저 DL을 VDD로 precharge 시킨 후 WL이 활성화되면서 프로그램된 셀은 전류가 흐르지 않으므로 DL은 VDD를 유지하여 출력으로 나오는 반면, erase된 MTP 셀은 ON 전류가 흘러 DL은 거의 0V의 출력이 나온다. DL에 데이터가 충분히 전달되면 SAENb 신호가 0V로 enable되어 DL의 데이터를 읽어 낸다. High impedance의 부하 트랜지스터 (load transistor)인 MPI은 read mode에서 program된 cell이 선택되었을 때 BL switch를 통해 BL에 연결된 MTP cell들의 누설전류 (leakage current)에 의해 DL이 low level로 떨어지는 것을 방지하기 위한 active load 역할을 한다.

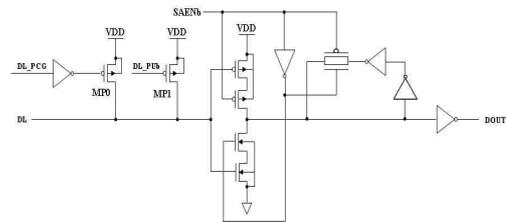


그림 8. DOUT buffer 회로도.  
Fig. 8. Circuit of DOUT buffer.

제안된 DC-DC converter의 블록도는 그림 9에서 보는 바와 같이 BGR, V1V(=1V) regulator, VPP와

VNN generation 회로로 구성되어 있다. BGR 회로는 VREF (=1V) 전압을 공급한다. VPP와 VNN은 negative feedback 방식으로 각각 8×VREF, -8×V1V 전압으로 generation 된다. VNNL은 VNN 전압을 VNN/2의 전압으로 voltage divide해서 만든다. 표 5는 동작 모드에 따른 설계된 DC-DC converter의 목표 전압을 보여주고 있다.

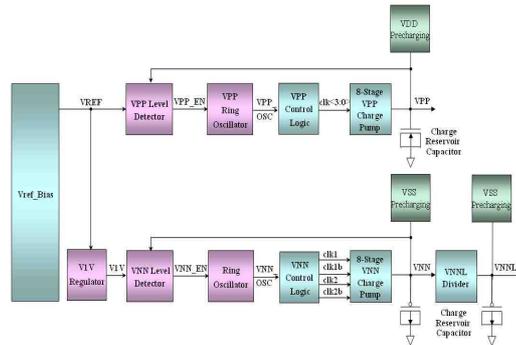


그림 9. 제안된 DC-DC converter 블록도.  
Fig. 9. Block diagram of the proposed DC-DC converter.

표 5. 동작 모드에 따른 DC-DC converter의 목표 전압.  
Table 5. Target voltages of the DC-DC converter according to the operational modes.

	Stand-by	Read	Erase	Program
VREF	0V	0V	1V	1V
V1V	0V	0V	1V	1V
VPP	VDD	VDD	8V	8V
VNN	0V	0V	-8V	-8V
VNNL	0V	0V	-4V	-4V

그림 9의 VPP level detector 회로도도 그림 10에서 보는 바와 같이 VREF 전압과 N (=9)개의 NMOS diode divider로 전압 분배된 VFB\_VPP (=VPP/8) 전압을 NMOS differential amplifier로 비교하여 VPP charge pump 회로를 제어하게 된다. Steady-state에서 VPP 전압이 목표 전압(target voltage)보다 낮은 경우는 VPP level detector의 출력신호인 VPP\_OSC\_ENb가 low가 되어 ring oscillator가 oscillation하여 8-stages VPP charge pump에 의해 positive charge가 VPP 노드

로 펌핑되어 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP\_OSC\_ENb 신호가 high가 되어 펌핑이 멈추는 negative feedback 방식을 사용하여 VPP는 목표 전압을 유지한다. 그리고 그림 9의 VNN level detector 회로도도 그림 11에서 보는 바와 같이 VSS (Virtual Ground) 전압과 M (=9)개의 NMOS diode divider로 전압 분배된 VFB\_VNN 전압을 PMOS differential amplifier로 비교하여 VNN charge pump 회로를 제어하게 된다. Write mode에서의 VFB\_VNN 전압은  $(V1V-VNN)/9$ 의 분배 전압으로 steady state 에서 0V가 된다. VFB\_VNN 전압이 0V가 되면 VNN 전압은 target voltage인  $-8V (= -8 \times V1V)$ 가 된다. 그림 10의 VREF와 그림 11의 regulation된 전압인  $V1V(=1V)$  전압은 BGR 회로에 의해 공급된 VREF 전압을 이용하여 voltage regulator 회로로 만들어주므로 VPP와 VNN 전압은 PVT 변동에 둔감한 출력전압을 얻을 수 있다.

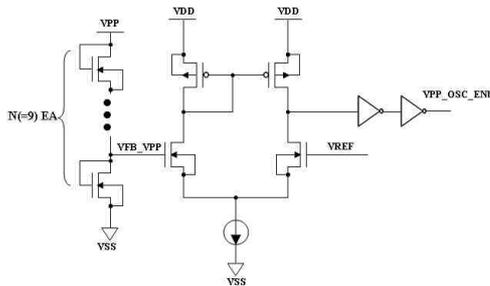


그림 10. 제안된 VPP level detector 회로도.  
Fig. 10. Circuit of the proposed VPP level detector.

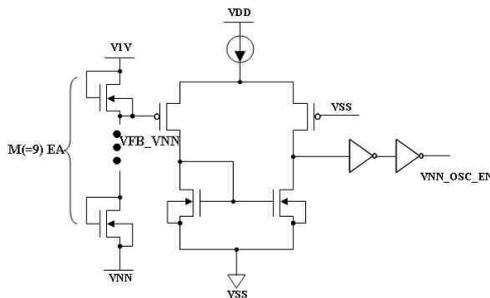


그림 11. VNN level detector 회로도.  
Fig. 11. Circuit of the proposed VNN level detector.

그림 12는 0.18 $\mu$ m generic 공정을 이용하여 설계된 512b MTP IP의 layout 사진을 보여주고 있으며, MTP IP의 layout 면적은 541.865 $\mu$ m  $\times$  420.120  $\mu$ m (=0.088mm<sup>2</sup>)이다.

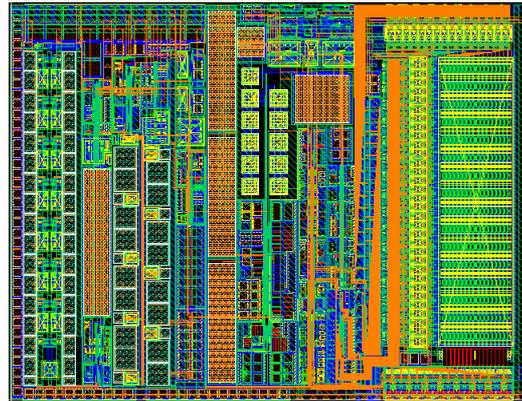


그림 12. 설계된 512b MTP IP의 레이아웃 사진.  
Fig. 12. Layout plot of the designed 512b MTP memory IP.

### 3. 모의실험 및 측정 결과

그림 13은 erase mode와 program mode에서의 512b MTP IP에 대한 전압 파형에 대한 모의실험 결과를 보여주고 있다. 모의실험 결과 erase mode에서 선택된 CG와 선택되지 않은 CG 전압은 각각  $-8V$ 와  $+8V$ 가 출력되는 것을 볼 수 있다. 그리고 TG는  $+8V$ 가 출력되는 것을 볼 수 있다. Program mode에서는 선택된 CG와 프로그램 되는 TG는  $+8V$ ,  $-8V$ 가 출력되는 것을 볼 수 있다. 그리고 선택되지 않은 CG와 프로그램 되지 않는 CG와 TG는 모두 0V이다. 그림 13의 모의실험 결과 파형은 표 1의 MTP cell 바이어스 전압처럼 나오는 것을 확인할 수 있다.

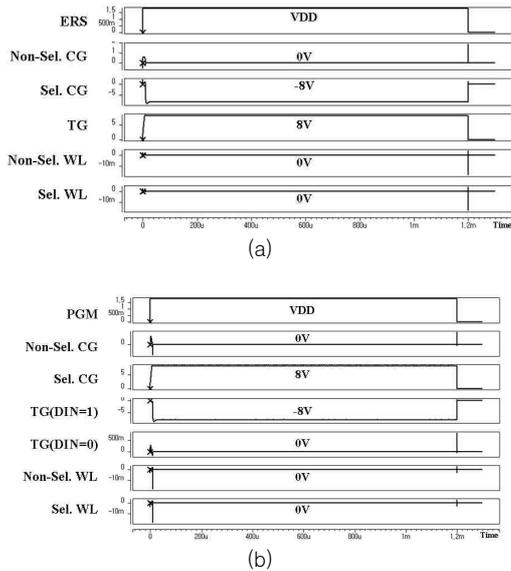


그림 13. Write mode에서의 cell의 control signal에 대한 simulation 결과 (a) erase mode (b) program mode.  
 Fig. 13. Simulation results of cell with respect to the control signals in the write mode: (a) erase mode and (b) program mode.

읽기 모드에서의 모의실험 결과는 그림 14에서 보는 바와 같으며, MTP IP에 인가되는 제어신호인 READ, row driver의 출력 신호인 WL과 CG, WL이 activation 되면서 MTP cell의 BL data가 BL switch를 통해 DL에 충분히 전달되면 SAENb 신호가 low로 활성화되면서 DOUT buffer에 의해 DL의 데이터는 센싱 되어 DOUT 노드로 출력되는 것을 볼 수 있다. WL이 활성화되면 MTP 셀의 프로그램 데이터에 따라 '0'로 프로그램된 셀의 BL은 'L'로 떨어지고, '1'로 프로그램된 셀의 BL은 'H' 전압 레벨을 유지한다. 그림 14(a)는 '0'로 program된 경우이고, 그림 14(b)는 '1'로 program된 경우에 대한 모의실험 결과이다. 그림 14의 모의실험 조건은 VDD=1.62V, slow 모델 파라미터, temperature=85°C이며, 이 모의실험 조건에서 액세스 시간은 최대 158ns으로 PMIC 칩에 사용하는데 충분하다.

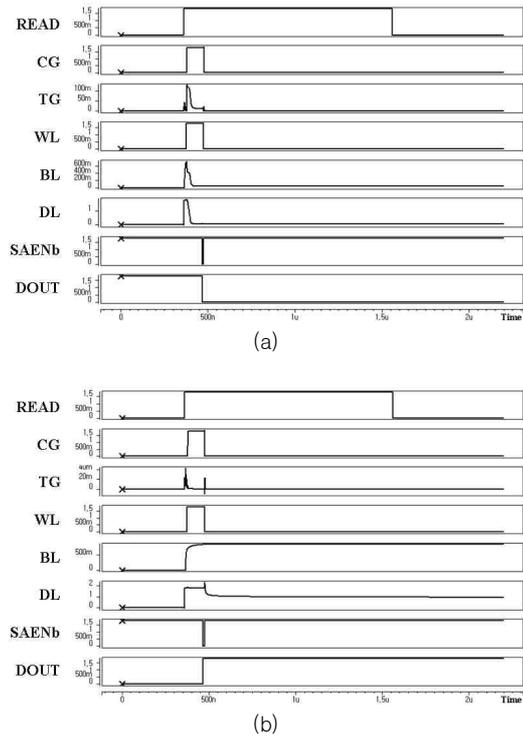


그림 14. 읽기 모드에서의 주요 경로에 대한 모의실험 결과 (a) '0'로 프로그램된 셀의 경우 (b) '1'로 프로그램된 셀의 경우.  
 Fig. 14. Simulation results of the critical path in the read mode: (a) in case of cell programmed with '0' and (b) in case of cell programmed with '1'.

Typical simulation 조건에서 동작 모드에 따른 operating current를 simulation한 결과 read, program, erase mode의 동작 전류는 각각 117.1 $\mu$ A, 66.3 $\mu$ A, 및 66.3 $\mu$ A이다.

그림 15는 0.18 $\mu$ m generic 공정을 이용하여 제작된 MTP cell의 program voltage에 대한 VT 측정 결과를 보여주고 있다. 5ms의 write time으로 CG와 TG에 program voltage를  $\pm 7V$ ,  $\pm 7.5V$ ,  $\pm 8V$ ,  $\pm 8.5V$  split에 따른 VT 특성 측정 curve를 보여주고 있다. Program voltage가 높아질수록 erase VT는 낮아지고 program VT는 높아지는 것을 알 수 있다. 5ms의 writing time에  $\pm 8V$ 의 program voltage에서 programmed cell의 VT와 erased cell의 VT의 측정된 전압차는 4.7V로 1.8V의 VRD

(Read Voltage)를 사용하는데 문제가 없는 양호한 특성을 보여주고 있다. 그림 16은 5ms의 writing time에  $\pm 8V$ 의 program voltage에서 erased cell의 current 측정 결과를 보여주고 있으며,  $17.4\mu A$ 의 ON current가 흐른다.

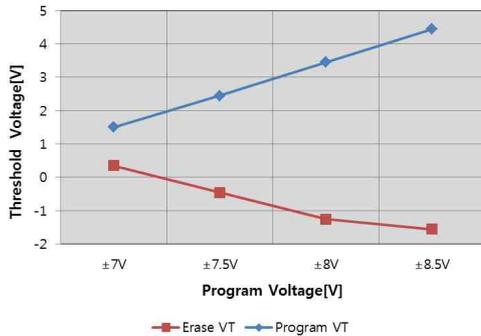


그림 15. 제작된 MTP cell의 program voltage에 대한 VT 측정 결과 [5].

Fig. 15. Measurement result of VT with respect to cell program voltages for the manufactured MTP memory cell [5].

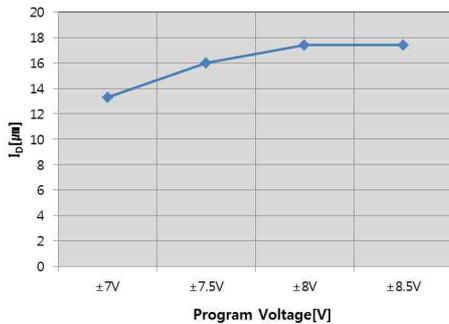


그림 16. 제작된 MTP cell의 erased cell current 측정 결과 [5].

Fig. 16. Measurement result of current in case of the erased cell for the manufactured MTP memory cell [5].

그림 17은  $0.18\mu m$  generic 공정을 이용하여 제작된 512b MTP IP를 성능 테스트 결과로 지우기, 읽기, 프로그램, 읽기를 연속적으로 수행한 결과 지운 MTP 셀은 '0', 프로그램된 셀은 '1' 데이터를 출력하는 것을 확인하였다.

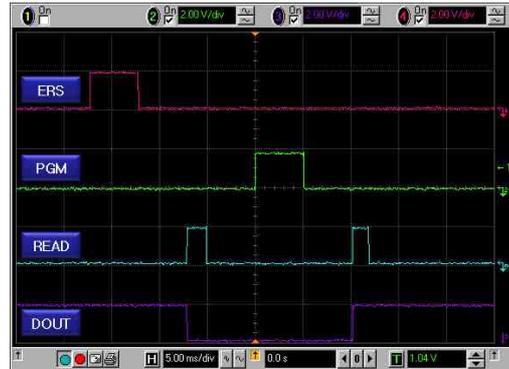


그림 17. MTP 테스트 칩의 성능 측정 파형.

Fig. 17. Performance test results of the manufactured MTP memory.

#### 4. 결론

PMIC 칩은 다중 converter에서 개별 converter의 power-on, power-off sequence 결정, output voltage setting, output pull-down resistance setting, inductor current limit setting, Inrush current에 따른 회로 보호 및 동작의 신뢰성 향상을 위한 soft-start time setting의 기능을 수행하기 위해 공정이 단순하고 가격 경쟁력이 있는 MTP IP가 요구된다.

본 논문에서는 back-gate bias 전압인 VNN을 이용하여 HV 소자의 사용 없이 5V의 MV 소자만 이용하여 FN tunneling 방식으로 write하는 MTP cell을 사용하였다. 사용된 MTP cell은 CG (Control Gate) capacitor, TG (Tunnel Gate) transistor와 select transistor로 구성되어 있다. 사용된 MTP cell size를 줄이기 위해 TG transistor와 select transistor를 위한 PW (P-Well)과 CG capacitor를 위한 PW 2개만 사용하였으며, DNW (Deep N-Well)은 512b MTP cell array에 하나만 사용하였다.  $0.18\mu m$  CMOS 공정에서 MTP cell array 안에 위치한 PW와 NW (N-Well)을 well junction BV (Breakdown Voltage)를 증가시키기 위해 PW와 NW를 바로 butting하는 대신, PW와 NW 사이의 well space를  $0.6\mu m$ 로 유지하여 DNW을 그대로 유지하도록 하였다. VPP와 VNN

의 pumping 전압을 공급하기 위해 PVT 변동에 둔감한 BGR (Bandgap Reference) voltage generator를 이용하여 V1V의 regulation 전압을 만들었다. VPP와 VNN voltage level은 regulation 된 V1V의 전압을 이용하여 VPP와 VNN level detector를 설계하므로 PVT variation에 둔감한 ±8V의 pumping 전압을 공급할 수 있었다. 제안된 MTP cell size는  $4.28\mu\text{m} \times 9.465\mu\text{m}$  ( $=40.5102\mu\text{m}^2$ ) 이고, 512b MTP IP의 layout size는  $278.65\mu\text{m} \times 316.605\mu\text{m}$  ( $=0.088\text{mm}^2$ )이다.  $0.18\mu\text{m}$  generic CMOS 공정을 이용하여 제작된 512b MTP IP를 테스트한 결과 ±8V의 program voltage에서 MTP 기능이 정상적으로 하는 것을 확인하였다.

### REFERENCES

[1] Analysis of the Status Quo in the Power Semiconductor, Electronics Information Center, July 2010.

[2] H. S. Chun, "Market Outlook and Domestic and Global Development Trend for Power Semiconductor," IITA Weekly Technology Trends, June 2009.

[3] H. Park, S. H. Lee, M. H. Park, P. B. Ha, Y. H. Kim, "Design of Small-Area Dual-Port eFuse OTP Memory IP for Power ICs," JKIIECT, vol. 8, no. 4, pp.310-318, Aug. 2015.

[4] Y. N. Yu, L. Y. Jin, K. I. Kim, M. S. Kim, Y. B. Park, M. H. Park, P. B. Ha, Y. H. Kim, "Design of 256 bit Single-Poly MTP Memory Based on BCD Process," J. Cent. South Univ. Technol., vol. 19, no. 12, pp. 3460-3467, Dec. 2012.

[5] J. H. Jang, H. Park, S. H. Lee, P. B. Ha, Y. H. Kim, " Design of MTP IP for PMIC" ISSN 2005-0496, pp.143-146, June, 2015.

[6] F. Torricelli, L. Milani. L. Colalongo, A.

Richelli, Kovacs-Vajna, Z.M., "Half-MOS Based Single-Poly EEPROM Cell With Program and Erase Bit Granularity," IEEE Electron Device Letters, vol. 34, no. 12, Dec. 2013.

[7] Roizin, Yakov, E. Pikhay, V. Dayan, A. Heiman, "High Density MTP Logic NVM for Power Management Applications", IEEE International Memory Workshop 2009, pp. 1-2, 2009.

[8] J. C. Lee J. C. Kim, S. H. Kim, "A Single Poly Flash Memory Intellectual Property for Low-Cost, Low-Density Embedded Nonvolatile Memory Applications," Journal of the Korean Physical Society, Vol.41, No.6, pp.846-850, Dec. 2002.

[9] J. Raszka, V. Tiwari, A. Mittal, M. Han, A. Shubat, "Embedded Flash Memory for Security Applications in a  $0.13\mu\text{m}$  CMOS Logic Process," IEEE ISSCC Tech. Dig., pp. 46-47, Feb. 2004.

[10] Y. H. Kim, "Single Poly EEPROM Memory," KR. patent 10-1357847, Feb. 5, 2014.

---

### 저자약력

---

#### 장 지 혜(Ji-Hye Jang)



- 2008년 2월 : 창원대학교 전자공학과 공학사
- 2010년 2월 : 창원대학교 전자공학과 공학석사
- 2013년 2월 : 창원대학교 전자공학과 공학박사
- 2013년 3월 ~ 현재 : 매그나칩 반도체 선임연구원

<관심분야> Non-Volatile Memory IP 설계

**하 판 봉(Pan-Bong Ha)**



- 1981년 2월 : 부산대학교 전기공학과 공학사
- 1983년 2월 : 서울대학교 전자공학과 공학석사
- 1993년 2월 서울대학교 전자공학과 공학박사
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야> 임베디드 시스템, SoC 설계

**김 영 희(Young-Hee Kim)**



- 1989년 2월 : 경북대학교 전자공학과 공학사
- 1997년 2월 : 포항공과대학교 전자전기공학과 공학석사
- 2000년 8월 포항공과대학교 전자전기공학과 공학박사
- 1989년 1월 ~ 2001년 2월 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야> Non-Volatile Memory IP 설계, LCD 구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그 칩 설계