

## 내부정합된 GaN-HEMT를 이용한 2.65 GHz Doherty 전력증폭기

### A 2.65 GHz Doherty Power Amplifier Using Internally-Matched GaN-HEMT

강현욱 · 이휘섭 · 임원섭 · 김민석 · 이형준\* · 윤정상\* · 이동우\* · 양영구

Hyunuk Kang · Hwiseob Lee · Wonseob Lim · Minseok Kim · Hyoungjun Lee\* ·  
Jeongsang Yoon\* · Dongwoo Lee\* · Youngoo Yang

#### 요 약

본 논문에서는 내부 정합된 GaN-HEMT를 이용하여 2.65 GHz에서 동작하는 Doherty 전력증폭기를 설계 및 제작하였다. 패키지 내부의 정합회로는 고조파 임피던스를 정합하기 위해 적용되었다. 동시에 기본주파수 임피던스가 부분적으로 정합되기 때문에 입력 및 출력 외부 정합회로는 간단해진다. 트랜지스터 패키지의 본드 와이어와 기생 성분은 EM 시뮬레이션을 통해 예측되었다. Doherty 전력증폭기는 48 V의 동작 전압을 인가하였으며, 6.5 dB의 PAPR을 갖는 LTE 신호에 대해 2.65 GHz에서 13.0 dB의 전력이득, 55.4 dBm의 포화전력, 49.1 %의 효율 및 -26.3 dBc의 ACLR 특성을 얻었다.

#### Abstract

This paper presents a 2.65 GHz Doherty power amplifier with internally-matched GaN HEMT. Internal matching circuits were adopted to match its harmonic impedances inside the package. Simultaneously, due to the partially matched fundamental impedance, input and output matching networks become simpler. Bond wires and parasitic elements of transistor package were predicted by EM simulation. For the LTE signal with 6.5 dB PAPR, the implemented Doherty power amplifier shows a power gain of 13.0 dB, a saturated output power of 55.4 dBm, an efficiency of 49.1 %, and ACLR of -26.3 dBc at 2.65 GHz with an operating voltage of 48 V.

Key words: GaN-HEMT, Doherty Power Amplifier, Internal Matching Circuit, Package

#### I. 서 론

전력증폭기는 송신부에서 가장 많은 전력을 소모하며, 시스템 효율에 큰 영향을 주는 중요한 부분이다. 최근 레이더용 전력증폭기나 무선통신용 또는 무선에너지 송신 비콘용 고출력 전력증폭기는 내부 정합회로를 이용하여

설계하는 방식이 연구되고 있다<sup>[1]~[9]</sup>. 내부 정합회로가 지니는 장점으로서는 첫째, 고효율 전력증폭기를 위해 주로 고조파 임피던스를 정합하게 되는데, 외부 정합회로만으로 구현할 경우, 패키지 성분에 의해 차단 주파수의 영향 및 대역폭에 제한을 받게 된다. 이러한 문제를 해결하기 위하여 내부 정합회로를 사용하게 되면 넓은 대역폭의

「This work was supported by the Technology Innovation Program(10045892) funded by the Ministry of Trade, Industry & Energy(MI, Korea).」  
성균관대학교 정보통신대학(School of Information and Communication Engineering, Sungkyunkwan University)

\*(주)웨이브 일렉트로닉스(Wave Electronics Co., Ltd.)

· Manuscript received November 11, 2015 ; Revised January 19, 2016 ; Accepted January 26, 2016. (ID No. 20151111-091)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

고조파 임피던스를 정합할 수 있게 된다. 둘째, 패키지 내부에서 주로 고조파 임피던스 단락회로를 이용하여 정합하므로 패키지 외부에 바라보는 임피던스에 관계없이 고조파 임피던스는 고효율 영역으로 정합되며<sup>[6]</sup>, 외부 고조파 임피던스 정합회로가 추가적으로 필요하지 않게 되어 회로가 간단해진다. 마지막으로, 고출력 트랜지스터의 경우, 소스 및 로드 임피던스가 수 Ω의 낮은 최적 임피던스를 가지며, 이를 50 Ω의 임피던스로 정합할 경우 많은 정합손실이 발생하게 된다. 내부 정합회로에 사용하는 커패시터 및 본드 와이어는 높은 Q(Quality factor)를 가지므로 손실을 줄일 수 있으며, 기본주파수 임피던스가 부분적으로 정합되기 때문에 외부 정합이 용이해진다.

PAPR(Peak to Average Power Ratio)을 갖는 변조신호를 이용하는 기지국용 전력증폭기는 선형성을 위하여 최대 출력에서 백-오프시켜 동작하여야 한다. 이로 인해 전력증폭기의 효율은 감소하게 되고, 평균 전력에서의 효율을 향상시키기 위해 기지국에서는 비교적 간단한 구조를 갖는 Doherty 전력증폭기가 널리 사용되고 있다<sup>[10]~[12]</sup>.

GaN-HEMT(Gallium Nitride High Electron Mobility Transistor) 소자는 LDMOS(Laterally Diffused Metal Oxide Semiconductor), GaAs(Gallium Arsenide) 소자들보다 에너지 밴드 갭이 넓어 큰 항복 전압을 가진다. 또한, 전력 밀도가 높아 출력 특성이 우수하며, 고효율 특성을 보인다. 이로 인해 고출력 전력증폭기의 설계에 더욱 적합하다.

본 논문에서는 GaN-HEMT bare die와 내부 정합회로를 이용하여 2.65 GHz 350 W 고출력 Doherty 전력증폭기를 설계 및 제작하였다. 내부 정합회로를 이용하여 패키지 내부에서의 고조파 임피던스 정합 및 기본주파수 임피던스를 향상시켜 패키지 외부에서 50 Ω 정합을 용이하게 하였다. 트랜지스터 패키지 내부 EM(electromagnetic) 시뮬레이션을 통해 본드와이어 및 패키지의 기생성분을 등가 모델링하여 예측하였고, 이를 설계에 반영하였다. 또한, 제작한 전력증폭기를 이용하여 Doherty 전력증폭기 회로를 구성하였으며, 이를 6.5 dB의 PAPR을 갖는 변조신호에 대하여 검증하였다.

## II. 내부 정합회로를 이용한 GaN-HEMT 전력증폭기

### 2.1 내부 정합회로의 등가회로

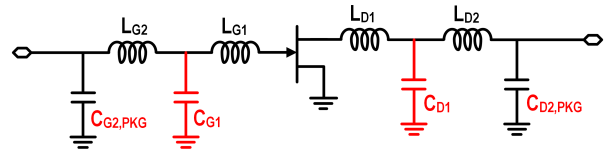


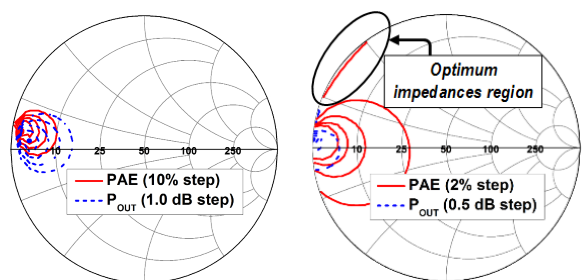
그림 1. 내부 정합회로의 등가회로  
Fig. 1. Equivalent circuit model of the internal matching circuits.

그림 1은 패키지 내부 정합회로의 간단한 등가회로를 나타낸다. 내부 정합회로는 패키지 내부에서 고효율을 갖는 고조파 임피던스 정합 및 기본주파수 임피던스의 향상을 위해 본드와이어( $L_{G1}$ ,  $L_{D1}$ )와 병렬 커패시터( $C_{G1}$ ,  $C_{D1}$ )가 임출력에 각각 적용되었다. 더불어, 패키지 내부 본드와이어는 인덕터로, 패키지 리드쪽 기생성분( $C_{G2,PKG}$ ,  $C_{D2,PKG}$ )은 커패시터로 등가화 하였다.  $L_{G2}$ 와  $L_{D2}$ 는 병렬 커패시터를 패키지 리드와 연결하고, 기본주파수 임피던스를 부분적으로 정합한다.

### 2.2 기본주파수 및 고조파 임피던스 정합

그림 2는 Cree사의 CGH60120D bare die를 이용하여 PAE(전력부가효율)와 출력 전력에 대한 로드풀 시뮬레이션 결과를 나타낸다. (a)의 기본주파수 임피던스에 대한 로드풀 결과, 5 Ω 미만의 임피던스에서, (b)의 2차 고조파 임피던스는 인덕티브한 영역에서 최적의 성능을 나타낸다.

그림 3은 PAE와 출력 전력에 대한 소스풀 시뮬레이션



(a) 기본주파수 임피던스 (b) 2차 고조파 임피던스  
(a) Fundamental impedance (b) Second harmonic impedance

그림 2. 효율 및 출력전력에 대한 로드풀 시뮬레이션 결과  
Fig. 2. Simulated load-pull contours for PAE and output power.

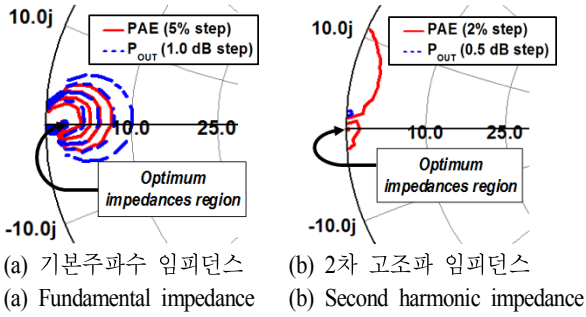


그림 3. 효율 및 출력전력에 대한 소스풀 시뮬레이션 결과  
Fig. 3. Simulated source-pull contours for PAE and output power.

결과를 나타낸다. 소스풀 시뮬레이션 결과, 기본주파수 임피던스의 경우 2 Ω 미만의 낮은 임피던스에서 최적 성능을 가지며, 2차 고조파 임피던스는 단락조건에서 최적의 성능을 나타낸다.

그림 4는 출력 2차 고조파 임피던스의 정합에 대한 설명을 나타낸다. 병렬 커패시터( $C_{D1}$ )는 2차 고조파 임피던스를 단락시키고, 본드와이어 인덕턴스( $L_{D1}$ )에 의해 인덕티브한 최적의 임피던스 영역으로 정합된다. 또한, 병렬 커패시터( $C_{D1}$ )는 2차 고조파에 대하여 단락인 임피던스로 작용하기 때문에 트랜지스터가 바라보는 2차 고조파 임피던스는 패키지 외부 정합회로에 상관없이 고효율 영역으로 유지된다<sup>[6]</sup>. 더불어, 패키지 외부에서 추가적인 고조파 임피던스 정합회로가 필요하지 않기 때문에 회로 구

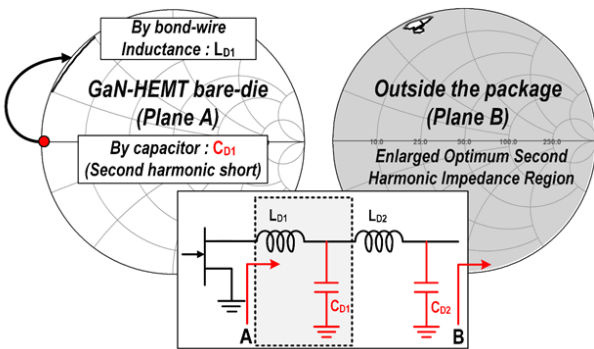


그림 4. 출력 2차 고조파 임피던스 정합 및 패키지 내부에서 확장된 최적 임피던스 영역  
Fig. 4. Output second harmonic impedance matching and enlarged optimum impedance region inside the package.

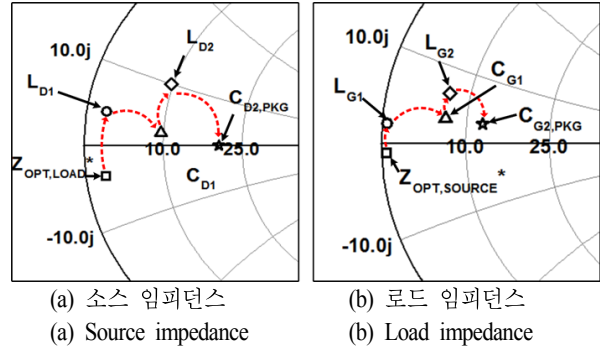


그림 5. 제안된 내부 정합회로를 이용한 기본주파수 임피던스의 정합 궤적  
Fig. 5. Fundamental impedance matching trajectories using proposed internal matching circuit.

현이 간단하다는 장점이 있다. 그림 5는 제안하는 패키지 내부 정합회로를 이용한 기본주파수 임피던스 정합의 궤적을 나타낸다. 일반적으로, 고출력 트랜지스터들은 수 Ω 미만의 매우 낮은 소스 및 로드 임피던스를 필요로 한다. 따라서 외부 정합회로만을 이용하여 5 Ω 미만의 임피던스로부터 50 Ω의 임피던스로의 정합을 구성하면 큰 손실이 발생하게 된다. 이를 개선하기 위하여 높은 Q를 갖는 소자들을 이용하여 내부의 정합회로를 구성하게 되면 기본주파수 및 고조파 임피던스의 손실을 최소화하면서 정합할 수 있다. 시뮬레이션 결과, 내부 정합회로를 통해 1 Ω 미만의 소스 임피던스와 2~3 Ω의 로드 임피던스는 10 Ω 이상의 임피던스로 향상되었다. 따라서 내부 정합회로를 사용하지 않는 경우에 비해 낮은 손실을 가지며, 외부 정합회로의 부담을 줄일 수 있다.

### 2-3 EM 시뮬레이션

그림 6은 제안된 내부 정합회로와 GaN-HEMT 패키지 내부 모습을 나타낸다. 패키지 내부는 정확한 설계 및 예측이 필요하기 때문에 Ansoft사의 HFSS 시뮬레이션을 수행하였다. 특히, 본드와이어의 인덕턴스는 고조파 정합에 중요한 영향을 미치기 때문에 인덕턴스의 정확한 예측이 필요하다. 또한, 본드와이어들이 나란히 좁은 간격으로 배치되기 때문에 상호 인덕턴스 성분이 고려되어야 하고, 이를 위해 EM 시뮬레이션을 진행하였다. 추가적으로 적절한 기본주파수 및 고조파 임피던스 정합을 위해

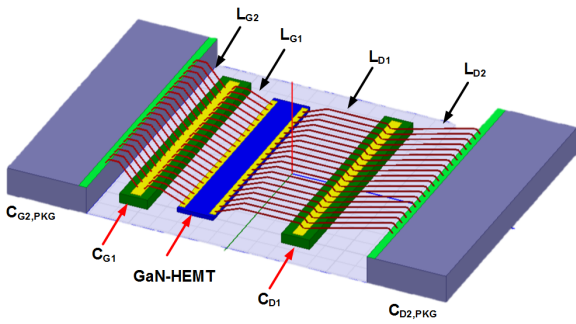


그림 6. EM 시뮬레이션을 위한 패키지 내부의 3D 형상  
Fig. 6. 3D image of the package for the EM simulation.

병렬 커패시터( $C_{G1}$ ,  $C_{D1}$ )가 패키지 내부에 포함되었다. 패키지 리드 성분은 Metal-Insulator-Metal의 MIM 커패시터 구조로 EM 시뮬레이션을 통하여 병렬 커패시터( $C_{G2,PKG}$ ,  $C_{D2,PKG}$ )로 등가화 하였다.

### III. 제작 및 측정결과

그림 7은 제안된 Doherty 전력증폭기의 전체 회로도를 나타낸다. GaN-HEMT는 Cree사의 CGH60120D bare die를 48 V로 동작시켜 사용하였다. 내부 정합회로를 이용하여 제작한 220 W급 트랜지스터 패키지와 간단한 외부 정합회로를 추가하여 Carrier와 Peaking 증폭기를 구성하였다. 또한, 회로 안정화를 위한 10 Ω 저항과 10 pF의 커패시터로 구성된 stabilization network를 입력 측에 추가하였다.

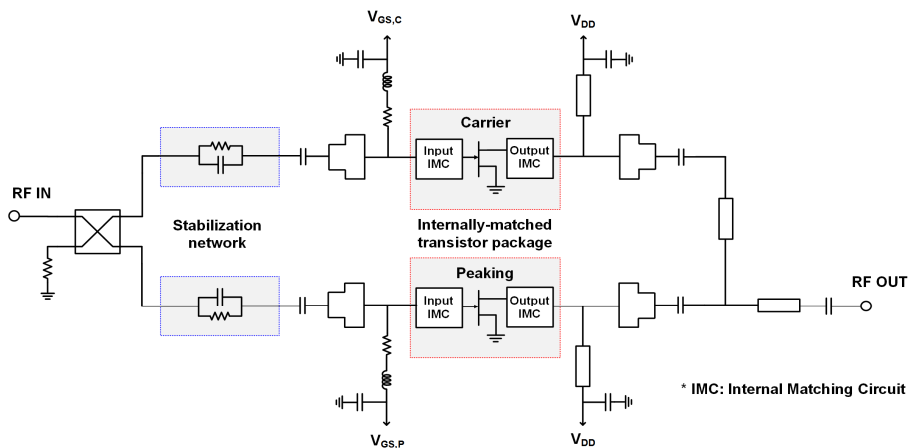


그림 7. 제안된 Doherty 전력증폭기의 회로도  
Fig. 7. Circuit diagram of the proposed Doherty power amplifier.

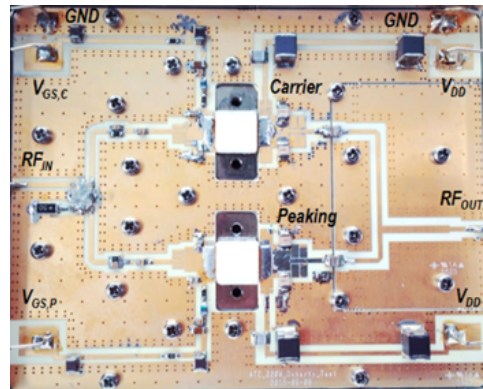
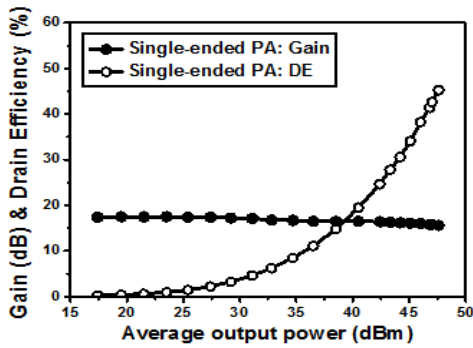
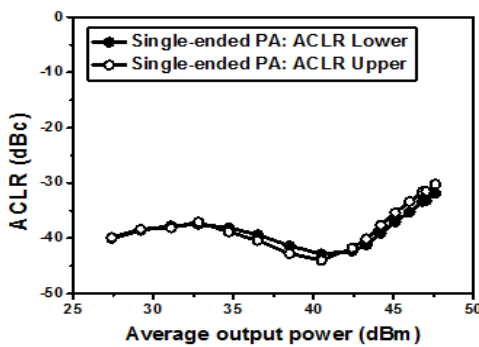


그림 8. 제작된 Doherty 전력증폭기의 사진  
Fig. 8. Picture of the implemented Doherty power amplifier.

그림 8은 제작된 Doherty 전력증폭기의 사진을 나타낸다. 기판은 두께 0.5 mm의 Rogers사 RO4350B를 사용하여 제작하였고, 전체 회로 크기는 12.6×10.3 cm<sup>2</sup>이다. 그림 9는 내부 정합회로를 이용하여 제작된 220 W급 트랜지스터 패키지와 간단한 외부 정합회로를 추가하여 구성된 단일 전력증폭기의 Long Term Evolution(LTE) 신호 측정 결과를 나타낸다. 사용된 2.65 GHz의 LTE 신호는 downlink 10 MHz의 채널 대역폭을 갖고, 6.5 dB의 PAPR을 갖는 신호이며, 정지전류 500 mA의 Class AB로 동작시켰다. LTE 신호에 대하여 측정한 결과, 평균 전력 46.0 dBm에서 38.4 %의 효율 및 -33.3 dBc의 Adjacent Channel Leakage Ratio (ACLR)을 얻었다. 포화 전력 측정을 위해 10 %의 con-



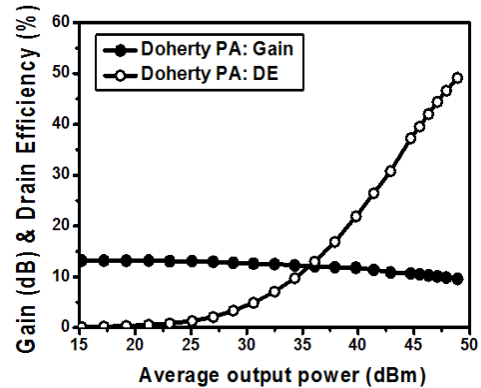
(a) 전력이득과 효율  
(a) Gain and drain efficiency



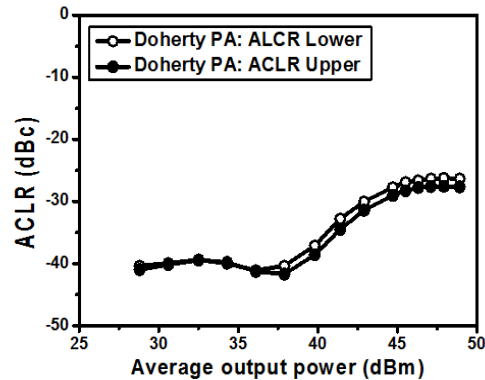
(b) ACLR 특성  
(b) ACLR

그림 9. 단일 전력증폭기의 LTE 신호 측정 결과  
Fig. 9. Measured performances of the single-ended power amplifier for LTE signal.

tinuous wave 신호가 사용되었으며, 측정결과 포화전력은 53.5 dBm을 얻었다. 그림 10은 단일 전력증폭기로 구성된 Doherty 전력증폭기의 LTE 신호 측정 결과를 나타낸다. Carrier 증폭기의 바이어스 포인트는 Class-AB 조건으로 동작시켰고, Peaking 증폭기는 Class-C 조건인  $-6.0$  V으로 동작시켰다. LTE 측정결과, 13.0 dB의 전력이득을 얻었고, 48.9 dBm의 출력전력에서 49.1 %의 효율 및  $-26.3$  dBc의 ACLR 특성을 얻었다. 포화전력은 55.4 dBm로 고출력 Doherty 전력증폭기가 구현되었다. 제작된 Doherty 전력증폭기의 전체적인 측정결과를 이전까지의 연구결과들과 비교하여 표 1에 요약하였고, 이전의 연구결과들에 비해 비교적 간단한 symmetric cell을 사용하면서 높은 효율을 나타낸다.



(a) 전력이득과 효율  
(a) Gain and drain efficiency



(b) ACLR 특성  
(b) ACLR

그림 10. Doherty 전력증폭기의 LTE 신호 측정 결과  
Fig. 10. Measured performances of the Doherty power amplifier for LTE signal.

#### IV. 결 론

본 논문에서는 GaN-HEMT bare die와 내부 정합회로를 이용하여 350 W Doherty 전력증폭기를 설계 및 제작하였다. 내부 정합회로의 고조파 임피던스 정합을 통한 고효율을 얻었고, 패키지 내부에서 기본주파수 임피던스의 향상으로 외부 정합회로를 간단히 구성하였다. 내부 정합회로의 적용을 위해 패키지 내부를 EM 시뮬레이션 및 등가 회로화 하였고, 이를 설계에 반영하였다. 제작된 2.65 GHz Doherty 전력증폭기는 6.5 dB의 PAPR을 갖는 LTE 신호로 측정된 결과, 13.0 dB의 전력이득, 평균전력 48.9 dBm에서 49.1 %의 효율 및  $-26.3$  dBc의 ACLR 특성을

표 1. 기존의 Doherty 전력증폭기들과의 성능 비교

Table 1. Performance comparison to the previously reported Doherty PAs.

Ref.	Freq. (GHz)	Device technology	$V_{DD}$ (V)	$P_{SAT}$ (dB)	$P_{OUT}$ (dBm)	DE (%)	ACLR (dBc)	Mod. signal	Remark
[13]	1.865	LDMOSFET	N/A	53.8	46.6	38.0 (PAE)	-35.6	CDMA-2000	Unbalanced output combiner
[14]†	1.865	LDMOSFET	N/A	56.0	48.7	35.9	-33.0	CDMA-2000	Inverted structure asymmetric cell (190 W, 230 W)
[15]†	2.14	GaN-HEMT	50	56.5	48.5	48.0	-25.0*	W-CDMA	Symmetric cell
[16]	2.655	GaN-HEMT	50	57.3	50.3	48.0	-28.0	W-CDMA	Asymmetric cell (210 W, 320 W)
[17]	2.5~2.7	GaN-HEMT	50	54.3	46.0	45.0	-24.0	W-CDMA	Asymmetric cell (105 W, 160 W)
This work	2.65	GaN-HEMT	48	55.4	48.9	49.1	-26.2	LTE	Symmetric cell

DE: drain efficiency, PAE: power-added efficiency.

† : 2-stage Doherty structure, \*: Graphically estimated.

얻었다. 제작된 Doherty 전력증폭기의 포화전력은 약 350 W로 기지국용 전력증폭기의 최종 단계 사용이 가능하다.

### References

[1] J. Son, Y. Park, I. Kim, J. Moon, and B. Kim, "Broadband saturated power amplifier with harmonic control circuits", *IEEE Microw. Wireless Compon. Lett.*, vol. 24, no. 3, pp. 2013-2015, Mar. 2014.

[2] J. Staudinger, P. Hart, and D. Holmes, "Behavioral modeling of Si LDMOS pre-matched devices with application to Doherty power amplifiers", in *Power Amplifiers for Wireless and Radio Applications(PAWR), 2012 IEEE Topical Conf. on*, pp. 89-92, Jan. 2012.

[3] H. Deguchi, N. Ui, K. Ebihara, K. Inoue, N. Yoshimura, and H. Takahashi, "A 33 W GaN HEMT Doherty amplifier with 55 % drain efficiency for 2.6 GHz base stations", in *Proc. IEEE MTT-S Int. Microw. Symp. Dig., WE3D-1*, Jun. 2009, pp. 1273-1276.

[4] A. Maekawa, T. Yamamoto, E. Mitani, and S. Sano, "A 500 W push-pull AlGaN/GaN HEMT amplifier for L-band high power application", in *Proc. IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 722-725, Jun. 2006.

[5] J. Chéron, M. Campovecchio, D. Barataud, T. Reveyrand, M. Stanislawiak, and P. Eudeline, "Harmonic control in package of power GaN transistors for high efficiency and wideband performances in S-band", in *European Microw. Conf.* pp. 1111-1114, Oct. 2011.

[6] J. Chéron, M. Campovecchio, D. Barataud, T. Reveyrand, M. Stanislawiak, P. Eudeline, and D. Floriot, "Over 70 % PAE packaged GaN HEMT through wideband internal matching at second harmonic in S-band", *Electron Lett.*, vol. 48, Issue 13, pp. 770-772, 2012.

[7] S. Miwa, Y. Kamo, Y. Kittaka, T. Yamasaki, Y. Tsukahara, T. Tanii, M. Kohno, S. Goto, and A. Shima, "A 67 % PAE, 100 W GaN power amplifier with on-chip harmonic tuning circuit for C-band space applications", *IEEE MTT-S Int. Microw. Symp. Dig., WE3D-1*, Jun. 2011.

[8] H. Otsuka, K. Yamanaka, H. Noto, Y. Tsuyama, S. Chaki, A. Inoue, and M. Miyazaki, "Over 57 % efficiency C-band GaN HEMT high power amplifier with internal harmonic manipulation circuits", *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 311-314, Jun. 2008.

[9] M. Kimura, K. Yamauchi, K. Yamanaka, H. Noto, E. Ku-



- wata, H. Otsuka, A. Inoue, Y. Kamo, and M. Miyazaki, "GaN X-band 43 % internally-matched FET with 60 W output power", in *Proc. Asia-Pacific Microw. Conf.*, pp. 1-4, 2008.
- [10] Y. Yang, J. Yi, Y. Woo, and B. Kim, "Optimum design for linearity and efficiency of microwave Doherty amplifier using a new load matching technique", *Microw J.*, vol. 44, no. 12, pp. 20-36, Dec. 2001.
- [11] H. Park, J. Van, M. Kim, H. Cho, S. Kwon, J. Jeong, K. Lim, C. Park, and Y. Yang, "A new compact load network for Doherty amplifiers using an imperfect quarter-wave line", *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 11, pp. 2313-2319, Nov. 2007.
- [12] G. Ahn, M. Kim, H. Park, S. Jung, J. Van, H. Cho, S. Kwon, J. Jeong, K. Lim, J. Kim, S. Song, C. Park, and Y. Yang, "Design of a high-efficiency and high-power inverted Doherty amplifier", *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 6, pp. 1105-1111, Nov. 2007.
- [13] M. Seo, M. Song, J. Gu, H. Kim, J. Ham, C. Park, and Y. Yang, "Three-stage Doherty amplifier with uneven input splitter", *Microw. and Opt. Techn. Lett.*, vol. 55, no. 6, pp. 1405-1409, Jun. 2013.
- [14] J. Kwon, M. Seo, H. Lee, J. Gu, J. Ham, K. Hwang, K. Lee, C. Park, and Y. Yang, "Broadband Doherty power amplifier based on asymmetric load matching networks", *IEEE Trans. Circuits Syst. II Exp. Briefs*, vol. 62, no. 6, pp.533-537, Jun. 2015.
- [15] D. Jang, J. Kim, and J. Kim, "46-W high efficiency unbalanced Doherty power amplifier in extended output power back-off", *Microw. and Opt. Techn. Lett.*, vol. 54, no. 7, pp. 1612-1614, Jul. 2012.
- [16] S. Chun, D. Jang, J. Kim, and J. Kim, "Inverted asymmetric Doherty power amplifier driven by two-stage symmetric Doherty amplifier", *Electron Lett*, vol. 46, no. 17, pp. 1208-1209, Aug. 2010.
- [17] N. Ui, H. Sano, and S. Sano, "A 80 W 2-stage GaN HEMT Doherty amplifier with  $-50$  dBc ACLR, 42 % efficiency 32 dB gain with DPD for W-CDMA base station", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1259-1262, Aug. 2007.
- [18] H. Deguchi, N. Watanabe, A. Kawano, N. Yoshimura, N. Ui, and K. Ebihara, "A 2.6 GHz band 537W peak power GaN HEMT asymmetric Doherty amplifier with 48 % drain efficiency at 7 dB", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1-3, Jun. 2012.
- [19] N. Yoshimura, H. Umetsu, N. Watanabe, H. Deguchi, and N. Ui, "A 2.5~2.7 GHz broadband 40W GaN HEMT Doherty amplifier with higher than 45 % drain efficiency for multi-band application", in *Power Amplifiers for Wireless and Radio Applications(PAWR), 2012 IEEE Topical conf. on*, pp.53-56, Jan. 2012.

강 현 욱



2014년 2월: 목포해양대학교 전자공학과 (공학사)  
 2014년 3월~현재: 성균관대학교 전자전 기컴퓨터공학과 석사과정  
 [주 관심분야] RF Power Amplifier Design, Linearity and Efficiency Improvement Techniques

이 휘 섭



2012년 2월: 한양대학교 전자 및 통신공학과 (공학사)  
 2014년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학석사)  
 2014년 3월~현재: 성균관대학교 전자전 기컴퓨터공학과 박사과정  
 [주 관심분야] High-Efficiency RF Power Amplifier IC, Broadband Power Amplifier and Passive Circuit

임 원 섭



2012년 2월: 한양대학교 전자 및 통신공학과 (공학사)  
2013년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
[주 관심분야] High-Efficiency RF Power Amplifier IC, Analog/Mixed-Signal IC, High-Speed DC-DC Converter

윤 정 상



1991년 2월: 한양대학교 전자통신공학과 (공학사)  
1993년 2월: 한국과학기술원 전기전자공학과 (공학석사)  
1993년 3월~1999년 9월: 삼성전자 개발 전임연구원  
1999년 10월~현재: 웨이브일렉트로닉스 연구위원  
[주 관심분야] 초고주파 회로설계, 무선통신 시스템 설계

김 민 석



2015년 2월: 성균관대학교 전자전기공학부 (공학사)  
2015년 3월~현재: 성균관대학교 IT융합학과 석사과정  
[주 관심분야] RF Power Amplifier Design, Automotive Radar Transceiver Design

이 동 우



1989년 2월: 부산대학교 전자공학과 (공학사)  
1991년 2월: 한국과학기술원 전기전자공학과 (공학석사)  
1991년 3월~1998년 10월: 삼성전자 선임연구원  
1998년 11월~1999년 6월: 아미텔 선임연구원  
1999년 10월~현재: 웨이브일렉트로닉스 연구위원  
[주 관심분야] 초고주파 회로설계, 무선통신 시스템 설계

이 형 준



2002년 11월 ~2013년 2월: 피플웍스 생산기술연구소 주임연구원  
2013년 3월~현재: 웨이브일렉트로닉스 선임연구원  
[주 관심분야] 초고주파 회로설계, 무선통신 시스템 설계

양 영 구



1997년 2월: 한양대학교 전자공학과 (공학사)  
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)  
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원  
2002년 8월~2005년 2월: Skyworks Solutions Inc. Senior Electronic Engineer  
2005년 3월~현재: 성균관대학교 정보통신공학부 교수  
[주 관심분야] 초고주파 회로설계, 무선통신 송수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구