

# Three Color Algorithm for Two-Layer Printed Circuit Boards Layout with Minimum Via

Sang-Un Lee\*

## Abstract

The printed circuit board (PCB) can be used only 2 layers of front and back. Therefore, the wiring line segments are located in 2 layers without crossing each other. In this case, the line segment can be appear in both layers and this line segment is to resolve the crossing problem go through the via. The via minimization problem (VMP) has minimum number of via in layout design problem. The VMP is classified by NP-complete because of the polynomial time algorithm to solve the optimal solution has been unknown yet. This paper suggests polynomial time algorithm that can be solve the optimal solution of VMP. This algorithm transforms  $n$ -line segments into vertices, and  $p$ -crossing into edges of a graph. Then this graph is partitioned into 3-coloring sets of each vertex in each set independent each other. For 3-coloring sets  $C_i (i=1,2,3)$ , the  $C_1$  is assigned to front  $F$ ,  $C_2$  is back  $B$ , and  $C_3$  is  $B-F$  and connected with via. For the various experimental data, though this algorithm can be require  $O(np)$  polynomial time, we obtain the optimal solution for all of data.

▶ Keywords : Via, Crossing, Coloring, Independent set, Two layer

## I. Introduction

인쇄회로기판(PCB)에 전자부품들을 연결하는 배선도(layout)를 설계할 경우, 배선들이 상호 교차(crossing)하지 않도록 가능한 하나의 평면(planar)인 앞면( $F$ )에 배치한다. 만약, 이 과정에서 부득이하게  $F$ 의 배선들과 교차가 발생하는 배선들은 뒷면( $B$ )에 배치하여 교차가 되지 않도록 해야 한다. 그러나 만약, 하나의 배선이 2층 배선들과 교차가 발생하면  $B-F$ 로 배치하여 교점은 경유(via)로 연결하여 문제를 해결한다[1]. 따라서 주어진 어떠한 배선도라 할지라도 교차가 전혀 없는 2층 배선도를 설계할 수 있다. 경유는 전자부품의 전기적 신뢰성과 성능 뿐 아니라 제조 수율도 저하시킬 수 있기 때문에 전자분야에서는 최소 경유 수를 갖도록 설계하는 경유 최소화 문제(via minimization problem, VMP)가 중요한 이슈로 제기되어 왔다[2].

최소 교차 수를 찾는 문제와 더불어 최소 경유 수를 찾는 레이아웃 설계 문제는 NP-완전(non-deterministic polynomial time-complete)으로 분류된 이후 최근까지도 최적 해를 찾는 다항시간 알고리즘이 제안되지 않고 있다[3,4].

전자부품의 핀(정점) 수를  $m$ , 배선(간선)수  $n$ , 교차 수를  $p$ 라 할 때, VMP와 관련하여 The et al.[1]은 배선도 수정 방법, Hojati[5]는 패턴 매칭, 라우팅 변환, U-tern 변환과 입출력 이동 및 교환 방법, Fang et al.[6]은 그래프 색칠로 전역 최적화와 지역 최적화 기법, Chen et al.[7]은 분할과 매칭 방법, Hsu[8]는 최대 절단(max-cut) 방법, Kuo et al.[9]은  $O(n^{3/2} \log n)$  복잡도의 최대 절단 법, Chang과 Cong[10]은 KLAT(k-layer assignment for trees)와 FMIST(finding maximal induced sub tree) 방법, Malgorzata[11]는 UVM(unconstrained via minimization) 알고리즘, Naclerio et al.[12]은 이중 그래프(dual graph)에 대한  $O(n^3)$ 의 MVOP(minimum odd vertex pairing) 방법, Thakur et al.[13]은 VLA(vertical layer assignment) 방법, Chesielski[14]는 가중 잔여 그래프(weighted residual graph)의 노드 양분법, Takahashi와 Watanabe[15]는 VMBF(via minimization by breadth first search)법, Noteboom과 Ali[16]는 그래프 색칠 알고리즘(graph coloring algorithm)을, Tang et al.[17]은 유전자 알고리즘 (genetic algorithm, GA)을, Fouilhoux와 Mahjoub[18]는

\*First Author: Sang-Un Lee, Corresponding Author: Sang-Un Lee

\*Sang-Un Lee (sulee@gwnu.ac.kr), Dept. of Multimedia Engineering, Gangneung-Wonju National University

\*Received: 2015. 10. 06, Revised: 2015. 12. 17, Accepted: 2016. 01. 03.

선형계획법(linear programming, LP)을, Lin과 Chen[19]은 LP와 담금질(simulated annealing, SA) 기법을, Foulhoux와 Mahjoub[20]는 분기절단 법(branch-and-cut)을, Sherwani[21]는 CVM(constrained via minimization)을 제안하였다.

본 논문에서는 전자부품의 핀들 간의 배선 수를  $n$ , 배선들 간 교차 수를  $p$ 로 하는 VMP의 최적 해를  $O(np)$ 의 다항시간으로 얻을 수 있는 알고리즘을 제안한다. 2장에서는 교차 수와 경우 수에 대한 개념과 VMP의 해를 구하는 UVM과 CVM의 개념을 고찰한다. 3장에서는 VMP에 대해  $O(np)$  복잡도로 최적 해를 구할 수 있는 3-색 알고리즘(three-coloring algorithm, TCA)을 제안한다. 4장에서는 제안된 알고리즘을 실제 데이터에 적용하여 알고리즘 적합성을 평가해 본다.

## II. Crossing and Via Number

전자회로기판에서 전자부품의 핀을 정점(vertex,  $v \in V$ )으로, 핀들 간의 배선 연결을 간선(edge,  $e = \{u, v\} \in E$ )으로 표현한 그래프  $G = (V, E)$ 를 하나의 평면에 배치할 경우, 간선들 간에는 교차가 발생하여 교차지점의 쇼트로 인해 회로가 절단될 수 있다. 만약, 배선(간선)이 배치될 공간을 제약하지 않는 경우,  $K_{3,3}$ -완전 이분 그래프(complete bipartite graph)와  $K_5$ -완전 그래프(complete graph)는 교차 수(crossing number)  $cr(G) = 1$ 이 발생한다. 이 경우, 배선을 기판에 프린트하는 경우 2개의 평면이 필요하며 교차되는 하나의 배선을 뒷면에 배치하여 교차 문제를 해결한다[22,23]. 이를 2층 프린트 회로 기판(two-layer printed circuit board)이라 한다.

교차는 한 평면상에서 배선이 배치될 공간 영역을 제한하지 않는 경우이며, 경우는 전자부품들을 경계(boundary)로 하는 내부 영역으로 한정시키고 교차(점프선)가 발생한 배선을 2층간에 배치하고 이를 경우로 연결하여 교차 문제를 해결한다.

그림 1의 그래프를 대상으로 교차 수와 경우 수를 고찰해 보자.  $K_{3,3}$ 의 경우 교차 수  $cr(G) = 1$ 과 경우 수  $via(G) = 1$ 로 배선을 설계할 수 있으며,  $K_5$ 도 동일한 결과를 얻는다.

본 논문에서는 주어진 그래프의 간선들을 배치할 경우 최소 경우 수를 갖는 2층 배선도를 설계하는 경우 최소화 문제(VMP)를 다룬다.

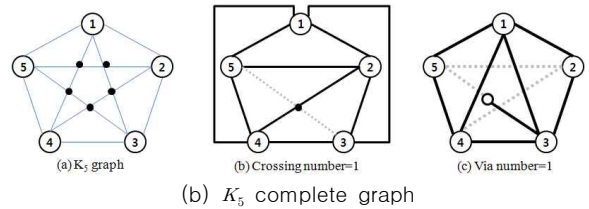
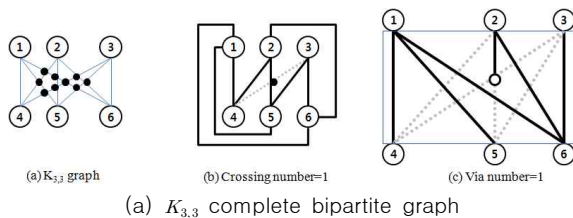


Fig. 1. Crossing number and Via number

VMP와 관련된 용어들은 그림 2에 제시되어 있다. 주어진 그래프는 10개의 단말(terminal) 또는 전자부품의 핀들로 구성되어 있으며, 이 핀들 간에는 5개의 배선(wire routing segment)이 연결되어 7개의 교차가 발생하였다. 이를 부품들을 경계로 하는 내부 영역으로 배선을 한정시킬 경우 {1,7}, {2,5}와 {6,10}은 정면(층 I)에, {3,9}와 {4,8}은 후면(층 II)에 배치하면 {1,7}과 {6,10}이 교차하여 층 I의 배선 설계가 불가능하여 3개 층이 필요하다. 그러나 {1,7}과 {6,10}의 교차 문제를 해결하기 위해 {6,10}의 배선을 2부분으로 분할하여 일부는 층 II에 배치하고 경유하도록 하면 2개 층으로 배선을 설계할 수 있다.

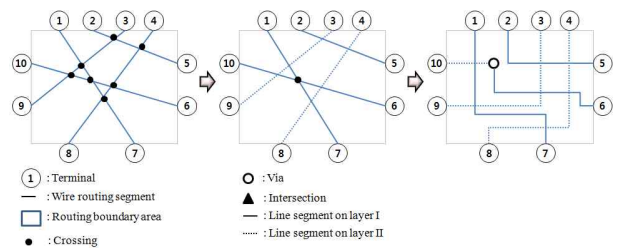
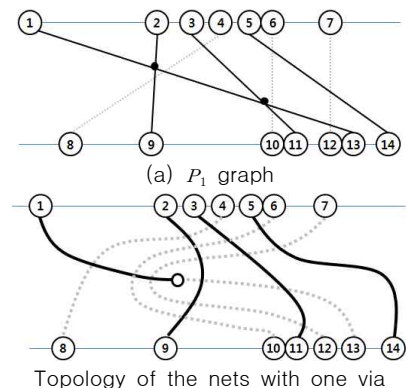


Fig. 2. Definition of via minimization problem

기존에 잘 알려진 VMP의 해를 구하는 방법은 UVM과 CVM으로 분류할 수 있다[1]. UVM은 요구되는 경우 수를 최소화시키도록 신호 망(signal net)간의 위상 정보(topological information)를 결정하고, 레이아웃에 위상의 기하학적 매핑(geometrical mapping)을 수행한다. 반면에, CVM은 소규모 영역을 가진 하나의 레이아웃부터 시작하여 경우 수가 최소화되도록 배선들에 층을 배정한다. 이 방법에서의 제약사항은 레이아웃은 변경될 수 없으며, 단지 배선의 층과 경우의 위치만이 변경될 수 있다. 그림 3은 UVM과 CVM의 예를 보여주고 있다[1].



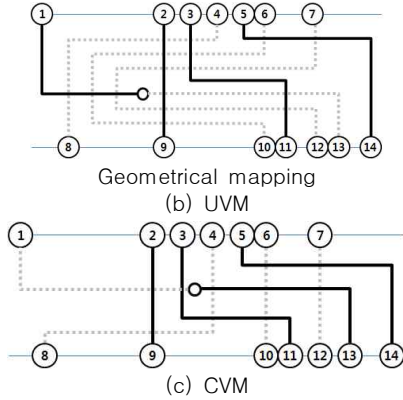


Fig. 3. UVM vs. CVM

### III. Three Coloring Algorithm

경유 최소화 문제는 전자부품(핀)의 위치는 변경될 수 없으며, 단지 배선의 위치만 변경이 가능하다. 본 장에서는 주어진 문제에 대해 최소 경유 수를 가진 2층 배선도를 얻는 다항시간 알고리즘을 제안한다.

제안된 알고리즘은 핀을 정점으로, 배선을 간선으로 하는 주어진 물리적 배선도 그래프  $G$ 에 대해, 간선을 정점으로, 교차를 간선으로 하는  $G'$ 로 변환시키고,  $G'$ 를 최대독립집합(maximum independent set, MIS)을 갖도록 3-색의 평면 그래프  $C_k$ 로 분할하여  $C_1$ 은  $F$ 에,  $C_2$ 는  $B$ 로 배선들을 배정하고,  $C_3$ 는 경유를 갖도록  $B-F$ 로 배치하는 방법을 제안한다. 제안된 알고리즘은  $O(np)$  복잡도로 수행되는 3-색 알고리즘(TCA)으로 다음과 같이 수행된다.

$m$ : 전자부품 핀 수,  $n$ : 배선 수,  $p$ : 교차 수

$G = (V, E)$ ,  $V =$  핀(pin),  $E =$  배선(wiring line segment)

$G' = (V', E')$ ,  $V' =$  배선,  $E' =$  교차(crossing)

**Step 1. 물리적 배선도 그래프  $G$ 를 교차 그래프  $G'$ 로 변환**

$C_1 = F, C_2 = B, C_3 = FB$

**Step 2. 3-색 분할** / \*  $G'$ 를  $C_1, C_2, C_3$ 로 분할 \*/

for  $i = 1$  to 2

until  $V' = \{\emptyset\}$  do

최소 차수  $\delta(G)$ 를 가진 정점  $u$ 를  $C_i$ 에 추가

$u$ 의 인접 정점  $v = N_G(u)$ 를  $C_{i+1}$ 에 추가

$V = V \setminus \{u, N_G(u)\}$

$E = E \setminus \{u, v\}, \{v, w\}, w = N_G(v)$

end

$G' = C_{i+1}$

end

**Step 3. 좌적 배치**

$C_1$ 을 앞면  $F$ (front, obverse side)에,  $C_2$ 를 뒷면  $B$ (back, reverse side)에,  $C_3$ 를 앞뒷면  $B-F$ 에 경유를 통해 배치

배선들이 상호 교차되지 않도록 두 평면(회로기판의 앞과 뒤)에 배치하고, 교차되는 배선들은 경유로 연결하면 단일 회로기판으로 원하는 회로도를 설계할 수 있다. 이는 배선들을 3개의 독립된 집합으로 분할하는 개념과 동일하며, 지도의 경우 경계를 갖는 인접 지역에는 동일한 색을 사용하지 않을 경우 필요한 최소의 색 수는 4가지면 충분하다는 4-색 이론(four color theorem)에서 개념을 도입하였으며, VMP에는 3개의 독립집합만을 필요로 하여 3-색 알고리즘이라 칭하였다.

제안된 알고리즘의  $G$ 에서  $G'$ 로 변환되는 과정은 다음과 같다. 먼저,  $G$ 에서  $n$ 개의 간선  $\{u, v\}$ 을  $O(n)$  복잡도로 추출한다. 다음으로, 간선들 간  $p$ 개의 교차점인  $\{\{u, v\}, \{w, x\}\}$ 를 수행 복잡도  $O(p)$ 로 추출한다. 그래프  $G'$ 는 간선  $\{u, v\}$ 을 정점으로, 교차점  $\{\{u, v\}, \{w, x\}\}$ 를 간선으로 설정하여 구성한다. 이 과정은  $n \leq p$ 로  $O(p)$  수행 복잡도가 요구된다. 따라서 이 과정에서는  $O(n+p)$ 의 수행 복잡도가 요구된다. 다음으로, 3-색 분할되는 과정으로 수행 복잡도는  $O(np)$ 가 요구된다. 결국,  $O(n+p) < O(np)$ 이므로 제안된 알고리즘의 수행 복잡도는  $O(np)$ 이다.

그림 3의  $P_1$ 에 대해 제안된 TCA를 수행한 결과는 그림 4와 같다.  $P_1$ 의 배선을 정점으로, 교차를 간선으로 하는  $G'$  그래프로 변환시키고, 최소 차수 정점부터  $C_1$ 에 추가하고 인접 정점을 삭제하여  $C_1 = \{2,9\}, \{3,11\}, \{5,14\}$ 를 얻는다.

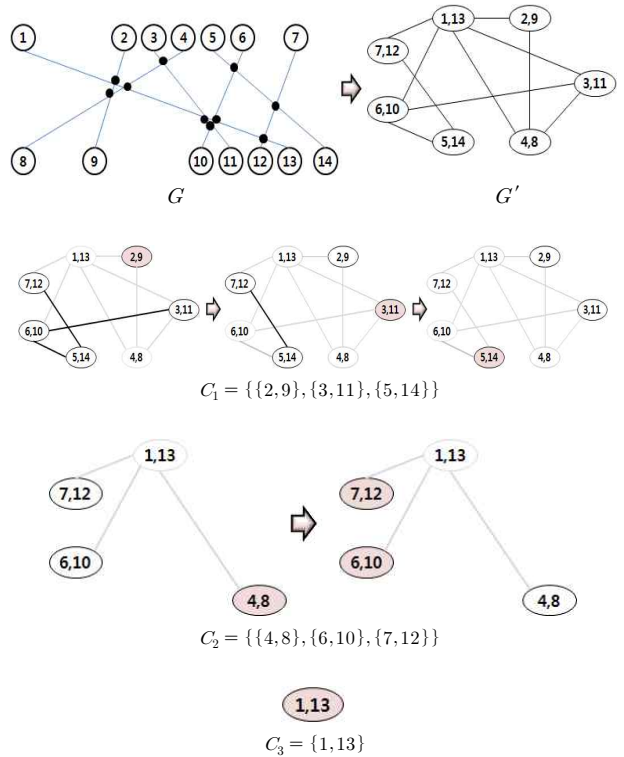

 그림 4.  $P_1$ 에 대한 TCA

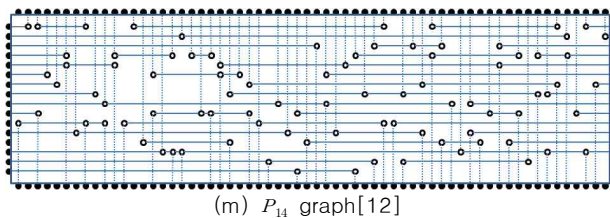
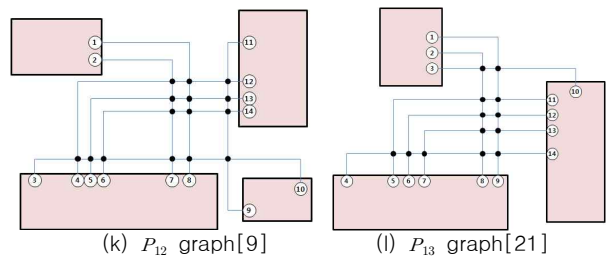
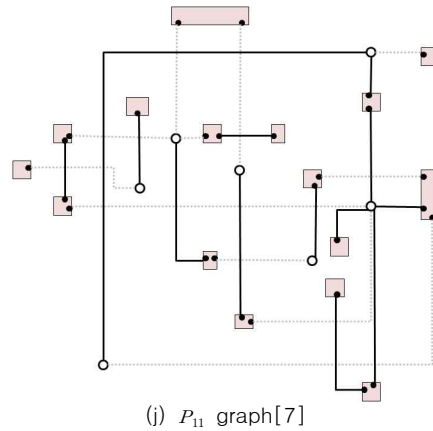
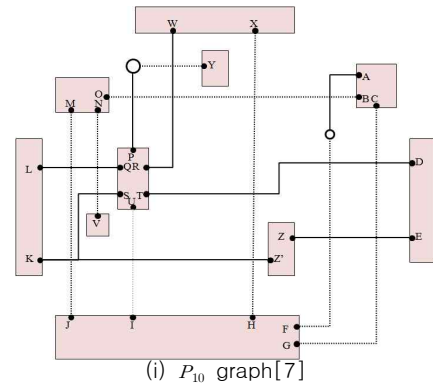
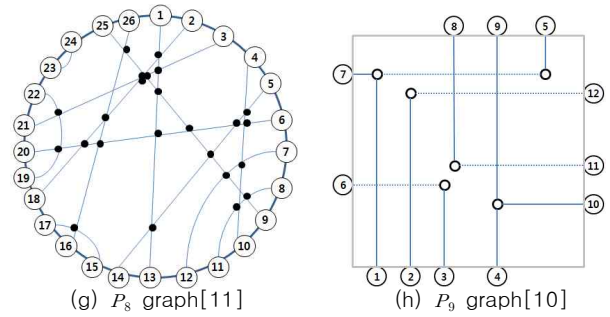
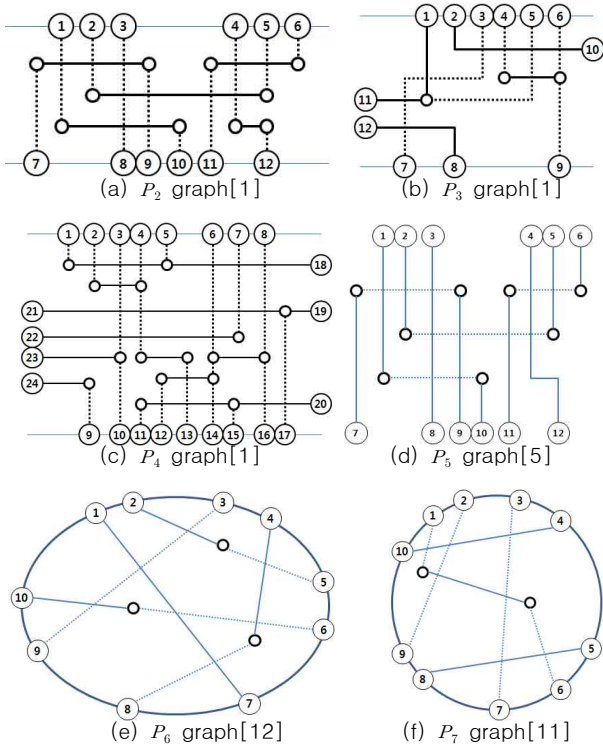
 Fig. 4. TCA for  $P_1$  problem

다음으로,  $V = V \setminus C_1$  으로 하는 그래프에 대해 최소 차수 정점부터  $C_2$  에 추가하고 인접 정점을 삭제하여  $C_2 = \{4,8\}, \{6,10\}, \{7,12\}$  를 얻었다. 나머지 정점들은  $C_3$  에 추가되어  $C_3 = \{1,13\}$  이다. 이들 3-색 분할 집합을  $C_1$  을 앞면  $F$  에,  $C_2$  를 뒷면에,  $C_3$  를 앞뒷면  $FB$  에 경유를 통해 배치한 결과 경유 수  $via(G) = 1$  로  $C_3 = \{1,13\}$  이 경유가 발생한 최적 해를 얻었다.

결국,  $P_1$  실험 데이터에 제안된 알고리즘을 적용한 그림 4는 그림 3의 UVM의 결과와 비교시 배선이 보다 간략하게 되었으며, CVM의 결과와 동일함을 알 수 있다. 따라서 제안된 알고리즘의 적합성은 특정한 하나의 데이터인  $P_1$  에 대해서는 검증되었다고 판단된다.

### IV. Applications and Evaluation

본 장에서는 그림 5의 16개 문제들에 대해 제안된 TCA로  $via(G)$  를 구하여 보고, 지금까지 알려진  $via(G)$  와 비교하여 본다. 그림 5는 VMP와 관련된 가능한 많은 논문들로부터 수집된 벤치마킹 데이터들이다. 따라서 현재까지 이들 데이터 모두에 적합한 알고리즘이 제안되지 않은 관계로, 만약 이들 데이터들 모두에 적합한 알고리즘이라면 VMP에 대한 일반화된 알고리즘으로 적용할 수 있기 때문에 TCA의 적합성 검증 데이터들로 활용되었다.



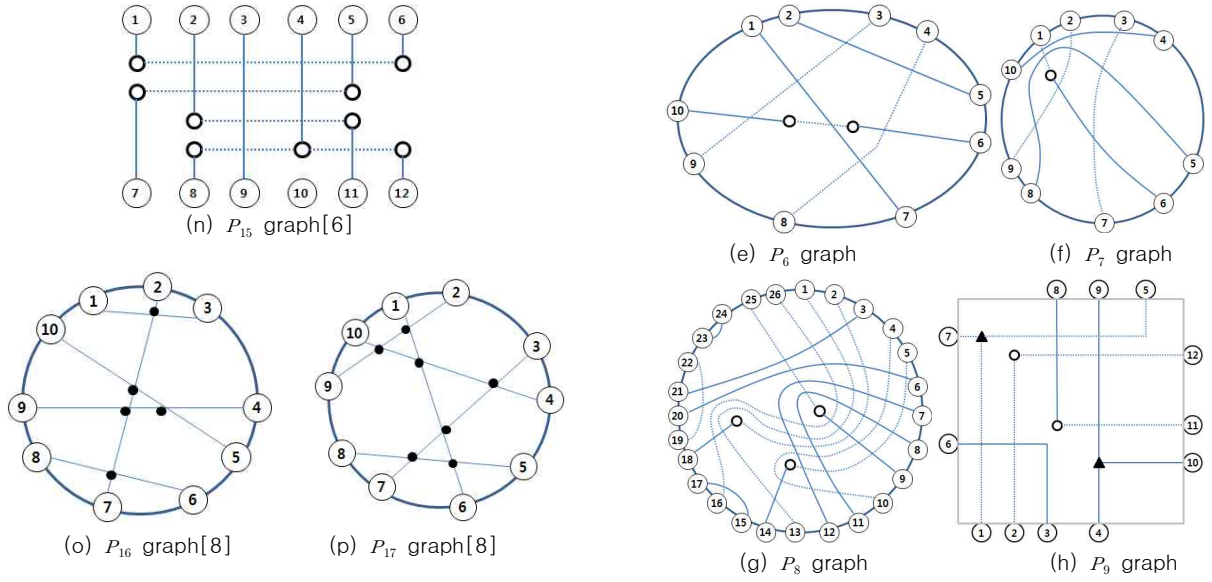


Fig. 5. Experimental graphs

그림 5의 실험 그래프들에 대해 기존에 알려진  $via(G)$  는 그림 6에 제시하였다. 여기서 실선은 앞면, 점선은 뒷면, 「O」는 경유를 의미한다. 이들 결과를 제시한 이유는 기존에 알려진 경유 수의 수치만으로는 정확한 설계 결과를 검증할 수 없으며, 제안된 알고리즘들과의 경유 수 비교를 할 수 없기 때문에 부득이 제시하였다.

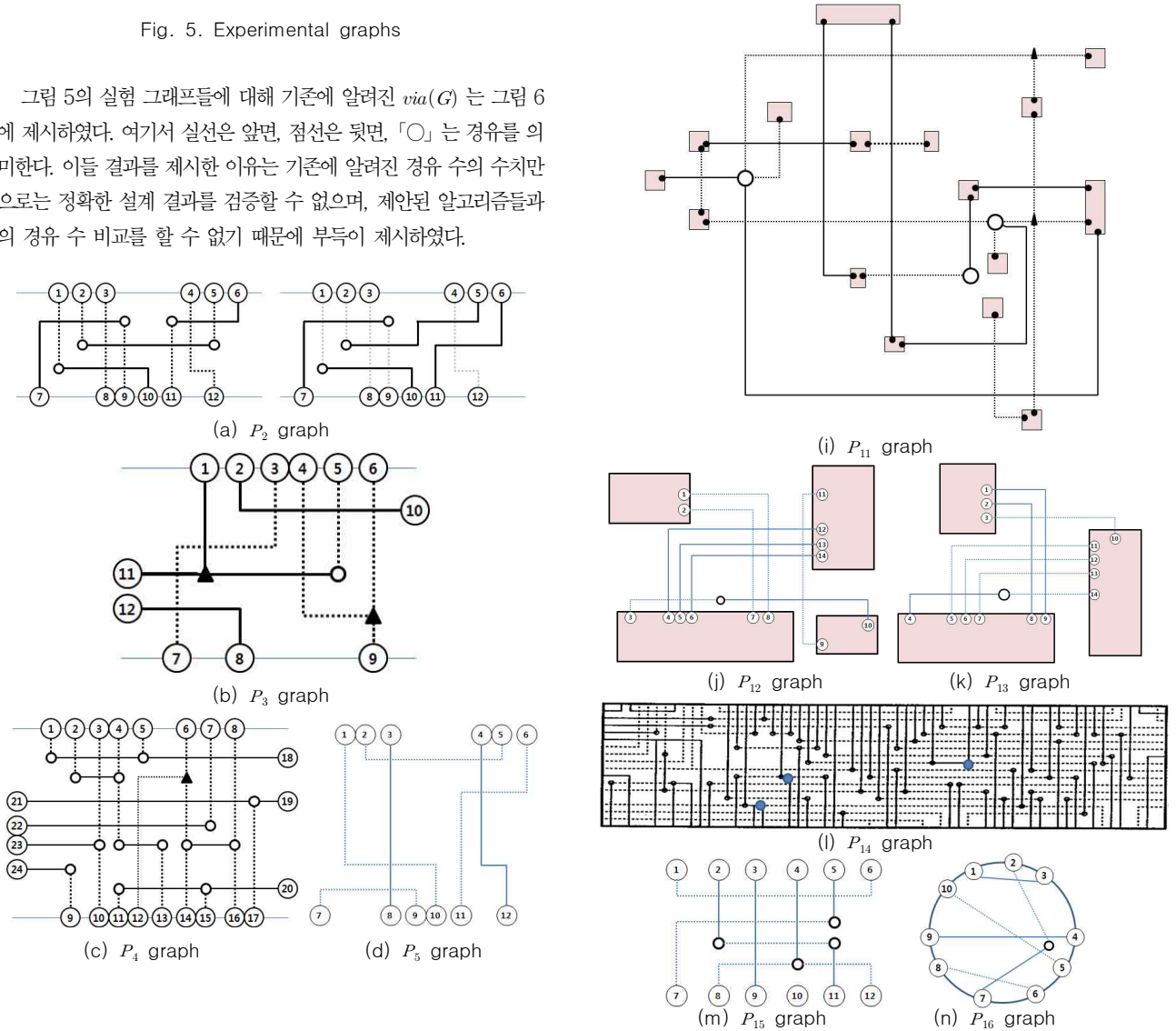


Fig. 6. Known solutions for experimental graphs

$P_2$  그래프는 원래의 물리적 배선도로 표현하면  $cr(G) = 5$  를 갖는 단순한 배선도임에도 불구하고  $via(G) = 10$  를 갖도록 설계된 복잡한 배선도이다. 이를 제안된 TCA를 적용한 결과는 그림 7에 제시되어 있다. TCA를 적용한 결과  $C_1 = \{\{1,10\}, \{7,9\}, \{2,5\}, \{6,11\}\}$ ,  $C_2 = \{\{3,8\}, \{4,12\}\}$ ,  $C_3 = \{\emptyset\}$  로  $via(G) = 0$  을 갖도록 설계할 수 있었다.

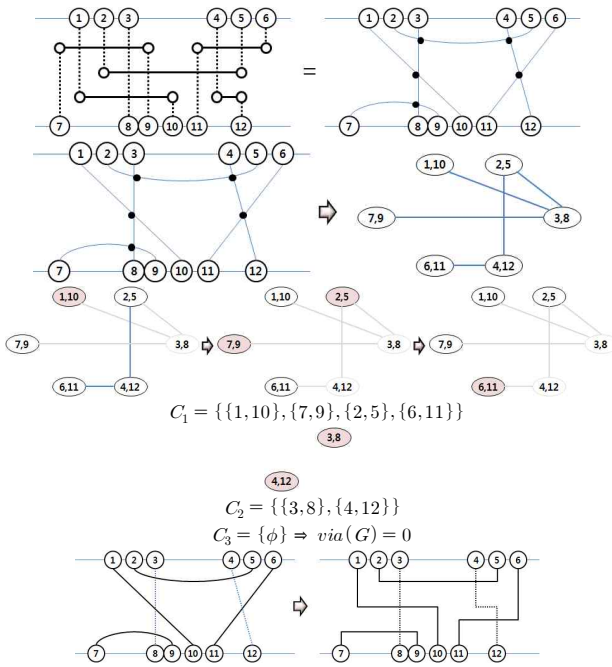
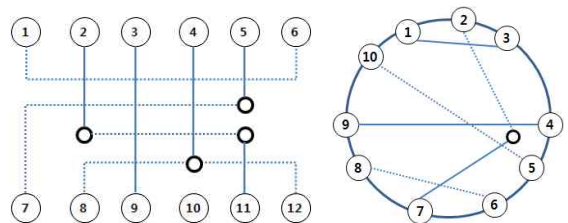
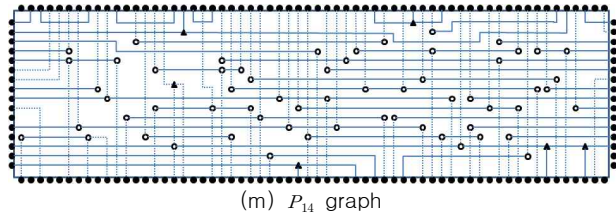
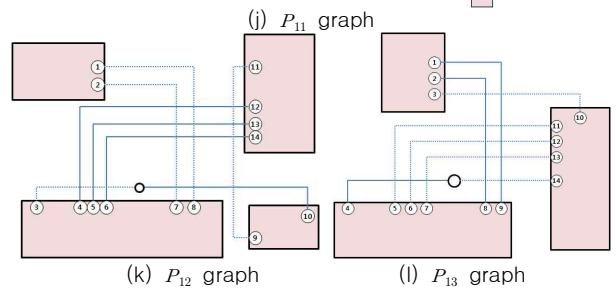
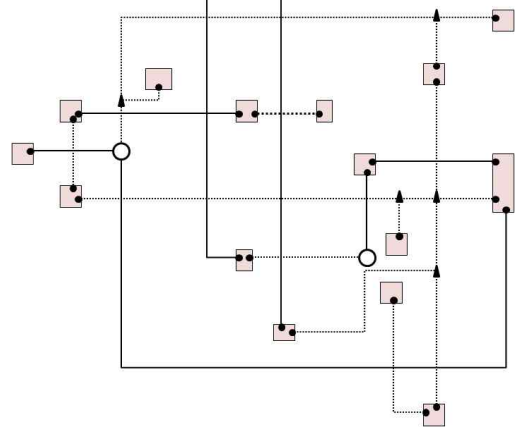
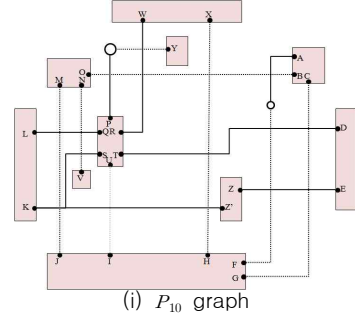
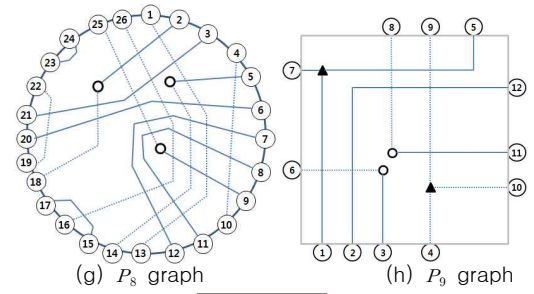
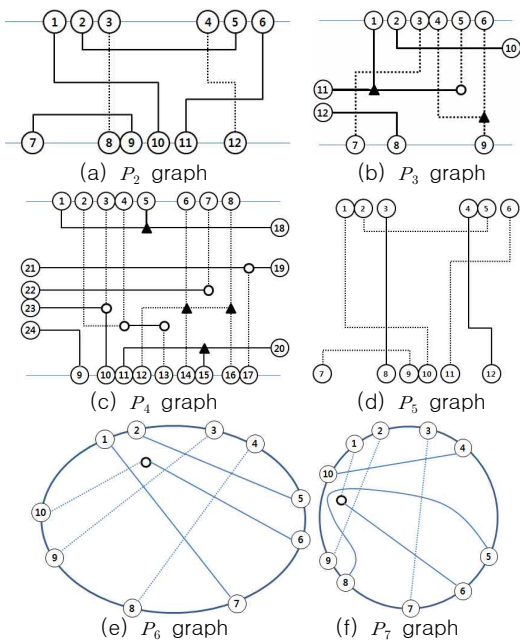


Fig. 7. TCA for  $P_2$

그림 5의 실험 그래프들에 대해 TCA를 적용한 결과는 그림 8에 제시하였다.



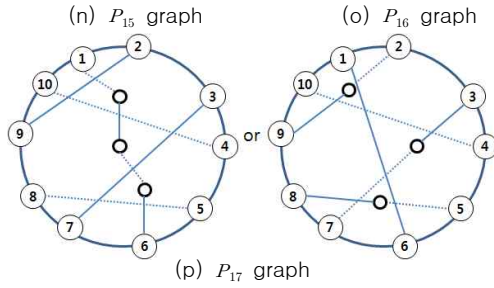


Fig. 8. Solutions of TCA for experimental graphs

본 논문에서 거론된 17개 문제들에 대해 기존에 알려진 해와 제안된 TCA의  $via(G)$  를 비교한 결과는 표 1에 제시하였다.  $P_{14}$ 의 경우 Naclerio et al.[12]은  $via(G)=63$  을 제시하였으나 3개를 누락시켜 실제로는  $via(G)=66$  으로 알려져 있다. 17개 문제들 중에서 기존에 알려진 해가 정확한 결과는 9개 문제에 불과하며, 제안된 TCA는 17개 문제 전체에 대해 최적 해를 구할 수 있었다.

 Table 1. Compare with  $via(G)$  for experimental graphs

문제	문제		$via(G)$	
	$cr(G)$	$via(G)$	알려진 해	TCA
$P_1$	2	-	5	<b>1</b>
$P_2$	-	10	3	<b>0</b>
$P_3$	-	2	<b>3</b>	<b>3</b>
$P_4$	-	16	14	<b>5</b>
$P_5$	-	8	<b>0</b>	<b>0</b>
$P_6$	-	3	2	<b>1</b>
$P_7$	-	2	<b>1</b>	<b>1</b>
$P_8$	24	-	<b>3</b>	<b>3</b>
$P_9$	-	6	<b>2</b>	<b>2</b>
$P_{10}$	-	2	-	<b>2</b>
$P_{11}$	-	7	3	<b>2</b>
$P_{12}$	15	-	<b>1</b>	<b>1</b>
$P_{13}$	13	-	<b>1</b>	<b>1</b>
$P_{14}$	-	91	66	<b>62</b>
$P_{15}$	-	9	<b>4</b>	<b>4</b>
$P_{16}$	5	-	<b>1</b>	<b>1</b>
$P_{17}$	7	-	-	<b>3</b>

## V. Conclusions

주어진 물리적 배선도에 대해, 최소 경유 수를 갖도록 2층으로 배치하는 경유 최소화 문제(VMP)는 NP-완전으로 알려져 있는 난제이다. 이러한 난제인 VMP에 대해 본 논문에서는 최적 해를  $O(np)$ 의 다항시간으로 얻을 수 있는 알고리즘을 제안하였다.

제안된 알고리즘은  $m$ 개 전자부품 핀을 정점으로,  $n$ 개 배선을 간선으로 하는 주어진 물리적 배선도 그래프  $G$ 를  $n$ 개 배선을 정점으로,  $p$ 개 교차를 간선으로 하는  $G'$  그래프로 변환시키고, 교차가 되지 않는 원소들의 집합인 최대 독립 3-색 집합  $C_1, C_2, C_3$ 으로 분할하는 단순한 방법을 제안하였다. 분할된 세 집합에 대해  $C_1$ 을 앞면( $F$ )에,  $C_2$ 를 뒷면( $B$ )에,  $C_3$ 를

$B-F$ 에 배치하여 경유로  $C_1$ 과  $C_2$  집합들을 연결하였다.

제안된 알고리즘을 17개의 실험 데이터들에 적용한 결과, 8개 데이터에 대해서는 기존에 알려진 해와 동일한 결과를, 6개 데이터에 대해서는 기존에 알려진 해를 개선하는 결과를, 2개 데이터에 대해서는 알려지지 않은 해에 대해 새로운 해를 얻었다.

제안된 알고리즘은  $O(np)$ 의 다항시간으로 최적 해를 얻을 수 있어, 전자회로 기판 배선도의 최적화 설계를 할 경우 큰 도움을 줄 수 있을 것이다.

## REFERENCES

- [1] K. S. The, D. F. Wong, and J. Cong, "A Layout Modification Approach to Via Minimization," IEEE Transactions on Computer-Aided Design, Vol. 10, No. 4, pp. 536-541, Apr. 1991.
- [2] L. Franuke, N. Tim, and P. Gregor, "Via Minimization in VLSI Chip Design - Application of a Planar Max-Cut Algorithm," Department of Computer Science, Faculty of Mathematics and Natural Sciences, Cologne University, Technical report, pp. 1-15, 2011.
- [3] M. R. Garey and D. S. Johnson, "Crossing Number is NP-complete," SIAM Journal of Algorithmic Discrete Methods, Vol. 4, No. 3, pp. 312-316, 1983.
- [4] N. I. Naclerio, S. MasudAa, and K. Nakajima, "The Via Minimization Problem is NP-complete," IEEE Transactions on Computers, Vol. 38, No. 2, pp. 1604-1608, Nov. 1989.
- [5] R. Hojati, "Layout Optimization by Pattern Modification," Proceedings of the 27th ACM/IEEE Design Automation Conference, pp. 632-637, Jun. 1990.
- [6] S. C. Fang, K. E. Chang, W. S. Feng, and S. J. Chen, "Constrained Via Minimization with Practical Considerations for Multi-Layer VLSI/PCB Routing Problems," Proceedings of the 28th ACM/IEEE Design Automation Conference, pp. 60-65, Jun. 1991.
- [7] R. W. Chen, Y. Kajitani, and S. P. Chan, "A Graph-Theoretic Via Minimization Algorithm for Two-Layer Printed Circuit Boards," IEEE Transactions on Circuits and Systems, Vol. CAS-30, No. 5, pp. 284-299, May 1983.
- [8] C. P. Hsu, "Minimum-Via Topological Routing," IEEE Transactions on Computer-Aided Design, Vol. CAD-2, No. 4, pp. 235-246, Oct. 1983.
- [9] Y. S. Kuo, T. C. Chen, and W. K. Shih, "Fast Algorithm

- for Optimal Layer Assignment," *Integration, the VLSI Journal*, Vol. 7, No. 3, pp. 231-245, Sep. 1989.
- [10] C. C. Chang and J. Cong, "An Efficient Approach to Multilayer Assignment with an Application to Via Minimization," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 18, No. 5, pp. 608-620, May 1999.
- [11] M. S. Malgorzata, "An Unconstrained Topological Via Minimization Problem for Two-Layer Routing," *IEEE Transactions on Computer-Aided Design*, Vol. CAD-3, No. 3, pp. 184-190, Jul. 1984.
- [12] N. J. Naclerio, S. Masuda, and K. Nakajima, "Via Minimization for Gridless Layouts," *Proceedings of the 24th ACM/IEEE Design Automation Conference*, pp. 159-165, Jun. 1987.
- [13] S. Thakur, K. Y. Chao, and D. F. Wong, "An Optimal Layer Assignment Algorithm for Minimizing Crosstalk for Three Layer VHV Channel Routing," *IEEE International Symposium on Circuits and Systems*, Vol. 1, pp. 207-210, Apr. 1995.
- [14] M. J. Chesielski, "Layer Assignment for VLSI Interconnect Delay Minimization," *IEEE Transactions on Computer-Aided Design*, Vol. 8, No. 6, pp. 702-707, Jun. 1989.
- [15] K. Takahashi and T. Watanabe, "A Heuristic Algorithm to Solve Constrained Via Minimization for Three-Layer Routing Problems," *Proceedings of the 1998 IEEE International Symposium on Circuits and Systems*, Vol. 6, pp. 254-257, Jun. 1998.
- [16] R. Noteboom and H. H. Ali, "A New Graph Coloring Algorithm for Constrained Via Minimization," *Proceedings of the 37th Midwest Symposium on Circuits and Systems*, Vol. 1, pp. 363-366, Aug. 1994.
- [17] M. Tang, K. Eshraghian, H. N. Cheung, "A Genetic Algorithm for Constrained Via Minimization," *Proceedings of the 6th International Conference on Neural Information Processing*, Vol. 2, pp. 435-440, Nov. 1999.
- [18] P. Foulhoux and A. R. Mahjoub, "An Exact Model for Multi-Layer Constrained Via Minimization," *IEEE Transactions on CAD of ICS*, Vol. xx, No. y, Jul. 2004.
- [19] R. B. Lin and S. Y. Chen, "Conjugate Conflict Continuation Graphs for Multi-Layer Constrained Via Minimization," *Information Sciences*, Vol. 177, No. 12, pp. 2436-2447, Jun. 2007.
- [20] P. Foulhoux and A. R. Mahjoub, "Solving VLSI Design and DNA Sequencing Problems Using Bipartization of Graphs," *Computational Optimization and Applications*, Vol. 51, No. 2, pp. 749-781, Mar. 2012.
- [21] N. A. Sherwani, "Algorithms for VLSI Physical Design Automation, chapter 8. Via Minimization and Over-the-Cell Routing, 3rd ed.," Kluwer Academic Publishers Norwell, 1999.
- [22] X. Muñoz, W. Unger, and I. Vrt'o, "One Sided Crossing Minimization is NP-hard for Sparse Graphs," In P. Mutzel and M. Jünger, eds., *Graph Drawing GD'01*, LNCS 2265, pp. 115-123, Springer, 2001.
- [23] M. Newton, O. Sýkora, and I. Vrt'o, "Two New Heuristics for Two-Sides Bipartite Graph Drawing," *Lecture Notes in Computer Science*, Vol. 2528, pp. 465-485, Springer Berlin/Heidelberg, 2002.

### Authors



Sang Un Lee received the B. Sc. degree in avionics from the Korea Aerospace University in 1997. He received the M. Sc. and Ph. D. degrees in Computer Science from Gyeongsang National University, Korea, in 1997 and 2001, respectively.

He is currently Professor with the Department of Multimedia Science, Gangneung-Wonju National University, Korea. He is interested in software quality assurance and reliability modeling, software engineering, software project management, neural networks, and algorithm.