

논문 2016-53-3-5

# 게르마늄 응축 공정의 모델링과 나노와이어 PMOSFET 응용

## ( Process Modeling of Germanium Condensation and Application to Nanowire PMOSFET )

윤 민 아\*, 조 성 재\*\*

( Mina Yun and Seongjae Cho<sup>Ⓞ</sup> )

### 요 약

본 논문에서는 게르마늄 응축 공정을 모델링하고 공정을 적용한 나노와이어 구조의 게르마늄 PMOSFET의 특성을 소자 시뮬레이션을 통하여 확인하였다. 기존의 연구 결과들을 토대로 하여 모델링을 수행한 결과, 게르마늄 응축 공정 과정에서 얻어지는 벌크 영역에서의 게르마늄 농도( $C_B$ )에 대한 실리콘 게르마늄-실리콘 산화막 계면에서의 게르마늄 농도의 비율( $C_S$ )은 약 4.03, 해당 공정 온도에서 게르마늄 원자의 유효 확산 계수( $D_{eff}$ )은 약  $3.16 \text{ nm}^2/\text{s}$ 로 추출되었다. 나아가, 게르마늄 응축 공정을 통하여 구현할 수 있는 실리콘 코어 상에 얇은 게르마늄 채널을 갖는 나노와이어 채널 구조의 PMOSFET을 설계하고 성능을 분석하였다. 이를 통하여, 전영역을 실리콘으로 혹은 게르마늄으로 하는 채널을 갖는 소자에 비하여 실리콘 코어-게르마늄 채널의 동축 이중접합 채널을 갖는 소자가 우수한 특성을 가질 수 있음을 확인하였다.

### Abstract

In this paper, process modeling of germanium condensation has been performed and a germanium PMOSFET having nanowire channel implemented by the condensation process has been designed and characterized by device simulations. Based on the previous experimental results, our modeling results demonstrate that the ratio of germanium concentration at the silicon germanium-silicon dioxide interface ( $C_S$ ) to that in the bulk region ( $C_B$ ) which are obtainable during the germanium condensation is approximately 4.03 and the effective diffusion coefficient ( $D_{eff}$ ) of germanium atom is  $3.16 \text{ nm}^2/\text{s}$ . Furthermore, a germanium nanowire-channel PMOSFET having the ultra-thin germanium channel on the silicon core that can be fabricated by the germanium condensation has been designed and characterized. As the result, it is confirmed that the proposed device having the coaxial nanowire consisting of silicon core and germanium channel might have superior performances over the device with either all-silicon or all-germanium channel.

**Keywords** : process modeling, germanium condensation, PMOSFET, nanowire channel, coaxial channel

## I. 서 론

게르마늄은 실리콘보다 높은 정공 이동도를 가져 p형 반도체 소자를 제작하기에 매우 유리한 물질이다. 실리콘과의 공정 집적성이 좋으며 감마 밸리(gamma

valley)에서 극소점을 가져 실리콘 대비 방출성 재결합 확률이 높은 독특한 에너지 밴드 구조로 인해 실리콘 기반의 전자 및 광학 집적 시스템 구현에 매우 중요한 역할이 예측된다. 게르마늄 응축(condensation) 기술은 GOI(germanium-on-insulator) 기판을 얻기 위한 공정 기술로 활용되었다. SOI(silicon-on-insulator) 기판상에 낮은 게르마늄 비율을 갖는 실리콘 게르마늄 성장 후 열산화(thermal oxidation)하는 과정으로 이루어지며<sup>[1]</sup>, 이를 모식적으로 나타내면 그림 1과 같다. 매몰 산화막(buried oxide, BOX) 상에서 순수 게르마늄 층을 얻고자 한 응축 기술을 통해 벌크 실리콘 상에서도 순도 높은 게르마늄 층을 얻을 수도 있으며<sup>[2~3]</sup>, 이를 통해 게

\* 학생회원, \*\* 정회원, 가천대학교 전자공학과  
(Department of Electronic Engineering, Gachon University)

Ⓞ Corresponding Author (E-mail: felixcho@gachon.ac.kr)

※ 이 논문은 2015년도 정부 재원의 한국연구재단 기초연구사업(NRF-2014R1A1A1003644) 및 IDEC의 지원으로 수행된 연구 결과임

Received ; November 9, 2015 Revised ; February 1, 2016

Accepted ; March 3, 2016

표 1. 열산화 공정의 진행 시간에 따른 피팅함수의 상수

Table 1. Constants of F(x) according to oxidation time.

산화 시간 [min]	12	50	150
A [%]	10.54	11.96	23.74
w [nm]	26.60	30.73	29.22

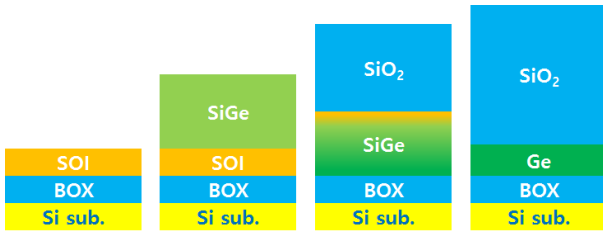


그림 1. GOI 제작을 위한 게르마늄 증착 공정 프로세스  
Fig. 1. Process flow of germanium condensation for GOI.

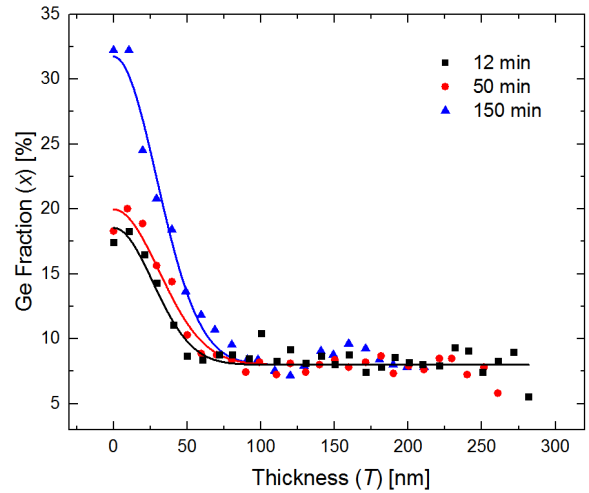
르마늄 기반의 p형 반도체 소자의 구현이 가능하다.

본 논문에서는 게르마늄 증착 공정을 모델링(modeling)하여 실리콘 게르마늄의 열산화 진행 과정에서 연계 되는 게르마늄의 정규 표면 농도(normalized surface concentration), 유효 확산 계수(effective diffusion coefficient)를 추출하고 소자 시뮬레이션으로 계단형 게르마늄 채널(steped Ge channel)을 갖는 나노와이어 구조의 MOSFET 구현 가능성을 확인하였다.

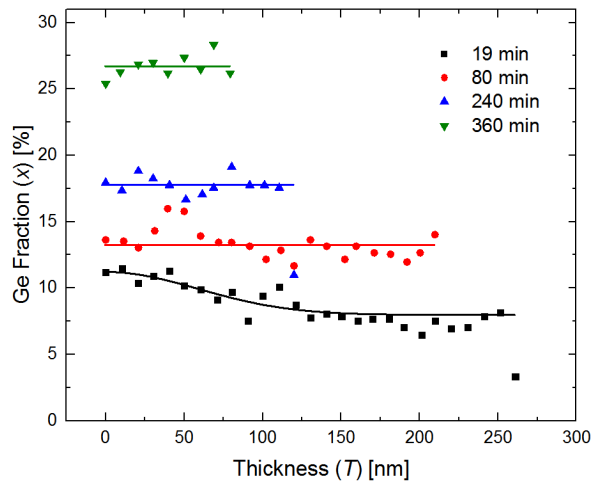
## II. 본 론

본 논문에서는 기존의 연구 결과로부터 데이터를 추출, 게르마늄 증착 공정 과정에서 나타나는 온도와 시간에 따른 게르마늄 원자의 재분포에 대한 비교 분석을 수행하였다. 기존 연구에서는 실리콘 기판 위에 실리콘 게르마늄을 에피택시 성장시키고 산소 원자를 고농도 (high dose)로 이온 주입한 후 어닐링(annealing)하여 SGOI(silicon-germanium-on-insulator) 기판을 얻었다<sup>[4]</sup>. 얻어진 실리콘 게르마늄 층의 두께는 320 nm, 게르마늄의 함량은 8%이다. 이렇게 얻은 SGOI를 1050 °C, 1100 °C, 1220 °C에서 열산화시킨 후 얻은 두께, 게르마늄의 함량과 공간적 분포, 표면 특성과 결정성 등을 살펴보았다<sup>[4]</sup>.

그림 2(a)과 2(b)는 각각 1100 °C와 1200 °C에서 열산화를 진행한 후 얻은 게르마늄 원자의 함량 분포를 나타내고 있다. 피팅(fitting)을 기반으로 유효 함량 (effective fraction,  $x_{eff}$ )을 얻었으며 열산화 공정 후 남



(a)



(b)

그림 2. 열산화 공정 후 게르마늄 원자 재분포의 피팅 결과. 공정 온도: (a) 1100 °C 및 (b) 1200 °C  
Fig. 2. Fitting results of redistribution of germanium atoms after thermal oxidation. Process temperature: (a) 1100 °C and (b) 1200 °C.

아 있는 SGOI 영역과 열산화막 간의 경계를 (두께) = 0인 지점으로 삼았다. 그림 2(a)에서 나타내고 있는 바와 같이, 1100 °C에서의 열산화 공정 후 게르마늄 함량의 공간적 분포는 오프셋을 갖는 가우시안 분포함수 (amplitude version of Gaussian distribution function)를 기반으로 피팅하였다. 활용한 함수의 형태는 식(1)과 같으며, 각 공정 시간에서 실제로 얻어 근사에 적용한 물리량들을 정리한 결과는 표 1과 같다.

$$F(x) = A e^{-\frac{(x-x_c)^2}{2w^2}} + y_0 \quad (1)$$

$F(x)$ 는 위치에 따른 함량(fraction) 분포를 나타내는 함수이다.  $x_c$ 는 분포의 중심 위치를 나타내며 앞서 서술한 바와 같이  $x_c = 0$ 의 값을 사용하였다.  $A$ 와  $w$ 는 각각 분포의 최댓값과 폭을 결정하는 값으로서 실제 공정 결과의 피팅 결과로부터 얻게 된다.  $y_0$ 는 열산화 공정이 진행되기 전의 게르마늄 농도로서  $y_0 = 8\%$ 이다. 그림 2(b)에서 확인할 수 있는 바와 같이, 1200 °C 공정 시 게르마늄 원자들은 더욱 빠르게 확산하여 거의 균일한 함량 분포를 나타냈다. 이 경우, 짧은 시간(19분) 동안 진행하여 비교적 확산 거리가 작아 불균일(non-uniform) 분포가 이루어진 상황에 한하여 가우시안 분포함수로 피팅을 수행하고 나머지는 평균을 구하여 유효 함량으로 삼는 방식을 택하였다. 이 때의 유효 함량은 다음의 식으로 정의할 수 있다.

$$x_{f,eff} = \frac{1}{T_{f,SiGe}} \int_{x=0}^{x=T_{f,SGOI}} F(x) dx \quad [\%] \quad (2)$$

여기서  $T_{f,SiGe}$ 는 산화 공정 후 남아 있는 SGOI 층의 두께이며  $F(x)$ 는 식(1)에서 정의한 게르마늄의 함량 분포를 나타내는 함수, 적분 변수  $x$ 는 분포의 침투치가 나타나는 지점, 즉 SGOI 층과 산화막 계면인  $x = 0$  지점으로부터의 거리이다.

표면 반응(surface reaction) 이론에 의하여<sup>[5]</sup>, 열산화 공정을 통해 생성된 산화막의 두께( $T_{SiO_2}$ )는 짧은 공정 시간( $t$ ) 영역에서는  $\sqrt{t}$ 에 대하여 선형적으로 증가하므로 소모된 실리콘(consumed silicon)의 양 역시  $\sqrt{t}$ 에 비례하여 증가한다. 이 이론은 순수 실리콘에 대한 공정을 모델링한 결과이지만 실리콘 게르마늄에서도 실리콘 산화막의 형성은 실리콘만을 소모하며 진행되므로 속도의 차이, 즉 함수를 구성하는 계수의 차이는 존재하나 시간 의존성은 유지될 것으로 판단할 수 있다. 매몰 산화막으로 확산하는 게르마늄 원자의 수는 매우 작으므로 산화 공정을 진행하기 전과 후에 남아 있는 SGOI 층의 두께( $T_{f,SiGe}$ )와 층 내의 게르마늄 유효 함량( $x_{eff}$ )의 곱은 동일할 것임을 알 수 있다. 곧  $T_{i,SiGe}x_{i,eff} = T_{f,SiGe}x_{f,eff}$ 의 관계식이 성립하므로 다음의 계산을 통해서도 게르마늄의 유효 함량을 구할 수 있다.

$$T_{SiO_2} = (consumed Si) \times \frac{1}{0.45} [nm] \quad (3)$$

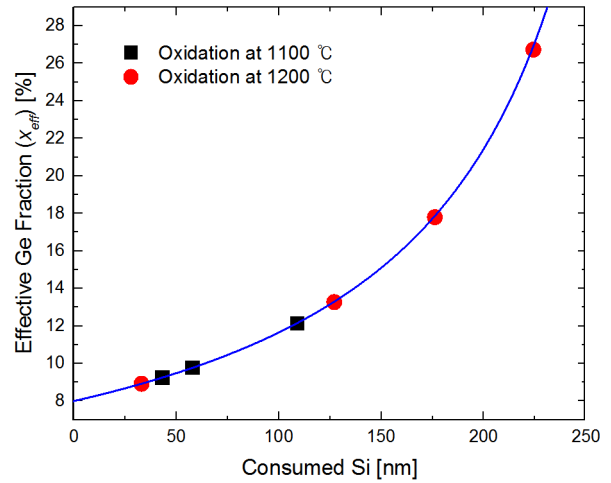


그림 3. 소모된 실리콘의 확산 두께에 따른 SGOI 층 내에 남아 있는 게르마늄의 유효 함량

Fig. 3. Effective germanium fraction in the SGOI layer as a function of consumed silicon in thickness.

$$x_{f,eff} = \frac{T_{i,SiGe} x_{i,eff}}{T_{i,SiGe} - (consumed Si)} \times 100 \quad [\%] \quad (4)$$

$T_{i,SiGe}$ 과  $T_{f,SiGe}$ 은 각각 열산화 공정 전과 후의 SGOI 층의 두께,  $x_{i,eff}$ 와  $x_{f,eff}$ 는 각각 열산화 공정 전과 후의 SGOI 층 내 게르마늄의 유효 함량을 의미한다. 소모된 실리콘은 산화막 성장에 소모된 실리콘 원자의 총량을 두께로 환산한 값으로서 열산화 공정을 통해 얻은 산화막 두께의 0.45배에 해당한다. 식 (4)를 통해 산화 공정 후 SGOI 층에 남아 있는 게르마늄의 유효 함량은 산화 온도와는 무관하게  $\sqrt{t}$ 에 반비례(즉,  $A/(B-C\sqrt{t})$ )의 식에 비례하며  $A$ ,  $B$ ,  $C$ 는 공정 결과로부터 추출할 수 있는 상수)함을 알 수 있고 이러한 관계식을 토대로 SGOI 층에 남아 있는 게르마늄의 유효 함량을 모델링할 수 있다.

### III. 공정 모델링 및 시뮬레이션 결과

#### 1. 게르마늄 증착 공정 모델링 및 파라미터 추출

그림 3은 산화 공정을 통해 소모된 실리콘의 양(환산 두께)에 대한 SGOI 층 내의 게르마늄 유효 함량을 나타내는 결과이다. 산화가 진행되는 영역의 면적은 동일하므로 양의 변화는 곧 두께의 변화로 환산할 수 있다. 그림에서 확인할 수 있는 바와 같이 SGOI 내에 남아 있는 게르마늄의 유효 함량은 초기 조건, 즉  $T_{i,SiGe}x_{i,eff}$ 의 값이 동일하기만 하면 공정 온도에 상관없이 식 (4)가 나타내는 동일한 곡선 상에 표시된다는 것은 특기할

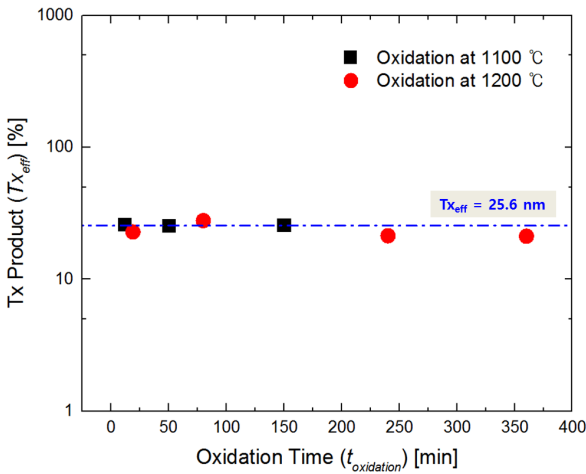


그림 4. 산화 공정에서 온도와 시간에 따른  $T_{X_{eff}}$   
 Fig. 4.  $T_{X_{eff}}$  as a function of oxidation time at different temperatures in the thermal oxidation.

만한 사실이다.

실제로  $T_{X_{eff}}$  곱의 값이 산화 공정 중에 일정하게 유지되는지의 여부를 확인해 보았다. 그림 4에 나타난 바와 같이 1100 °C와 1200 °C에서의 공정 결과 모두 거의 동일한 곱의 값을 가짐을 알 수 있다. 1200 °C에서는 긴 공정 시간 영역에서 약간의 차이가 존재함을 확인할 수 있는데 1200 °C의 고온에서는 매우 느린 속도이긴 하지만 게르마늄이 매물 산화막으로 확산해 나가는 성분이 존재하기 때문이다.

1100 °C에서의 게르마늄 정규 표면 농도( $C_S/C_B$ : normalized surface concentration)와 유효 확산 계수 ( $D_{eff}$ : effective diffusion coefficient)를 추출하였다. 정규 표면 농도는 일정 시간 산화 공정이 이루어진 후 산화막에서 거리가 먼 벌크 SGOI 영역에서의 게르마늄 농도( $C_B$ )에 대한 산화막-SGOI 경계, 즉 SGOI 표면에서의 게르마늄 농도( $C_S$ )의 비로 정의하였다.  $C_S$ 는  $x = 0$ 에서의 피팅 함수값을 사용하였고,  $C_B$ 는 실리콘 게르마늄 층 내 초기 게르마늄 함량인 8%이다. 산화 공정이 진행됨에 따라 표면에서의 게르마늄 함량은 국부적으로 증가할 것이고 표면에서 받아들일 수 있는 양의 한계에 도달하면  $C_S$ 는 고정된 상태에서 SGOI 두께에 대한 게르마늄 함량 곡선이 나타내는 면적이 증가하는 방식으로 곡선의 형태가 변화하게 된다. 산화 공정을 수행한 온도 중에서 이러한 변화를 명확히 볼 수 있는 온도인 1100 °C에서 파라미터 추출을 수행하였다. 실제로 근래의 게르마늄 증착 공정은 높은 게르마늄 함량을 갖는 실리콘 게르마늄을 결정성 성장한 후 녹는점보다 낮은 온도인 900-1100 °C의 범위에서의 공정 시간을 조절하

표 2. 1100 °C에서 진행한 열산화 공정의 시간에 따른 파라미터 변화

Table 2. Parameters of thermal oxidation at 1100 °C as a function of process time.

산화 시간 [min]	$T_{SiO_2}$ [nm]	$T_{SGOI}$ [nm]	$T_{c-Si}$ [nm]	$T_{SGOI} + T_{c-Si}$ [nm]	$C_S/C_B$ [unitless]	$D_{eff}$ [ $nm^2/s$ ]	$T_{X_{eff}}$ [nm]
12	95.96	281.8	43.18	325.0	2.181	12.08	26.05
50	128.6	260.9	57.87	318.8	2.289	3.888	25.48
150	242.1	210.8	109.0	319.8	4.029	3.155	25.56

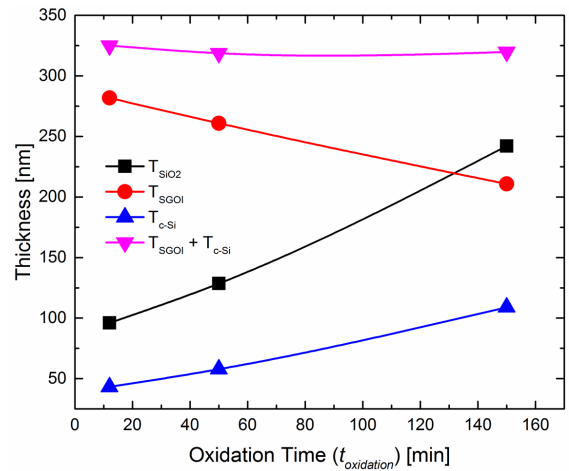


그림 5. 산화 공정 시간에 따른 각 층의 두께 변화  
 Fig. 5. Thickness changes of individual layers as a function of thermal oxidation process time.

여 열산화를 진행하는 방식으로 이루어지고 있기 때문에 1100 °C과 1200 °C의 공정 결과 중 1100 °C에서 얻은 결과를 활용하는 것이 향후 관련 연구들에 있어 보다 실용적인 의미가 있을 것이다<sup>[1,6-7]</sup>.

$$D_{eff} = (\text{게르마늄 원자 확산거리})^2 / t \text{ [nm}^2/\text{s]} \quad (5)$$

게르마늄의 확산 계수는 일반적인 확산 계수와 확산 거리(diffusion length)와의 관계식을 토대로 계산할 수 있다. 단, 실리콘 게르마늄에서 실리콘만을 소모하면서 이루어지는 실리콘 산화막 성장의 결과로서 나타나는 게르마늄의 확산 동력(driving force)은 특정 원자가 갖는 농도 분포의 차이와 열에너지 외의 성분들을 포함하게 되므로 기존의 확산 계수와 구분하여 식 (5)와 같이 유효 확산 계수를 정의하는 것이 타당하다. 게르마늄 원자의 확산거리는 앞서 살펴본 그림 2(a)와 2(b)에서 초기 게르마늄 농도인 8%에 도달하는 지점의 값들이며  $t$ 는 열산화 공정 시간을 의미한다. 열산화 시간에 따른 공정 결과들을 정리하면 위의 표 2의 내용과 같다.

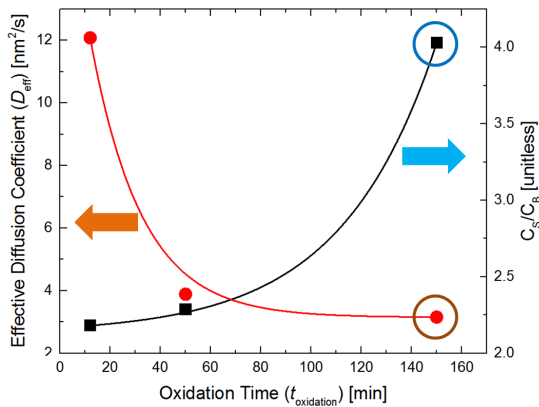


그림 6. 산화 시간에 따른 게르마늄 정규 표면 농도와 유효 확산 계수

Fig. 6. Normalized surface concentration and effective diffusion coefficient of germanium atoms as a function of oxidation time.

$T_{SiO_2}$ 는 산화막의 두께,  $T_{SGOI}$ 는 공정 후 매물 산화막 위에 남아 있는 실리콘 게르마늄 층의 두께,  $T_{c-Si}$ 는 열산화 공정 과정에서 소모된 실리콘의 두께를 의미한다. 위의 결과를 토대로 시간에 따른 각 두께의 변화를 그래프로 나타낸 결과는 그림 5와 같으며 변화의 양상을 보다 명확히 파악할 수 있다.

그림 6은 산화 공정 시간에 대한 정규 표면 농도와 유효 확산 계수의 변화를 나타낸 결과이다. 150분 동안의 산화 공정 후 얻은  $C_s/C_B$ 의 값을 이후 SGOI의 두께가 충분하거나 매물 산화막이 없는 상황에서 산화 공정을 그 이상의 장시간 동안 진행하더라도 얻게 되는 포화값으로 보았으며  $C_s/C_B = 4.03$ 의 값을 얻었다. 또한, 이 때 추출한 유효 확산 계수는  $D_{eff} = 3.16 \text{ nm}^2/\text{s}$ 이다.

## 2. 게르마늄 증착을 적용한 나노와이어 PMOSFET

앞서의 모델링 결과로부터 산화 공정 시간이 지남에 따라 실리콘 게르마늄의 표면에서 게르마늄의 농도가 증가함을 확인할 수 있었다. 이러한 결과는 SOI 기판에서 뿐만 아니라 벌크 실리콘 기판에서도 얻을 수 있다. SOI 기판에서는 매물 산화막이 존재하여 실리콘이 모두 소모된 상태의 게르마늄층이 매물 산화막 상에 존재하는 구조를 얻을 수 있는 반면, 벌크 실리콘에서는 게르마늄의 물리적 확산을 원천적으로 막을 수 있는 영역이 존재하지는 않는다. 그러나 벌크 실리콘 상에 실리콘 게르마늄을 성장한 후 열산화를 진행하면 실리콘 산화막을 형성하기 위해 실리콘 게르마늄에서 빠져나가는 실리콘 원자와 실리콘을 손실한 순도 높은 게르마늄 영역에 의해 차단되는 벌크 실리콘 영역의 실리콘 원자

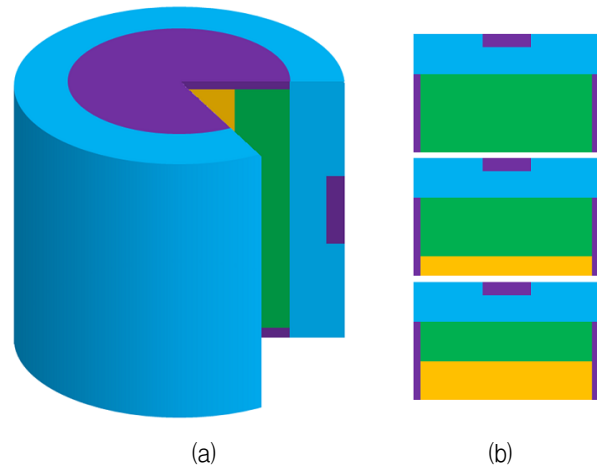


그림 7. 설계한 실리콘 코어/게르마늄 채널 나노와이어 PMOSFET의 구조: (a) 나노와이어 PMOSFET의 3차원 구조 및 (b) 채널의 단면

Fig. 7. Structure of the Si-core/Ge channel nanowire PMOSFET: (a) 3D structure of the PMOSFET and (b) cross-sectional view of the device channel.

간에는 큰 확산 속도의 차이가 존재하여, 벌크 실리콘 기판에서도 높은 순도의 게르마늄 층을 얻을 수 있다.

실리콘/게르마늄의 계단형 p형 나노와이어 MOSFET (stepped p-type Ge nanowire MOSFET)을 제작할 수 있으며<sup>[7]</sup>, 공정 조건에 따라 실리콘 영역과 게르마늄 영역의 두께를 조절할 수도 있다. 이러한 형태의 MOSFET을 준 3차원(quasi-3D) 반도체 소자 시뮬레이션을 통해 설계하고 전달 특성 곡선을 얻었다. 3차원 구조에서의 시뮬레이션에서는 반영할 수 있는 모델이 제한적이거나 2차원 구조에서의 시뮬레이션에서는 그 수가 더 많아 정확도를 기할 수 있어, 2차원 구조를 형성한 후 360° 회전하여 얻은 구조를 시뮬레이션에 적용하였다. 그림 7이 이처럼 설계한 소자의 구조를 나타내고 있으며 원통의 중심이 곧 회전의 중심이다. 설계한 소자의 채널 길이는 30 nm, 나노와이어 채널의 반지름은 10 nm, 산화막 두께는 3 nm, 채널 도핑 농도는  $10^{15} \text{ cm}^{-3}$  (n-type), 소스/드레인 도핑 농도는  $10^{18} \text{ cm}^{-3}$  (p-type), 게이트의 일함수(workfunction)은 4.08 eV로 하였다.

그림 8은 게르마늄 층의 두께와 실리콘 코어의 반지름의 합을 10 nm로 고정시키고 각 값을 10 nm, 7.5 nm:2.5 nm, 5 nm:5 nm로 변화시켜 보면서 전달 특성을 살펴본 결과이다. 좌측 하단 그림은 나노와이어 채널의 중심을 지나는 단면의 절반을 보여준다. 각 그림에서 가운데 윗부분은 게이트를, 좌우 영역은 소자 간 전기적 절연을 위한 필드 산화막, 녹색 영역은 게르마늄, 황



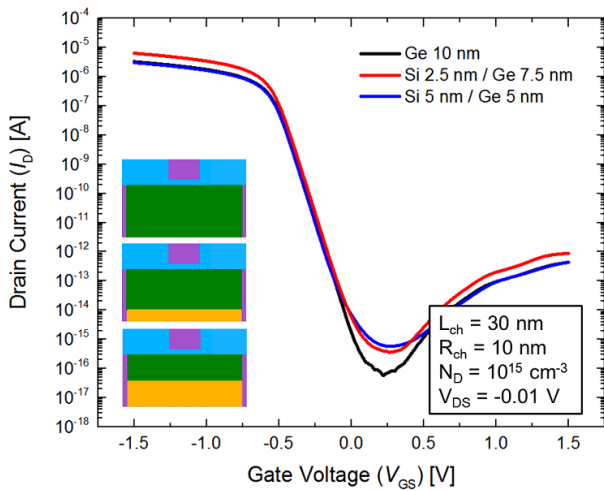


그림 8. 실리콘과 게르마늄의 두께 비율에 따른 실리콘 코어/게르마늄 채널 나노와이어 PMOSFET의 전달 특성

Fig. 8. Transfer characteristics of silicon-core/germanium channel nanowire PMOSFET at different ratios between silicon and germanium layer thicknesses.

색 영역은 실리콘이다. 세 그림은 위에서 아래로 각각 시뮬레이션에서 사용한 게르마늄 채널의 두께가 10 nm, 7.5 nm, 5 nm인 소자를 나타낸다. 동일한 소자 각 영역의 규격(critical dimension)과 공정 조건, 게이트 일함수를 가정했을 때 채널 영역이 모두 실리콘일 때에는 전류 수준이 현저히 낮으며 문턱 전압이 절대값이 더 큰 음의 값을 가져 저전력 구동에 적합하지 않은 것으로 확인하였다. 그림 8에서 나타난 바와 같이 전류 구동 능력이 우수한 최적 조건이 존재함을 확인할 수 있었다. 우선적으로 원하는 형태의 실리콘 채널을 만든 후 실리콘 게르마늄 성장과 게르마늄 증착 공정을 거치면 2차원 구조의 소자 뿐만 아니라 위와 같이 나노와이어 MOSFET 혹은 FinFET 등 3차원 구조의 소자에도 적용 가능하다.<sup>[8~9]</sup> 이를 통하여 게르마늄 증착 공정을 통해 벌크 실리콘 기판을 활용하여 공정 단가를 획기적으로 낮추면서도 보다 게르마늄 기반의 보다 높은 정공 이동도를 갖는 트랜지스터(high-hole-mobility transistor)를 구현할 수 있는 가능성을 확보하였다.

#### IV. 결 론

본 논문에서는 기존의 연구 결과를 토대로 게르마늄 증착 공정에 대한 공정 모델링(process modeling)을 수행하고 그 기술을 적용한 게르마늄 나노와이어 MOSFET을 설계, 특성을 분석하였다. 증착 과정에서의 게르마늄

의 표면/벌크 함량 비율은 4.03, 유효 확산 계수는  $3.16 \text{ nm}^2/\text{s}$ 로 추출하였다. 나아가, 게르마늄 증착 기술을 적용하여 실리콘 코어와 게르마늄 초박막 채널로 구성되는 p형 나노와이어 MOSFET을 구현했을 때, 전 영역을 실리콘 혹은 게르마늄으로 하는 채널을 갖는 기존의 소자들보다 향상된 전류 구동 능력을 가질 수 있음을 소자 시뮬레이션을 통해 검증하였다. 이러한 공정 기술과 소자는 핵심적인 차세대 저전력·초고속 반도체 기술 중 하나가 될 것이다.

#### REFERENCES

- [1] S. Dissanayake, Y. Shuto, S. Sugahara, M. Takenaka, and S. Takagi, "(110) Ultrathin GOI layers fabricated by Ge condensation method," *Thin Solid Films*, vol. 517, no. 1, pp. 178-180, Aug. 2008.
- [2] S. Nakaharai, T. Tezuka, N. Sugiyama, Y. Moriyama, and S. Takagi, "Characterization of 7-nm-thick strained Ge-on-insulator layer fabricated by Ge-condensation technique," *Applied Physics Letters*, vol. 83, no. 17, pp. 3516-3518, Oct. 2003.
- [3] S. Nakaharai, T. Tezuka, N. Sugiyama, and S. Takagi, "Formation Mechanism of Ge-on-Insulator Layers by Ge-condensation Technique," *Proceedings of The 210th Electrochemical Society (ECS) Meeting, Mexico, USA*, Nov. 2006.
- [4] N. Sugiyama, T. Tezuka, T. Mizuno, M. Suzuki, Y. Ishikawa, N. Shibata, and S. Takagi, "Temperature effects on Ge condensation by thermal oxidation of SiGe-on-insulator structures," *Journal of Applied Physics*, vol. 95, no. 8, pp. 4007-4011, Apr. 2004.
- [5] F. K. LeGoues, R. Rosenberg, T. Nguyen, F. Himpey, and B. S. Meyerson, "Oxidation studies of SiGe," *Applied Physics Letters*, vol. 65, no. 4, pp. 1724-1728, Feb. 1989.
- [6] T. Tezuka, E. Toyoda, T. Irisawa, N. Hirashita, Y. Moriyama, N. Sugiyama, K. Usuda, S. Takagi, "Structural analyses of strained SiGe wires formed by hydrogen thermal etching and Ge-condensation processes," *Applied Physics Letters*, vol. 94, 081910-1-081910-3, Feb. 2009.
- [7] T. Irisawa, T. Numata, N. Hirashita, Y. Moriyama, S. Nakaharai, T. Tezuka, N. Sugiyama, and S. Takagi, "Ge wire MOSFETs fabricated by three-dimensional Ge condensation technique," *Thin Solid Films*, vol. 517, no. 1, pp.

167-169, Aug. 2008.

- [8] S. C. Lee, K.-W. Kwon, and S. Y. Kim, "FinFET Gate Resistance Modeling and Optimization," Journal of The Institute of Electronics and Information Engineers, vol. 51, no. 8, pp. 1714-1721, Aug. 2014.
- [9] S. S. Choe, K.-W. Kwon, and S. Y. Kim, "Performance Analysis of Tri-gate FinFET for Different Fin Shape and Source/Drain Structures," Journal of The Institute of Electronics and Information Engineers, vol. 51, no. 7, pp. 71-81, Jul. 2014.

---

저 자 소 개

---



윤민아(학생회원)  
2013년 3월~현재 가천대학교 전자공학과 학사과정  
<주관심분야 : 실리콘 소자, 회로 설계, 광학소자>



조성재(정회원)  
2004년 서울대학교 전기공학부 학사  
2009년 일본 산업기술총합연구소(AIST) 교환연구원  
2010년 서울대학교 전기·컴퓨터공학부 박사

2010년 서울대학교 전기·컴퓨터공학부 박사후연구원

2010년~2013년 스탠포드대학교 전기공학부 박사후연구원

2013년~현재 가천대학교 전자공학과 교수  
<주관심분야 : 나노스케일 CMOS 소자, 플래시 및 차세대 메모리, 광전자소자 및 집적회로>