

## 그래핀을 베이스로 사용한 열전자 트랜지스터의 특성

이형규<sup>1,a</sup>, 김성진<sup>1</sup>, 강일석<sup>2</sup>, 이기성<sup>2</sup>, 김기남<sup>2</sup>, 고진원<sup>2</sup>

<sup>1</sup> 충북대학교 전자정보대학

<sup>2</sup> 나노종합기술원

### Characterization of Hot Electron Transistors Using Graphene at Base

Hyung Gyo Lee<sup>1,a</sup>, Sung Jin Kim<sup>1</sup>, Il-Suk Kang<sup>2</sup>, Gi Sung Lee<sup>2</sup>, Ki Nam Kim<sup>2</sup>, Jin Won Koh<sup>2</sup>

<sup>1</sup> School of Electrical Engineering, Chungbuk National University, Cheongju 28644, Korea

<sup>2</sup> National Nanofab Center, Daejeon 34141, Korea

(Received February 22, 2016; Revised February 23, 2016; Accepted February 23, 2016)

**Abstract:** Graphene has a monolayer crystal structure formed with C-atoms and has been used as a base layer of HETs (hot electron transistors). Graphene HETs have exhibited the operation at THz frequencies and higher current on/off ratio than that of Graphene FETs. In this article, we report on the preliminary results of current characteristics from the HETs which are fabricated utilizing highly doped Si collector, graphene base, and 5 nm thin Al<sub>2</sub>O<sub>3</sub> tunnel layers between the base and Ti emitter. We have observed E-B forward currents are inherited to tunneling through Al<sub>2</sub>O<sub>3</sub> layers, but have not noticed the Schottky barrier blocking effect on B-C forward current at the base/collector interface. At the common-emitter configuration, under a constant  $V_{BE}$  between 0 ~ 1.2 V,  $I_C$  has increased linearly with  $V_{CE}$  for  $V_{CE} < V_{BE}$  indicating the saturation region. As the  $V_{CE}$  increases further, a plateau of  $I_C$  vs.  $V_{CE}$  has appeared slightly at  $V_{CE} \approx V_{BE}$ , denoting forward-active region. With further increase of  $V_{CE}$ ,  $I_C$  has kept increasing probably due to tunneling through thin Schottky barrier between B/C. Thus the current on/off ratio has exhibited to be 50. To improve hot electron effects, we propose the usage of low doped Si substrate, insertion of barrier layer between B/C, or substrates with low electron affinity.

**Keywords:** Graphene, Hot electron transistor, Tunneling, Schottky barrier

### 1. 서론

그래핀은 탄소가 단원자층으로 구성된 결정으로써 낮은 저항과 매우 높은 광투과율을 보이고 있어 디스플레이의 투명전극, 회로의 배선 전극으로 활용성이 있다 [1]. 하지만 밴드갭이 없고 페르미 준위를 중심으로

이동자의 상태 밀도함수가 독특한 원뿔(cone) 형태로써 전자 또는 정공의 수가 증가하면 반도체와 달리 쉽게 페르미 준위가 변하게 된다. 그래핀의 극박막은 또 다른 나노두께의 극박막의 절연체(HBN, ALD 산화막 등)와 접합하여 터널링 트랜지스터로 동작 가능하며, 메모리소자의 부유게이트로 사용할 수도 있다 [2,3]. FET의 채널로 그래핀을 활용하는 경우, 게이트 전압 변화에 의해 디락점(dirac point)를 중심으로 bipolar 특성을 보이게 되지만 잔류하는 이동자에 의해 off 전류가 매우 높다. 하지만 전달특성의  $I_{on}/I_{off} < 10^2$ 로 기존 FET에 비해 현저히 열악한 특성을 보인다. 이를 극

a. Corresponding author; [hglee@chungbuk.ac.kr](mailto:hglee@chungbuk.ac.kr)

Copyright ©2016 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

복하기 위해 그래핀을 베이스로 사용한 열전자 트랜지스터(hot electron transistor)가 제시, 구현되었다 [4, 5]. 열전자는 이미터에서 베이스로 주입된 전자 중 베이스/컬렉터 계면의 전위 장벽을 넘어 컬렉터로 넘어가는 높은 에너지를 가진 전자를 의미한다. 그래핀 HET의 또 다른 장점은 베이스를 지나는 시간이 짧아 고속 동작이 가능하며, 전류의 on/off 비가  $10^4$ 로써, 그래핀 FET의  $10^2$ 에 비해 2-차수 이상 크다 [6]. 그래핀 HET는 컬렉터로는 전위장벽이 높은  $\text{SiO}_2$ ,  $\text{Al}_2\text{O}_3$  층을 사용하여 좋은 결과를 얻게 되었지만 동작하는 on/off 동작 전압이 매우 높은 단점을 가진다. 이를 해결하기 위해서는 이미터/베이스 사이에 터널링을 이용한 극박막 절연층을 사용하고, 베이스/컬렉터 사이의 전위장벽도 적절하게 조절되어야 한다 [6].

따라서, 본 연구에서는 컬렉터로 Si 기판을 사용하고 그 위에 그래핀을 전사하여 베이스로, 절연막을 전위장벽이  $\text{SiO}_2$  보다 작은  $\text{Al}_2\text{O}_3$  극박막을 사용하여 낮은 베이스-이미터 전압으로 전자가 베이스로 투과되도록 하여 그래핀/Si 사이의 전위 장벽을 넘는 HET를 제작하고 그 특성을 관찰하고자 한다.

본 연구를 통해 나노 소자의 터널링 현상에 대해 더욱 깊이 이해할 수 있으며, 소자 제작을 통해 나노 전자 소자의 기반인 그래핀의 제어 기술을 습득할 수 있고, 전계효과 트랜지스터 위주의 현재 연구 경향을 터널링을 이용한 쌍극성 트랜지스터 분야로 더욱 확대할 수 있을 것으로 기대된다.

## 2. 실험 방법

저항이 낮은 n+-형 Si 웨이퍼의 자연 산화막을 제거하고 100 nm 두께의 CVD 방법으로 산화막을 성장하였다. 광 미세묘화 공정을 통해 포토레지스트(PR)를 패터닝하여 활성층으로 사용할 부분의 산화막을 희석된 HF용액으로 제거하였다. 이후 PR을 제거한 후 전체 웨이퍼를 다시 희석된 HF 용액에서 수 초간 식각하여 산화막의 가장자리부분을 기판과 부드럽게 단차가 지도록 하여 그래핀 전달 시에 산화막과 활성층에 그래핀이 유연하게 덮히도록 하였다. 그 다음 웨이퍼를 그래핀 전달을 위한 크기인  $1\text{ cm} \times 1\text{ cm}$ 로 절단하였다.

그래핀 2~3개 원자층의 극박막은 별도의 공정으로 제작되었는데, Si 기판에 Cu 층을 CVD 방법으로 증착하고 이를 고온에서 탄소가스과 반응시킨 후 냉각시켜 탄소원자들이 그래핀으로 결정을 이루도록 한 후, 그

위에 PMMA를 스핀 코팅하고 Cu를 제거하여 그래핀을 분리하였다. 준비된 조각 시료 위에 그래핀/PMMA를 접착시키고 PMMA를 제거하면 반델발스 힘에 의해 그래핀은 Si 기판에 전달되었다 [7]. 그래핀이 Si 기판과 접착력을 증진시키기 위해서는  $300^\circ\text{C}$ 의 진공오븐에서 12시간 열처리가 반드시 필요하였다.

그래핀이 전달된 시료는 소자 제작을 위해 먼저 PR을 패터닝하여 베이스 전극을 전자빔으로 Au를 200 nm의 두께로 증착하고 lift-off 방법으로 전극을 형성하였다. 이후 활성층을 보호하는 PR을 패터닝한 후  $\text{O}_2$  플라즈마 RIE로 소자사이에 연결된 그래핀 층을 제거하였다. PR 제거 후 그래핀 위에 1.5 nm 두께의 Al을 진공증착하고 공기에 1시간 이상 노출시켜  $\text{Al}_2\text{O}_3$ 로 산화되도록 하여 원자층증착(atomic layer deposition)이 용이하도록 하였다. 이는 그래핀 수원자층은 매우 평탄하여 그 위에 ALD 증착이 불가능하지만,  $\text{Al}_2\text{O}_3$ 층이 seed로 작용하여 후속 ALD증착이 가능하게 되는 것이다. 이 위에  $\text{Al}_2\text{O}_3$ 층을 ALD 방식에 의해 더 증착하여 총 두께가 5 nm 가 되도록 하였다. 이미터 전극은 일함수가 작은 Ti 금속을 증착하고 lift-off 방법에 의해 전극을 형성하였다. 이후 PR을 다시 도포하여 베이스 전극위에 증착된 ALD  $\text{Al}_2\text{O}_3$ 층 제거하고 n+형 기판 뒷면에 Al을 증착하여 이미터 전극을 형성하였다. 최종 형성된 소자의 단면 개략도와 상부에서 관찰한 소자의 현미경 사진을 그림 1과 같다. 이미터의 면적은  $200 \times 150\ \mu\text{m}$  이며 베이스는  $230 \times 180\ \mu\text{m}$ 의 크기를 가지고 있다. 제작된 소자의 전류-전압 특성은 실온에서 반도체 변수 측정기를 사용하여 측정하였다.

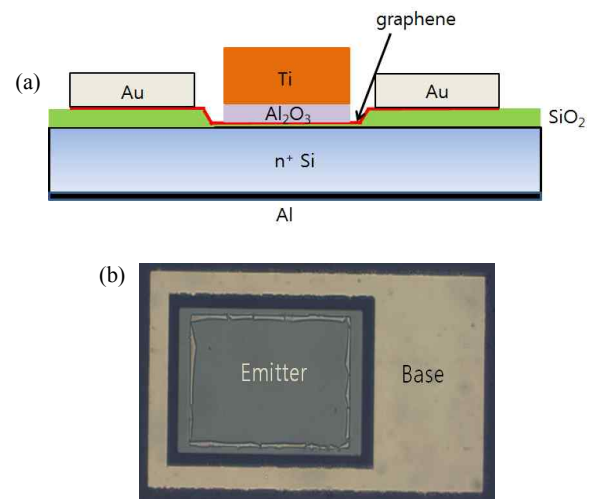


Fig. 1. (a) Schematics of the device, (b) top microscopic view.

### 3. 결과 및 고찰

제작한 소자의 동작원리를 설명하기 위해 금속-그래핀-Si의 밴드 배열을 평탄 대역일 때와 전압이 가해진 경우를 그림 2에 도시하였다.

이미터로 사용된 금속은 일함수가 작은 Ti(4.3eV)를 사용하였다. Ti 금속은 Au(일함수:5.1eV)에 비해 작아서 Al<sub>2</sub>O<sub>3</sub>를 절연막으로 사용한 열전자 트랜지스터의 이미터로부터 전자의 터널링이 용이하다고 알려져 있다. 이미터를 접지하고 베이스의 전압을 일정한 정전압을 가하고 ( $V_{BE} > 0$ ), 컬렉터의 전압을 정전압 ( $V_{CE} > 0$ )으로 변화시키면, 컬렉터의 전압이 베이스의 전압보다 작아  $V_{CB} < 0$ 이 되는 구간에서는 이미터에서 터널링으로 넘어온 전자는 컬렉터-베이스 사이의 쇼트키 장벽 (Schottky Barrier)에 의해 다시 베이스로 되돌아오게 될 것이다. 만약 컬렉터의 전압이 더욱 증가하여  $V_{CB} > 0$ 의 조건이 되면, 전자는 베이스에서 컬렉터로 쇼트키 장벽이 얇아짐으로 인해 터널링에 의해 컬렉터로

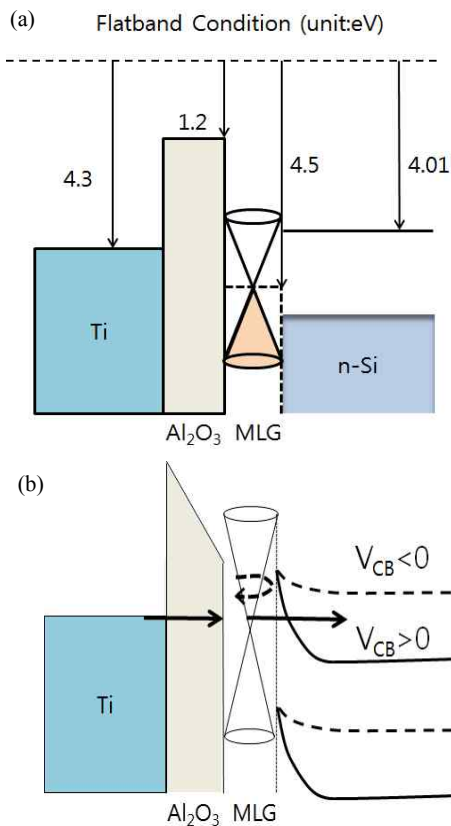


Fig. 2. (a) Band alignment at equilibrium and (b) band alignment under forward bias in common-emitter configuration.

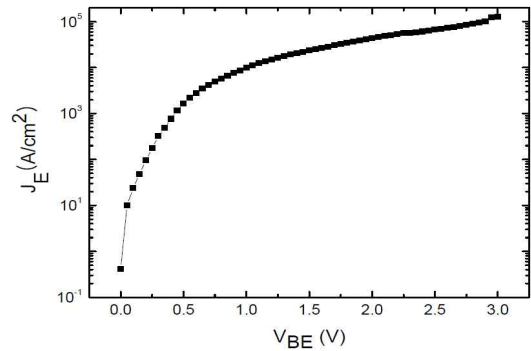


Fig. 3. Emitter current density vs. base-emitter voltage.

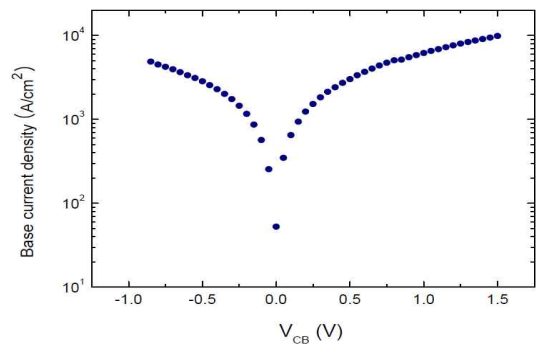


Fig. 4. Base current density as a function of collector-base voltage.

이동하게 되어 컬렉터 전류가 흐르게 될 것이다. 먼저 베이스-이미터의 전압  $V_{BE}$ 를 0~3 V까지 변화시키며 측정한 I-V 특성은 그림 3과 같다. 전압이 커짐에 따라 E-B 사이의 5 nm 두께의 Al<sub>2</sub>O<sub>3</sub>층을 통해서 전자는 이미터에서 터널링에 의해 그래핀으로 구성된 베이스로 전달되어, 3 V의 전압 변화에도 전류는 10<sup>4</sup> 이상 급격히 변화되었다. 컬렉터-베이스와 사이의 전압은 -1.0에서 +1.5 V로 변화시키면 측정한 I-V 특성은 그림 4와 같으며, 음의 전압에서의 전류는 | $I$ |로 표시한 것이다.  $V_{CB} < 0$ 의 전압 범위에서는 금속-반도체 (M-S) 접합과 비교할 때 반도체에 정전압이 인가된 경우로써, 금속-반도체 다이오드의 정전류에 해당하여  $|V_{CB}|$ 가 증가함에 따라 (즉  $V_{CB} = -1 V$ 에 가까울수록) 전류가  $I_0 e^{e|V|/kT}$ 로 증가하는 것을 알 수 있다. 반면,  $V_{CB} > 0$  영역에서는 M-S 다이오드에 역 전압이 인가된  $I_0 e^{-eV_{CB}/kT}$ 로 변하고 있음을 알 수 있다. M-S 접합의 공핍층의 폭을 본 실험에 사용한 Si 기판의 도핑 농도 ( $N_d \sim 10^{19}/cm^3$ ), 그래핀-Si 사이의 쇼트키 장벽 값 ( $\Phi_{Bo} = 0.49 [eV]$ )으로 계산하면,  $V_{CB} = 1.0 [V]$ 에 대해

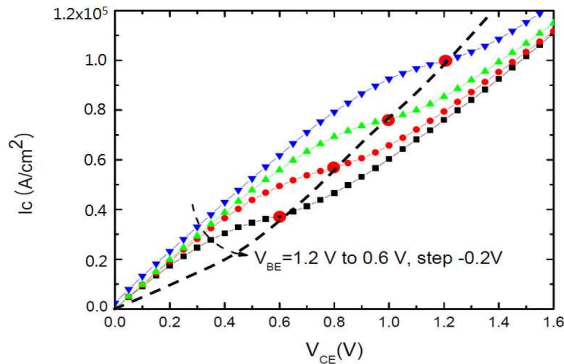


Fig. 5. Collector current vs. collector-emitter voltage.

$W=0.14\text{nm}$  밖에 되지 않는다. 따라서 전자는 작은  $V_{CB}$  전압에 의해서도 쇼트키 장벽을 넘어 전자가 베이스에서 컬렉터로 이동하는 것보다 쇼트키 장벽을 터널링에 의해 이동하는 것으로 이해할 수 있다.

이미터 공통 모드에서  $V_{BE} = 0 \sim 1.2\text{[V]}$  로 인가한 후,  $V_{CE} = 0 \sim 3.0\text{[V]}$ 로 변화시키며 컬렉터 전류( $I_c$ )를 측정된 결과를 그림 5에 도시하였다.  $V_{CE} < 1.2\text{[V]}$  이하에서는 쌍극성 트랜지스터(BJT)의 포화영역에서 동작하기 때문에 일정한  $V_{CE}$ 에 대해  $V_{BE}$ 가 증가하면  $I_c$  또한 증가함을 알 수 있다. 또한 특정한  $V_{BE}$  조건에서,  $V_{CE}$  전압의 증가에 대해 선형적으로 증가함을 알 수 있다. 이는 포화영역의 전형적 특성이며 그림 2(b)에서 도시한 바와 같이,  $I_c$ 는 이미터에서 베이스로 이동한 전자 전류에 의해 지배받고 있음을 시사한다.

컬렉터의 전압이 더욱 증가하여  $V_{CE} \geq V_{BE}$ 의 영역에서는 이제 정규 활성 영역에 진입하게 되어  $V_{CE}$ 의 전압이 변화하여도  $I_c$ 는 그다지 변화하지 않게 된다. 정규 활성 영역으로 진입하게 되는 전압  $V_{CE}$ 는  $V_{CE} = V_{BE}$ 인 것을 그림 5에서 알 수 있고 그 지점을 그림에 ●로 표시하였다. BJT는 베이스 폭이 이미터, 컬렉터에 의한 공핍층 폭보다 커서 컬렉터 전압이 변화하더라도 이미터에서 유입된 이동자가 베이스를 통과하는 폭이 존재하여 정규 활성 영역에서는  $I_c$ 는  $V_{CE}$ 의 변화에 무관하게 일정 전류가 흐르는 특성을 보인다. 하지만 베이스의 폭이 수 원자층의 그래핀으로 구성된 HET는, 컬렉터 전압이 증가하여 베이지 폭이 변조되는 것이 불가능하여  $I_c$ 가  $V_{CE}$  변화에 완전히 무관한 상태가 되지 못한다. 또한 컬렉터 전압이 증가함으로써  $V_{CB}$ 의 전압 또한 증가하면서 그림 3(b)에 도시하였듯이, 컬렉터인 Si의 공핍층의 폭이 감소하고 베이스로부터 전자가 컬렉터로 터널링에 의해 이동하게 되면서  $I_c$ 는

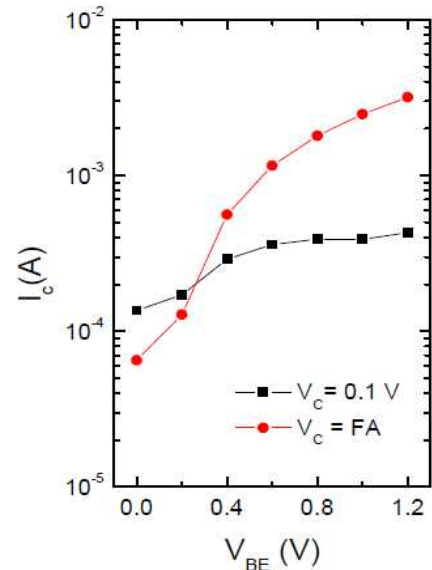


Fig. 6. Collector current as a function of  $V_{BE}$  at the saturation ( $V_C = 0.1\text{ V}$ ) and the forward active region. ( $V_C = \text{FA}$ )

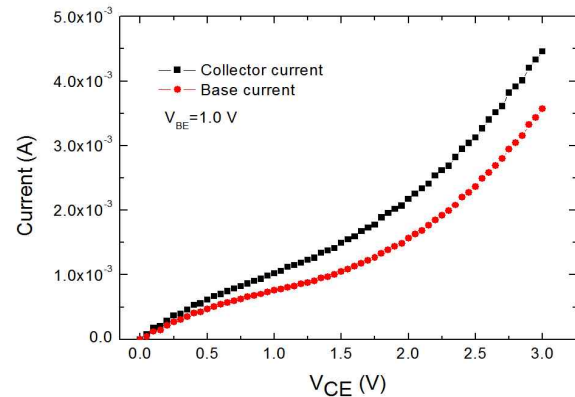


Fig. 7. Comparison of  $I_C, I_B$  with a change of  $V_{CE}$ .

계속 증가하게 된다. 이는 마치 베이스-컬렉터가 단락(short)되어 BJT의 펀치스루(punch through)와 같이 이미터에서 주입된 전자는 컬렉터의 전계에 의해 컬렉터로 이동하게 되는 것으로 이해할 수 있다. 측정된 결과는 정규 활성영역이 명확히 구분되지 않고 있는데 이는 컬렉터로 사용된 Si 기판의 도핑 농도가 높아서 공핍층의 폭이 매우 얇기 때문이다. 따라서, 도핑이 적은 Si 기판을 사용하거나, 전자친화도가 작은 다른 화합물 기판을 사용한다면, 전자의 터널링이 감소되고 쇼트키 장벽을 넘는 열전자에 의해서만 컬렉터 전류가 형성되기 때문에 넓은  $V_{CE}$ 영역에서 동작하는 정

규 활성 모드를 관측하게 될 것이다. 그래핀 HET의 on/off 전류비를 구하기 위해, 포화영역, 정규 활성 영역(FA)에 해당하는  $V_C$ 에서의 컬렉터 전류  $I_C$  를 베이스의 전압( $V_B$ )에 대해 그리면, 그림 6의 결과를 얻게 된다. FA영역에서의  $V_C$ 는 FA가 시작되는 전압보다 약간 큰 전압 ( $V_C = V_B + 0.05$  [V])에서 측정하였다. 포화영역인  $V_C = 0.1$  [V]에서 측정하였을 때  $I_C$ 의 변화는  $I_{on}/I_{off} \approx 4$ 으로 관측되었고, FA 영역에서는  $I_{on}/I_{off} \approx 50$ 으로 관측되었다. 만약  $V_B > 1.2$  [V]로 더욱 증가시킨다면 좀 더 큰 값을 기대할 수 있겠으나  $I_C$ 의 증가 추세로 보아  $10^2$  이상을 넘지 못하리라 예상된다.

본 소자의  $I_C, I_B$ 의 크기를 비교하기 위해 측정한 베이스 전류를  $|I_B|$ 로 취한 후  $V_{CE}$ 를 변수로 도시한 결과 그림 7을 얻을 수 있다.  $I_C$ 와  $I_B$ 는 최대  $I_C/I_B = 1.3$ 를 차지하고 있어 BJT의 경우에 비교할 때, 전압 이득은 매우 작은 것을 알 수 있다. 이는 타 연구에서도 지적된 것과도 동일하며,  $I_B$ 가 BJT에서는 베이스 층에서 재결합에 의해 소멸되는 정공을 보충하는 역할은 하지만, 본 소자의 경우 베이스 그래핀은 밴드갭이 없어 전자-정공의 재결합이 없기 때문에 BJT와 다른 역할을 할 것이지만 더 많은 분석을 필요로 한다 [5,6,8].

#### 4. 결론

도핑이 높은 Si 기판위에 2~3개 원자 층을 가진 그래핀을 전달하여 베이스로 사용하고 5 nm의 ALD  $Al_2O_3$ 층을 증착한 후, 그 위에 Ti 금속을 증착하여 이미터로, 하부 Si 기판은 컬렉터로 사용한 열전자 트랜지스터를 제작하였다. 이미터-베이스 간의 전압에 의해 전류는 터널링에 의해 흐르고, 베이스-컬렉터 간의 전류는 M-S 다이오드의 특성이 아니라 정전압, 역전압 모두 전압에 대해  $e^{eV/kT}$ 의 관계를 관측하였다. 이미터 공통 모드로 동작시킬 때  $V_{BE} = 0 \sim 1.2$  [V]로 변화시키면서  $V_{CE} = 0 \sim 3.0$  [V]를 인가하면,  $0 \leq V_{CE} < V_{BE}$ 의 경우  $I_C$ 는  $V_{CE}$ 에 의해 선형적으로 증가하는 포화영역이 관측되었고,  $V_C \approx V_B$ 인 때 정규 활성 영역으로 진입하는 양상을 보이다가  $V_{CE}$  증가에 의해  $I_C$ 는 급격히 증가하는 것을 관측하였다. 이는 그래핀-Si 컬렉터 계면의 쇼트키 장벽을 넘는 열전자에 의한 전류보다는 얇은 공핍층을 투과하는 전자의 터널링에 의해 형성되는 것으로 판단된다.  $V_{BE}$ 에 의한  $I_{on}/I_{off}$  비를 계산하

면, 측정범위에서 최대 50을 나타내었다. 소자의 동작이 기대하는 열전자에 의해 동작하며 높은  $I_{on}/I_{off}$  특성을 얻기 위해서는 컬렉터로 사용된 Si 기판의 농도가 낮아야 할 것으로 생각한다. 본 연구의 결과로 극박막 그래핀을 사용하여 터널링과 쇼트키 장벽을 이용하여 전류 제어가 가능한 소자를 구현하였다.

#### 감사의 글

이 논문은 2013년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음. 또한 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단-나노·소재기술개발사업의 지원을 받아 수행된 연구임 (2009-0082580).

#### REFERENCES

- [1] A. K. Geim and K. S. Novoselov, *Nature Materials*, **6**, 183 (2007). [DOI: <http://dx.doi.org/10.1038/nmat1849>]
- [2] L. Britnell, R. V. Gorbachev, R. Jalil, B. D. Belle, F. Schedin, A. Mishchenko, T. Georgiou, M. I. Katsnelson, L. Eaves, S. V. Morozov, N.M.R. Peres, J. Leist, A. K. Geim, K. S. Novoselov, L. A. Ponomarenko, *Science*, **335**, 947 (2012). [DOI: <http://dx.doi.org/10.1126/science.1218461>]
- [3] A. J. Hong, E. B. Song, H. S. Yu, M. J. Allen, J. Y. Kim, J. D. Fowler, J. K. Wassei, Y. J. Park, Y. Wang, J. Zou, R. B. Kaner, B. H. Weiller, and K. L. Wang, *ACS Nano*, **5**, 7812 (2011). [DOI: <http://dx.doi.org/10.1021/nn201809k>]
- [4] C. Zeng, E. B. Song, M. Wang, S. J. Lee, C. M. Torres Jr, J. Tang, B. H. Weiller, and Kang L. Wang, *Nano Lett.*, **13**, 2370 (2013). [DOI: <http://dx.doi.org/10.1021/nl304541s>]
- [5] S. Vaziri, G. Lupina, C. Henkel, A. D. Smith, M. Östling, J. Dabrowski, G. Lippert, W. Mehr, and M. C. Lemme, *Nano Lett.*, **13**, 1435 (2013). [DOI: <http://dx.doi.org/10.1021/nl304305x>]
- [6] F. Xia, D. B. Farmer, Y. M. Lin, and P. Avouris, *Nano Lett.*, **10**, 715 (2010). [DOI: <http://dx.doi.org/10.1021/nl9039636>]
- [7] S. K. Bae, H. K. Kim, Y. B. Lee, X. Xu, J. S. Park, Y. Zheng, J. Balakrishnan, T. Lei, H. R. Kim, Y. I. Song, Y. J. Kim, K. S. Kim, B. Özyilmaz, J. H. Ahn, B. H. Hong, and S. Iijima, *Nature nanotechnology*, **5**, 574 (2010). [DOI: <http://dx.doi.org/10.1038/nnano.2010.132>]
- [8] B. D. Kong, Z. Jin, and K. W. Kim, *Phys. Rev. Appl.*, **2**, 054006 (2014). [DOI: <http://dx.doi.org/10.1103/PhysRevApplied.2.054006>]