

LED Driver ICs칩의 소형화를 위한 Chip on Chip 기술에 관한 연구

강이구^a

극동대학교 태양광공학과

Study on Chip on Chip Technology for Minimizing LED Driver ICs

Ey Goo Kang^a

Department of Photovoltaic Engineering, Far East University, Eumseong 27601, Korea

(Received February 17, 2016; Revised February 22, 2016; Accepted February 23, 2016)

Abstract: This research was analyzed thermal characteristics that was appointed disadvantage when smart LED driver ICs was packaged and we applied extracted thermal characteristics for optimal layout design. We confirmed reliability of smart LED driver ICs package without additional heat sink. If the package is not heat sink, we are possible to minimize package. For extracting thermal loss due to overshoot current, we increased driver current by two and three times. As a result of experiment, we obtained 22 mW and 49.5 mW thermal loss. And we obtained optimal data of 350 mA driver current. It is important to distance between power MOSFET and driver ICs. If the distance was increased, the temperature of package was decreased. And so we obtained optimal data of 3.7 mm distance between power MOSFET and driver ICs. Finally, we fabricated real package and we analyzed the electrical characteristics. We obtained constant 35 V output voltage and 80% efficiency.

Keywords: Smart LED package, Thermal characteristics, Distance of cevices, Power cevices, Heat SinK

1. 서 론

2000년대부터 발전된 LED 산업의 급속한 발전으로 LED를 광원으로 이용한 응용제품들이 일반조명 분야 뿐 아니라 자동차, 해양 조션, 디스플레이, 농업, 의료 장비 등 다양한 분야에 전 세계적으로 개발되고 있다 [1-3]. 전형적인 SMPS (switch mode power supply) 를 사용하는 PSU (power supply unit) 의 경우에 비하여 전용의 제어 IC를 채택한 PSU (power supply unit) 의 경우가 더욱 경제적인 것으로 추산되기 때문에

On Semiconductor, Fairchild, Texas Instrument, iWATT 등 세계 굴지의 반도체 회사에서는 각종의 LED PSU (power supply unit)용 제어 IC를 개발, 시판하고 있고 점진적으로 그 시장을 넓혀가고 있는 상황이며 조명LED 시장 확대를 위한 PSU (power supply unit) 가격하락이 필수적인 요소이며 이에 따른 PSU (power supply unit) 소형화 및 부품 단순화가 요구되고 있다 [4,5].

기존까지는 전용 driver IC와 이에 맞는 standard power MOSFET을 각각 개발하여 별도의 package 로 제작하여 PSU (power supply unit)가 구성되었으나, 근래 700 V급 BCDMOS 공정이 개발됨에 따라 이 공정을 이용하여 driver IC circuit 과 power MOSFET 을 one chip화하여 PSU (power supply unit) 소형화, 단순화 할 수 있어 다수의 업체가 개발하고 있으나 아직까

a. Corresponding author; keg@kdu.ac.kr

지 공정기술의 미 안정화 문제와 one chip화에 따른 발열 및 플릭(flick)등과 같은 기술적인 문제와 공정비용 비싸다는 단점이 있어서 제작에 걸림돌이 되고 있다.

본 논문에서는 driver IC 와 power MOSFET 2 chip 을 하나의 패키지로 형성하는 기술에 있어서 새로운 칩 온 칩(chip on chip) 기술을 제안하여, 기존의 2 칩 1 패키지 크기를 효율적으로 소형화하는 기술을 제안하고, 제작된 칩의 특성을 분석하였다.

2. 실험방법

그림 1은 기존의 2 chip 1 package의 구조를 보여주고 있다. 이러한 기존의 구조에 대해서 그림 1과 같이 시제품을 제작하였으며, 열특성을 분석하였다.

그림 2는 그림 1과 같은 구조를 가질 때 열 특성을 보여주고 있으며 최대 3.7 mm, 온도는 55.06°C의 결과를 얻게 되는 것을 보여주고 있다.

그림 3에서는 칩 온 칩의 구조를 보여주고 있는데, 즉 전력 MOSFET 패키지 위에 드라이버 ICs의 칩을 올려놓는 구조를 갖고 있다. Chip on chip 기술 확보를 위해 그림4와 같이 열특성 시뮬레이션 실험을 진행한 결과 사이의 간격이 1.75 μm 가 되는 지점에서 100°C 이하로 온도가 내려가는 것을 확인할 수 있었다. 더 좋은 열 특성 확보를 하기 위해 2 μm 이상의 길이로 칩 사이 간격을 늘려 실험을 진행해 보았지만, 변화량이 극히 미미한 것을 확인할 수 있었으며, 이와 같은 실험결과를 통해 칩 사이 간격을 2 μm 로 하는 것이 최적화된 결과를 도출할 수 있었다. 또한 이러한 도출결과를 통해 시제품제작에 적용하였다.

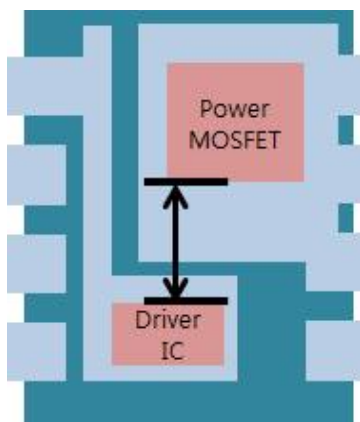


Fig. 1. The structure of conventional 2 chip 1 package.

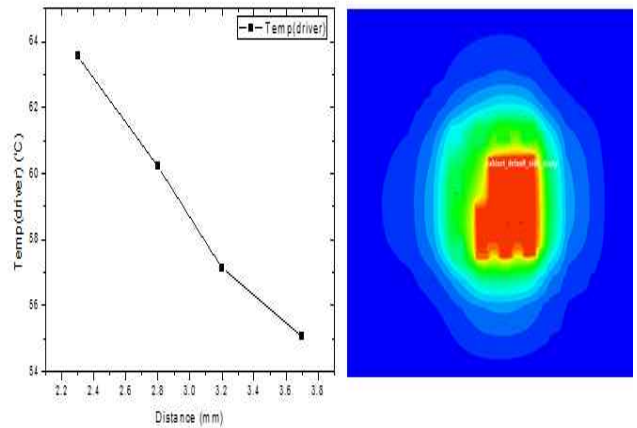


Fig. 2. Results of thermal characteristics of conventional 2 chip 1 package according to distance between power MOSFET and driver ICs.

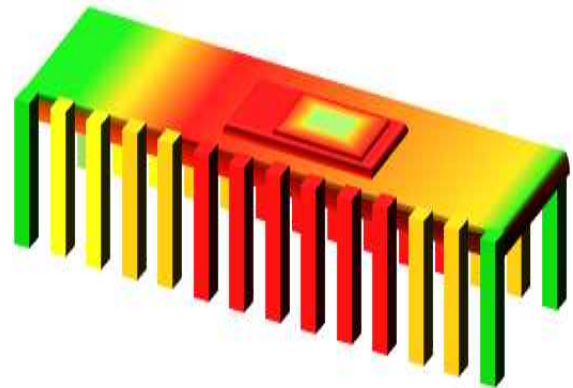


Fig. 3. The proposed structure of chip on chip.

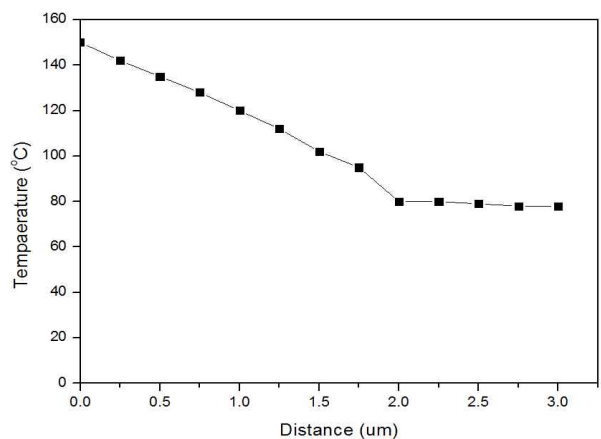


Fig. 4. The thermal characteristics of chip on chip package according to distance between power MOSFET and driver ICs.

3. 결과 및 고찰

3.1 솔더물질의 결정

기존의 솔더물질은 전력반도체 바닥전극과 리드 프레임이 바로 닿는 구조로서 전도성이 있는 솔더 물질을 이용해 왔다. 표 1에서는 기존에 사용해오던 솔더 물질의 특성표를 보여주고 있다. 그러나 칩 온 칩 기술에 이용되는 솔더 물질에 전도성이 있다면, 칩의 동작 시 상호간 영향을 줄 수 있어 문제의 소지가 있으므로, 전도성이 없는 물질을 솔더 물질로 사용하여 절연시켜줄 필요가 있다. 앞서 진행한 열특성 분석 및 다양한 실험 결과를 통해 칩 온 칩에 사용한 솔더 물질의 특성을 분석한 결과 그림 5와 같이 SiO₂가 검출되었으며, SiO₂ 물질은 절연성이 매우 강하기 때문에 솔더 물질로 SiO₂로 결정하였다.

Table 1. The characteristics of solder material.

	Color	Black
Gelation Time @ 175°C, Sec		20
Spiral Flow @ 175°C, cm		75
Specific Gravity, g/cm ³		2.04
Glass Transition Temperature, °C		165
Thermal Expansion a ₁ , 10 ⁻⁶ /°C		26
Thermal Expansion a ₂ , 10 ⁻⁶ /°C		73
Flexural Strength, MPa		140
Flexural Strength, GPa		16
Mold Shrinkage, %		0.25
Water Absorption, %		0.30
PH		6.0
Electrical Conductivity, μS/cm		32
Extracted Na ⁺ , mg/L		3
Extracted Cl ⁻ , mg/L		20
Flammability @UL-94		V-0
Thermal conductivity, W/m-K		1.45

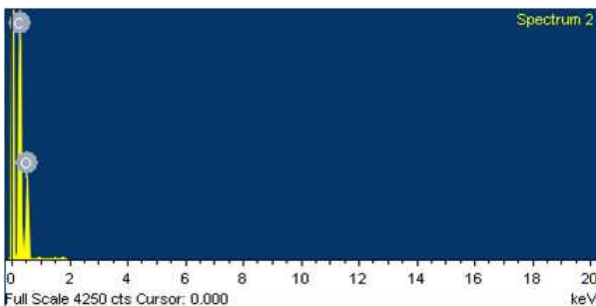


Fig. 5. The extracted data of selected solder material.

3.2 리드리스(Leadless) 패키지 기술

본 연구를 통해 개발된 게이트 드라이버 ICs의 기능과 칩 온 칩 기술을 적용한 패키지 기술을 모두 구현하려면 최소 12 핀 이상의 패키지를 사용해야 한다. 그림 6의 전력반도체 전용 리드리스 패키지를 적용할 경우 연결할 수 있는 핀의 수가 10개로서, 게이트 드라이버 ICs의 기능을 모두 사용할 수 없어 전력 반도체 전용 리드리스 패키지 적용은 매우 어렵다. 또한, 일반적인 리드리스 패키지의 경우 0.75 mm가 최고로 두꺼운 패키지 두께가 0.75 mm이나, 본 논문에서 제시하고자 하는 칩 온 칩 기술을 적용할 시 총 0.83 mm로 (MOSFET 두께 : 0.35 mm, IC 두께 : 0.28 mm, Lead frame 두께 : 0.2 mm, (와이어 본딩, 솔더 두께는 고려하지 않는 경우) 패키지 할 수 있는 기준 두께를 넘어가게 된다.

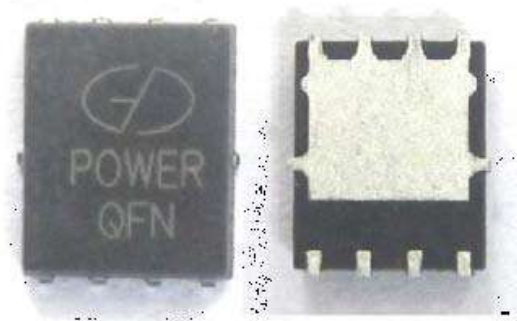


Fig. 6. The conventional power chip package (10 pin).

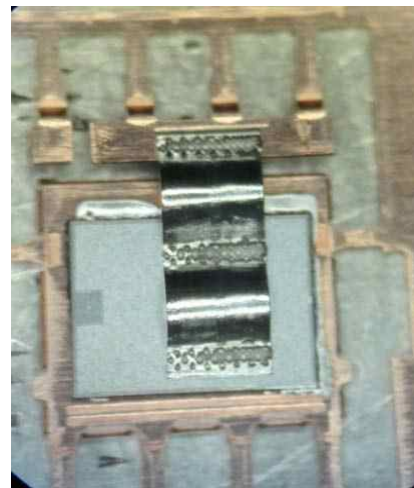


Fig. 7. The conventional structure of connected leadless package.

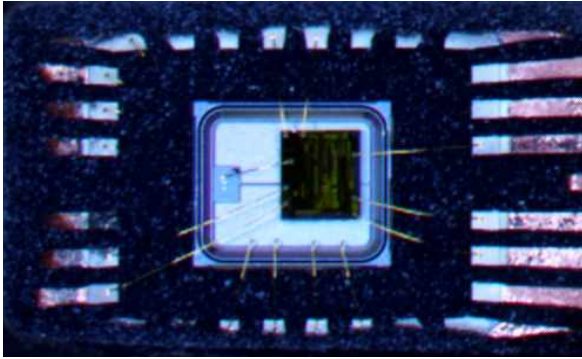


Fig. 8. The proposed chip on chip leadless package.

위와 같은 사항을 고려하여, 게이트 드라이버 ICs의 기능도 모두 사용가능하며, 칩 온 칩 기술 적용 시 패키지 기준 두께도 모두 수용할 수 있는 세미 리드리스 (Semi Leadless) 패키지인 28-SOP-PKG에 그림 8의 2차 시제품 패키지 레이아웃을 적용하여 2차 시제품을 제작하였다. 그림 7은 기존의 리드리스 패키지 내부 연결 구조도를 보여주고 있으며, 그림 8은 새롭게 제안된 칩 온 칩 내부 연결구조를 보여주고 있다.

4. 결론

본 논문에서는 일체형 LED 구동 ICs를 패키징을 하였을 때 문제점으로 지적되어온 열 특성을 사전에 분석하고, 레이아웃시 최적의 설계를 위하여 열 특성 분석 결과를 적용하였음과 동시에 실제로 제작을 하여 전기적 특성을 분석하였다. 열적 특성 분석에 있어서는 패키징을 하였을 때 실제 상온에서 2°C이상 증가하지

않는 것을 확인하여, 히트 싱크의 추가없이도 신뢰성을 확인할 수 있었다. 그리고 오버슈트 전류에 의한 열적 손실을 도출하기 위해 구동전류를 2배, 3배 증가시킨 결과 각각 22 mW, 49.5 mW의 열적 손실로 비교적 안정된 값을 가지고 있으며, 온도상승의 최적값을 구한 결과 구동전류는 350 mA의 값을 얻을 수 있었다. 또한 전력 MOSFET과 구동 ICs간의 거리도 온도 상승에 영향을 끼치는 중요한 요소이기 때문에 실험한 결과 거리가 증가함에 따라 온도가 감소하는 경향을 보여주고 있으며, 최대 3.7 mm의 거리가 최적의 값으로 도출되었다. 최종적으로 열적 특성 결과를 반영하여 패키징을 제작하였을 때 출력전압인 V_Out이 32 V로 전압변화에도 일정한 출력을 보이며, I_Out, P_Out도 오차범위인 ± 1 의 범위에서 일정하게 출력되어 효율 80% 이상을 달성하고 있음을 알 수 있었다.

REFERENCES

- [1] C. Hu, M. Chi, and V. M. Patel, *IEEE Transactions on Electron Devices*, **ED-31**, 1693 (1984).
- [2] G. P. Sim, B. S. Ann, Y. H. Kang, Y. S. Hong, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **26**, 190 (2013). [DOI: <http://dx.doi.org/10.4313/JKEM.2013.26.3.190>]
- [3] T. S. Ma and W. B. Grabowski, *Solid-State Electronics*, **35**, 201 (1992). [DOI: [http://dx.doi.org/10.1016/0038-1101\(92\)90061-G](http://dx.doi.org/10.1016/0038-1101(92)90061-G)]
- [4] Y. S. Hang, E. S. Jung, and E. Y. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 276 (2012). [DOI: <http://dx.doi.org/10.4313/JKEM.2012.25.4.276>]
- [5] J. H. Lee, E. S. Jung, E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 270 (2012). [DOI: <http://dx.doi.org/10.4313/JKEM.2012.25.4.270>]