

BCD 프로세스를 이용한 파워 스위칭 센서 IC의 제작과 특성 연구

Electrical Characteristics of Power Switching Sensor IC fabricated in Bipolar-CMOS-DMOS Process

김 선 정^{*}

Sunjung Kim^{*}

Abstract

Power semiconductor devices had been produced with bipolar only processes, but Bipolar-CMOS-DMOS(BCD) processes have been adapted recently to fabricate these devices since most foundry companies have provided BCD processes instead of Bipolar only processes. In this study, Regulator and OP Amp are used as most popular design IPs and BCD processes for the designing are converted from bipolar only processes. Power Switching Sensor(PSS) ICs are designed specifically and fabricated on a silicon chip. The operation results of the packaged chip show the good matching with test results of the simulation.

요 약

현재 바이폴러만의 프로세스(bipolar only process)로 사용되는 전력반도체는 대부분의 반도체 생산업체에서 제공하는 Bipolar-CMOS-DMOS(BCD) 프로세스를 사용함으로써 하나의 웨이퍼에 여러 IP와 기존 IC들을 융합하여 복합 칩으로 구현하고자 한다. 이번 연구에서는 보편적으로 사용되는 IP인 레귤레이터(regulator)와 연산 증폭기를 바이폴러만의 프로세스에서 BCD 프로세스로 구현하였다. 이를 사용한 간단한 응용으로 파워 스위칭 센서 IC를 설계하여 실리콘 칩에서 검증하였다. 검증 결과로 시뮬레이션과 작동 테스트가 잘 일치하고 있음을 확인할 수 있었다.

Key words : PSS IC, Regulator, OP Amp, BCD, Bipolar

1. 서론

* SunnyIC Co., Ltd. and Dept of Electrical Engineering,
Korea University

* e-mail: kate.kim@sunnyic.com, tel: 02-925-4280

Manuscript received Dec. 13, 2016; revised Dec. 23, 2016 ;
accepted Dec. 27, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

전력반도체 IC는 전력을 시스템에 맞게 배분하는 제어 기능, 전력변환 기능, 배터리 회로 보호 기능을 하는 반도체 IC이다[1]. 또한 전원 소스 모니터링 기능, 출력 전원 공급 기능 및 고효율 전원 변환 효율 관리 기능의 역할도 한다. 과거 전력반도체 IC가 단순히 전력을 조절하고 전달하는 역할이었다면, 이제는 에너지 효율 제고 및 시

스텝 안정성과 신뢰성을 좌우하는 역할로 계속 확장되어 가고 있다[2]. 연구하고자 하는 파워 스위칭 센서(power switching Sensor, PSS) IC는 누전이나 합선 및 감전 등에 의한 전기 재해를 예방하기 위한 IC로, 파워 센서를 스위칭 하는 IC이다. 결과적으로 PSS IC는 전력 변환 시스템에서 누전이 발생된 신호를 감지하고, 차단기의 전류를 차단시켜 화재나 감전의 위험으로 보호하는 IC이다. 이러한 PSS IC의 회로구성은 레귤레이터(regulator), 연산 증폭기를 포함하며, 바이폴러만의 프로세스(bipolar only process)를 이용한 기존 IC를 BCD 프로세스를 이용하여 이를 구현하고, 본 IP를 CMOS 응용에 활용할 수 있도록 회로를 구현하고자 한다.

II. 본론

본 PSS IC의 내부 회로 구성은 사브 디자인 블록(sub design block)으로써 레귤레이터와 연산 증폭기, 래치 회로(latch circuit)으로 구성되며, 외부회로 구성은 ZCT, SCR 등을 포함한다. 이러한 PSS IC는 누설 전류가 발생될 경우, ZCT에서 유도전류가 발생되게 되며, 이의 전류를 증폭 시켜 래치 온(latch on) 기능을 활성화 시킨다. 래치 회로에 의해 발생된 신호는 SCR의 트리거 게이트(trigger gate) 역할을 하게 된다[3].

바이폴러만의 프로세스와 BCD 프로세스에서의 단면도는 그림 1과 같이 나타낼 수 있다. 이에 대한 동일 회로 레이아웃(layout)을 작성하기 위해서는 그림 1에서 보여주는 바와 같은 전류 흐름을 갖도록 하여야 하고, 이 때 각 전류의 경로가 동일한 결과 값을 갖도록 설계하여야 한다.

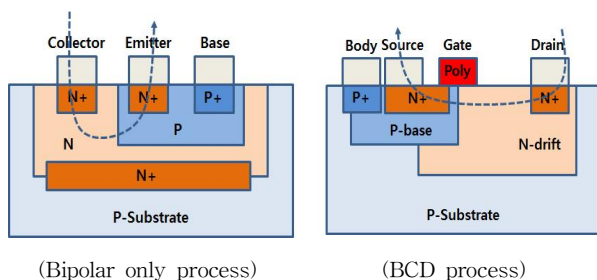


Fig. 1. Cross-section and current flow in bipolar only process and BCD process transistors
그림 1. 바이폴러만의 프로세스와 BCD 프로세스에서의 소자들에서의 단면도와 전류 흐름도.

PSS IC의 레귤레이터는 V_{CC} 입력단자와 V_{CCR} 출력단자로 구성되어 있으며 11~22V로 변하는 V_{CC} 전압을 PSS IC 내부 구동 전압으로 공급하기 위한 회로가 된다. 기준 전압은 제너 다이오드의 역전압과 NPN 소자의 다이오드 연결구조로 구현할 수 있다. 또한, 연산 증폭기는 V_{IN} , V_R 의 입력 단자와 OUT_D 의 출력단자로 되어 있으며, V_R 단자는 기준전압 발생 회로의 의해 구현된 약 2V의 전압이 가해짐을 연구를 통해 확인하고자 한다. 입력신호는 IC 회로 외부에 연결된 ZCT에 의해 유도된 전류 신호가 입력되는데 이 전류는 저항을 통하여 전압으로 변화되어 V_{IN} 단자로 입력된다. 이 V_{IN} 신호와 V_R 기준 신호와의 차이가 본 연산 증폭기로 증폭되어 출력단자인 OUT_D 에 그 증폭신호가 나오게 된다.

연구에서는 고전압이 제공되는 BCD 프로세스를 사용하여 구현하였다. 이를 통하여 바이폴러, CMOS, DMOS 소자들을 동일 칩 상에서 구현 가능하게 되었다. 일반적으로 바이폴러소자는 고속 논리 회로 및 아날로그 회로에서, CMOS는 디지털 로직과 DMOS의 출력구동에 주로 사용됨으로, BCD 프로세스는 설계의 융통성을 증가시키고 여러 개의 분리된 칩을 한 개의 칩으로 구현함으로써 시스템의 응용 범위를 넓힐 수 있다는 장점을 가진다. 그림2는 바이폴러와 BCD로 구현한 PSS IC의 차이점을 보여준다.

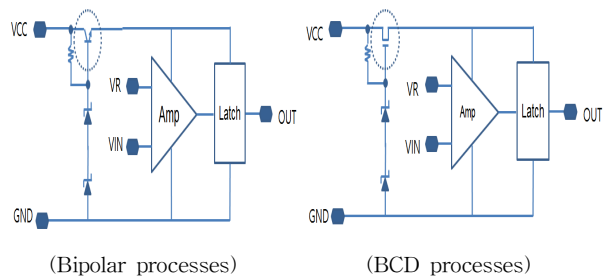


Fig. 2. Comparison of PSS IC block diagrams
그림 2. 바이폴러와 BCD로 구현한 PSS IC의 블록 다이어그램 비교

본 연구에서 BCD 프로세스의 레귤레이터는 기존 바이폴러로 내부 전류를 공급하였던 것을 DMOS로 구동하도록 구현되었고, 이를 통해 빠른 스위칭 동작과 적은 on 저항으로 전력 소모를 감소시킨다. 또한 연산 증폭기는 기존 바이폴러만의 프로세스에 비하여 BCD 프로세스에서는 입력 저

항을 키워 더 큰 전압 이득을 갖도록 연구하였다.

레이아웃 디자인은 실리콘 칩 구현을 위하여 반도체 생산업체로서 CSMC사의 프로세스 디자인 키트(Process Design Kit, PDK)와 Cadence사의 EDA tool을 사용하여 그림 3와 같이 서브 블록(sub block)을 합친 레이아웃을 완성하였고, 레귤레이터 및 연산 증폭기, 래치 회로를 나타내었다.

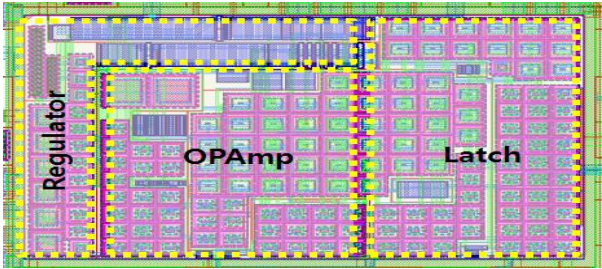


Fig. 3 PSS IC layout

그림 3. PSS IC 레이아웃

설계된 레이아웃을 바탕으로 각 소자별 시뮬레이션과 전체 레이아웃 완료된 IC의 시뮬레이션을 진행하여 웨이퍼로 구현하였다. 이어서 PSS IC를 구현하기 위한 시뮬레이션을 수행하였다.

그림 4는 소모전류에 대한 시뮬레이션 결과로서, 시뮬레이션 조건은 입력 전압으로 $V_{CC}=16V$, $V_R-V_{IN}=30mV$ 를 적용하였고, 이에 대한 각 SS/TT/FF/-45/25/85에서의 소모전류 시뮬레이션 결과 값으로 최소전류 331uA와 최대전류 439uA를 얻을 수 있었다. 이는 설계상 요구되는 300uA~480uA를 만족하는 값이다.

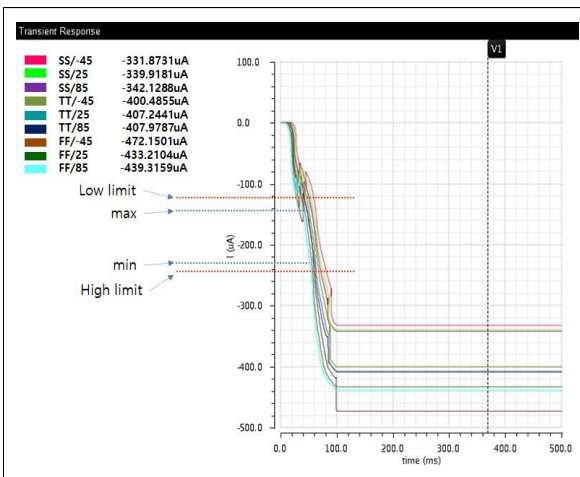


Fig. 4. Simulation result for power consumption

그림 4. 소모전류 시뮬레이션 결과

그림 5은 드립 전압(trip voltage)에 대한 시뮬레이션 결과로서, 시뮬레이션 조건은 입력 전압으로 $V_{CC}=16V$ 를 적용하였고, 이에 대한 각 SS/TT/FF/-45/ 25/85에서의 trip voltage 시뮬레이션 결과 값으로 최소전압 15.0mV와 최대전압 16.2 mV를 얻을 수 있었다.. 이는 설계상 요구되는 14~18mV를 만족함을 확인하였다.

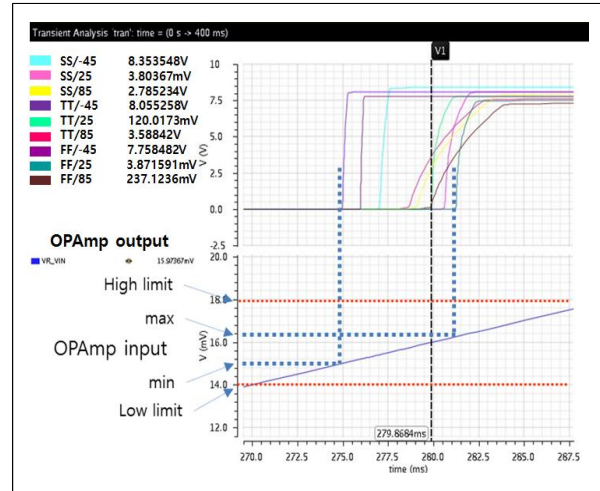


Fig. 5. Simulation result for trip voltage simulation

그림 5. 트립 전압 시뮬레이션 결과

그림 6은 출력 구동 전류에 대한 시뮬레이션 결과로서, 시뮬레이션 조건은 입력 전압으로 $V_{CC}=16V$, $V_{SC}=1.4V$ 를 적용하였고, 이에 대한 각 SS/TT/FF/-45/25/85에서의 출력 구동전류 시뮬레이션 결과 값으로 최소전류 300mA와 최대전류 535mA를 얻을 수 있었다. 이는 설계상 요구되는 200~800mA를 만족하는 값이다.

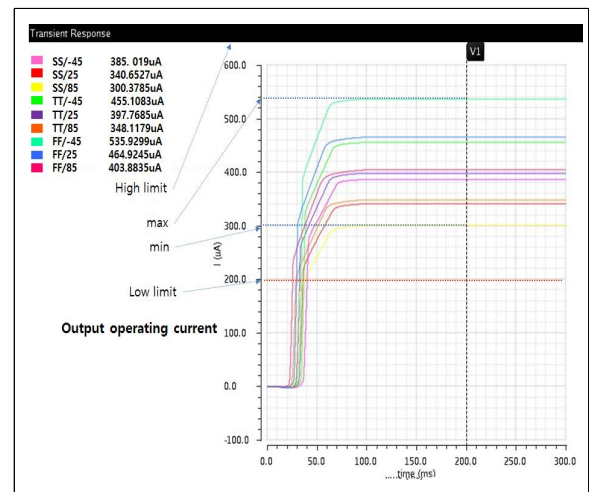


Fig. 6. Simulation result for output current

그림 6. 출력구동전류 시뮬레이션 결과

설계된 레이아웃으로 구현된 웨이퍼를 패키지 (package) 진행하였다. 이를 위하여 그림 7과 같이 실리콘 칩과 패키지 리드프레임(leadframe) 간의 본딩 다이어그램(bonding diagram)과 완성된 칩을 표시하였다. 패키지는 8SOP 형을 적용하였다.

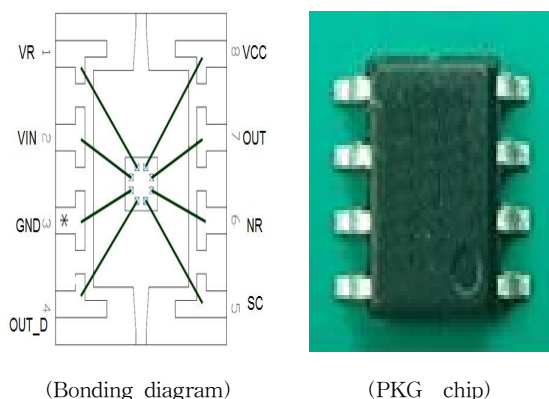


Fig. 7. Description of PSS IC package
그림 7. PSS IC 패키지 결과

칩 테스트를 위해서 테스트 보드를 구성하였고, 100개의 샘플 칩에 대한 테스트를 진행하였다. 기준 샘플로 삼은 바이폴러만의 프로세스의 각 핀별 스펙은 표 1과 나타난다. 동일한 구성의 바이폴러만의 프로세스를 적용한 PSS IC의 스펙은 표 1과 같고, 이번 연구를 통하여 구현한 BCD 프로세스를 적용한 각 아이템 별 테스트 결과를 표 2에 나타내어 비교하였다.

Table 1. PSS IC specification in bipolar process
표 1. 바이폴러에서의 PSS IC 사양

	Upper Limit	Lower Limit	Unit
Supply Current	650	300	uA
Trip Voltage	18	14	mV
Source Current	30	12	uA
Sink Current	37	17	uA
Max Current Volt	28	20	V
Latch Off Supply Volt	9	7	V
Latch On Volt	3.0	0.7	V

Table 2. PSS IC test result in BCD
표 2. BCD 에서의 PSS IC 테스트 결과

	Average	Max	Min	Unit
Supply Current	344	327	447	uA
Trip Voltage	16.9	16.4	17.1	mV
Source Current	20.2	19.2	26.1	uA
Sink Current	22.1	21.1	29.0	uA
Max Current Volt	24.5	24.5	25.0	V
Latch Off Supply Volt	8.25	8.0	8.5	V
Latch On Volt	1.3	1.3	1.3	V

III 결론

본 연구를 통하여 기존에 사용된 바이폴러만의 프로세스 대신 BCD 프로세스를 이용하여 파워 IC의 구성 요소인 레귤레이터, 연산 증폭기를 구현하였고, 이를 이용한 PSS IC를 설계하는 연구를 진행하였다. 구현된 IC는 시뮬레이션 테스트, 레이아웃, 웨이퍼 제작, 패키지, 칩 테스트를 진행하였고, 예상한 스펙 내의 PSS IC 구현이 되었음을 테스트 결과를 통해 확인하였다.

References

- [1] M. Popovich, E. Friedman, M. Sotman, A. Kolodny, "On-Chip Power Distribution Grids with Multiple Supply Voltages for High Performance Integrated Circuits," *IEEE Transactions on Very Large Scale Integration Systems*, vol.16, pp. 908-921, 2008.
- [2] M. Ker, C. Yen, "Investigation and design of on-chip power-rail ESD clamp circuits without suffering latchup-like failure during system-level ESD test," *IEEE J. Solid-State Circuits*, vol.43, no.11, pp. 2533-2545, 2008.
- [3] Y. Yin, X. Yu, Z. Wang, B. Chi, "An efficiency-enhanced stacked 2.4-GHz CMOS power amplifier with mode switching scheme for WLAN applications," *IEEE Trans. Microw. Theory Tech.*, vol.63, no.2, pp. 672-682, 2015.